

ΠΟΛΥΤΕΧΝΕΙΟ ΚΡΗΤΗΣ

**ΤΜΗΜΑ ΗΛΕΚΤΡΟΝΙΚΩΝ ΜΗΧΑΝΙΚΩΝ ΚΑΙ
ΜΗΧΑΝΙΚΩΝ ΥΠΟΛΟΓΙΣΤΩΝ**



**Σχεδιασμός και Υλοποίηση ενός Μετατροπέα Αναλογικού
Σήματος σε Ψηφιακό, τύπου Σίγμα Δέλτα, βασισμένου σε
καινοτόμο Φίλτρο Αντιστάθμισης με χρήση FPGA**

Σίσκος Γεώργιος Αλέξανδρος

Εξεταστική επιτροπή:

Κ. ΚΑΛΑΪΤΖΑΚΗΣ (ΚΑΘΗΓΗΤΗΣ, ΕΠΙΒΛΕΠΩΝ)

Α. ΔΟΛΛΑΣ (ΚΑΘΗΓΗΤΗΣ)

Δ. ΠΝΕΥΜΑΤΙΚΑΤΟΣ (ΑΝΑΠΛΗΡΩΤΗΣ ΚΑΘΗΓΗΤΗΣ)

Χανιά 2009

Πρόλογος

Στο πλαίσιο αυτής της διπλωματικής εργασίας υλοποιήθηκε ένας Σίγμα Δέλτα μετατροπέας αναλογικού σήματος σε ψηφιακό και τα εργαλεία λογισμικού για την αυτόματη εξαγωγή ψηφιακού φίλτρου αποδεκατισμού. Ευχαριστώ, θερμά, τον επιβλέποντα καθηγητή κύριο Καλαϊτζάκη Κωνσταντίνο, ο οποίος με καθοδήγησε και με βοήθησε όποτε χρειάστηκε. Επίσης, ευχαριστώ τους καθηγητές κυρίους Δόλλα Απόστολο και Πνευματικά Διονύσιο για τον χρόνο που διέθεσαν για να μελετήσουν την εργασία αυτή. Ακόμα θέλω να ευχαριστήσω τον κύριο Μαρκουλάκη Γεώργιο και τους συναδέλφους μου, Καντάρη Ιωάννη και Παπαδάκη Κωνσταντίνο για την βοήθεια τους σε θέματα που αφορούν την υλοποίηση της εργασίας μου. Τέλος, θέλω να ευχαριστήσω τους γονείς μου που με την οικονομική τους συμπαράσταση κατάφερα να ολοκληρώσω αυτήν την εργασία.

Περίληψη

Στην εργασία αυτή υλοποιήθηκε ένας Σίγμα Δέλτα μετατροπέας αναλογικού σήματος σε ψηφιακό με καινοτόμο φίλτρο αντιστάθμισης. Η αρχιτεκτονική του Σίγμα Δέλτα μετατροπέα έχει την ιδιαιτερότητα, σε σχέση με τις υπόλοιπες, ότι το μεγαλύτερο μέρος της, υλοποιείται σε ψηφιακό κύκλωμα. Αυτό το χαρακτηριστικό σε συνδυασμό με τις ευκολίες που παρέχουν τα σύγχρονα ψηφιακά κυκλώματα, όπως η αναδιατασσόμενη λογική και ο επαναπρογραμματισμός, δίνει τη δυνατότητα υλοποίησης παραμετρικών συστημάτων εύκολα προσαρμόσιμων σε αλλαγές. Στόχος αυτής της εργασίας είναι η υλοποίηση ενός παραμετρικού ψηφιακού μέρους για μετατροπέα Σίγμα Δέλτα έτσι ώστε ο χρήστης να έχει την δυνατότητα αλλαγής του συστήματος, ανάλογα με τις απαιτήσεις της εκάστοτε εφαρμογής. Έτσι, αναπτύχθηκαν τα εργαλεία λογισμικού ώστε να εξάγεται αυτόματα κώδικας περιγραφής υλικού για το φίλτρο αποδεκατισμού. Η VHDL που παράγεται είναι μη εξαρτημένη, έτσι ώστε να μπορεί να γίνει η σύνθεση του ψηφιακού φίλτρου αποδεκατισμού από οποιοδήποτε εργαλείο. Το αναλογικό τμήμα του μετατροπέα υλοποιήθηκε σε PCB με μέγιστη συχνότητα λειτουργίας 100KHz. Το ψηφιακό φίλτρο υλοποιήθηκε με χρήση FPGA και συγκεκριμένα στο αναπτυξιακό XUP με FPGA VIRTEX 2pro. Τα αποτελέσματα δείχνουν μία οικονομική υλοποίηση του ψηφιακού φίλτρου το οποίο δεν χρησιμοποιεί κανέναν πολλαπλασιασμό. Στη χειρότερη περίπτωση καταλαμβάνει το 8% του συνολικού χώρου της FPGA και λειτουργεί στα 228MHz. Η μέγιστη διακριτική ικανότητα του μετατροπέα είναι 16-bit για σταθερή τάση εισόδου με δυνατότητα ρύθμισης σε μικρότερη για σήματα εισόδου μεγάλης συχνότητας.

Περιεχόμενα

1.	Εισαγωγή	5
1.1	Αρχιτεκτονικές Αναλογικών σε Ψηφιακούς Μετατροπείς.....	5
1.2	Σύγκριση των αρχιτεκτονικών ADC	10
1.3	Ανασκόπηση τοπολογιών ΣΔ	10
1.3.1	Τοπολογίες αναλογικών Σίγμα Δέλτα Διαμορφωτών	11
1.3.2	Τοπολογίες ψηφιακών φίλτρων για Σίγμα Δέλτα.....	11
1.4	Διάρθρωση του κειμένου	14
2.	Μετατροπέας αναλογικού σήματος σε ψηφιακό τύπου Σίγμα Δέλτα	15
2.1	Ο Σίγμα Δέλτα Διαμορφωτής	15
2.2	Αρχή Λειτουργίας του ΣΔΔ	15
2.2.1	Υπερδειγματοληψία.....	16
2.2.2	Μορφοποίηση Θορύβου.....	18
2.2.3	Ψηφιακό Φίλτρο και Φίλτρο Αποδεκατισμού.....	23
3.	Ψηφιακά Φίλτρα	25
3.1	Το Φίλτρο CIC	25
3.1.1	Μέγεθος Καταχωρητών CIC φίλτρου	27
3.1.2	CIC Φίλτρο στο Πεδίο Συχνοτήτων	28
3.2	Φίλτρο Αντιστάθμισης (Compensation filter).....	35
3.2.1	Ημιτονοειδές Φίλτρο Αντιστάθμισης.....	35
3.2.2	Προτεινόμενο Ημιτονοειδές Φίλτρο Αντιστάθμισης	38
4.	Η υλοποίηση	42
4.1	Η υλοποίηση του λογισμικού	42
4.1.1	Η υλοποίηση του εξομοιωτή ΣΔΔ.....	42
4.1.2	Υλοποίηση του κώδικα υπολογισμού των παραμέτρων του ΣΔ ADC	43
4.1.3	Υλοποίηση γεννήτριας κώδικα VHDL για το ψηφιακό φίλτρο	45
4.2	Υλοποίηση του υλικού	47
4.2.1	Υλοποίηση Αναλογικού διαμορφωτή	47
4.2.2	Υλοποίηση ψηφιακού φίλτρου με χρήση FPGA.....	56
5.	Αποτελέσματα	63
5.1	Μέγιστη διακριτική ικανότητα	63
5.2	Επαλήθευση της θεωρίας του ψηφιακού φίλτρου	72
5.2.1	Σύγκριση με παρεμφερείς προσεγγίσεις της βιβλιογραφίας	74
5.3	Επιδόσεις του προτεινόμενου ψηφιακού φίλτρου	75
6.	Συμπεράσματα	78
7.	Βιβλιογραφία	80

1. Εισαγωγή

Τις τελευταίες δεκαετίες η ανάγκη ψηφιοποίησης της πληροφορίας γίνεται όλο και μεγαλύτερη. Η καθιέρωση της χρήσης υπολογιστών στη καθημερινή ζωή του σύγχρονου ανθρώπου είναι ένα παράδειγμα αυτής της στροφής από τον αναλογικό κόσμο στον ψηφιακό. Στην επιστημονική κοινότητα, επίσης, υπάρχει ανοδική τάση της επεξεργασίας δεδομένων με ψηφιακά κυκλώματα. Τα αναλογικά κυκλώματα έχουν κάποια αρνητικά χαρακτηριστικά, που τα αντίστοιχα ψηφιακά δεν έχουν, όπως τον θόρυβο και την παραμόρφωση. Επίσης και η βιομηχανία έχει στραφεί στην παραγωγή ψηφιακών κυκλωμάτων ελαττώνοντας το κόστος τόσο της παραγωγής, όσο και της πώλησης. Βέβαια η ψηφιοποίηση έχει και τα όριά της. Η φύση και ο κόσμος που περιβάλει τον άνθρωπο είναι αναλογικός. Η θερμοκρασία, το διοξείδιο του άνθρακα και η υγρασία, για παράδειγμα, είναι αναλογικά μεγέθη. Επομένως και τα αισθητήρια τα οποία χρησιμοποιούνται για να μετρηθούν τα φυσικά μεγέθη έχουν και αυτά αναλογική είσοδο και έξοδο. Άρα το πρόβλημα που γεννάται είναι η μετατροπή της αναλογικής εξόδου σε κατανοητή είσοδο για τα ψηφιακά κυκλώματα ώστε να μπορέσει να γίνει η περαιτέρω επεξεργασία. Οι ηλεκτρονικές συσκευές που αναλαμβάνουν την μετατροπή του αναλογικού σήματος σε ψηφιακό ονομάζονται μετατροπείς αναλογικού σήματος σε ψηφιακό (analog to digital converters) (ADC).

Ο κάθε ADC έχει κάποια χαρακτηριστικά τα οποία ο χρήστης πρέπει να γνωρίζει για την επιλογή του κατάλληλου μετατροπέα στην εκάστοτε εφαρμογή που θα χρησιμοποιηθεί. Υπάρχουν εφαρμογές που η μέτρηση του σήματος εσόδου πρέπει να γίνει με μεγάλη ακρίβεια και άλλες εφαρμογές που η ακρίβεια δεν είναι τόσο σημαντική όσο η ταχύτητα μετατροπής του σήματος εισόδου. Έχουν αναπτυχθεί αρχιτεκτονικές για ADC που σαν αποτέλεσμα έχουν την διαφοροποίηση των χαρακτηριστικών των μετατροπέων ώστε να καλύπτονται οι εκάστοτε ανάγκες της εφαρμογής.

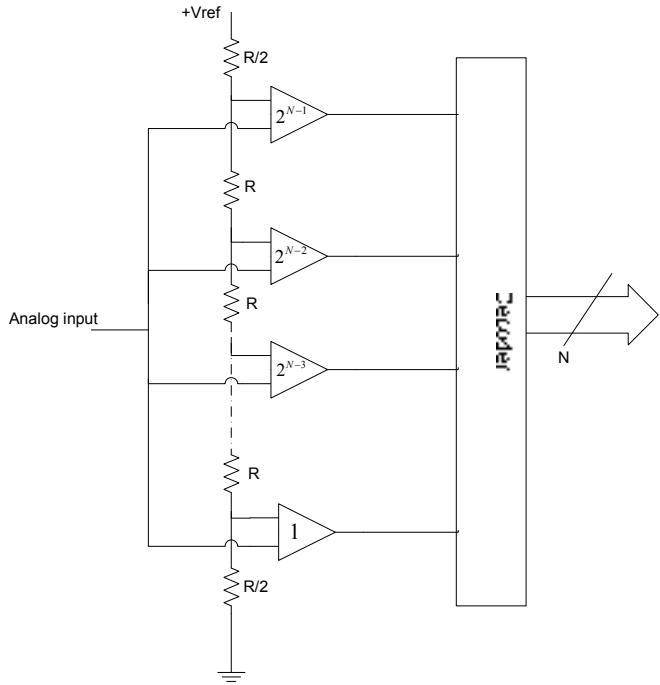
1.1 Αρχιτεκτονικές Αναλογικών σε Ψηφιακούς Μετατροπείς

Οι επικρατέστερες αρχιτεκτονικές ADC είναι [1,2,3]:

- Παράλληλοι ADC (Flash or Parallel converters)
- ADC ομοχειρίας (pipeline)
- ADC με διαδοχικές προσεγγίσεις (Successive-approximation)(SAR)
- ADC απλής (ή διπλής) κλίσης (Integrating)
- Σίγμα Δέλτα ADC (Sigma Delta) (ΣΔ).

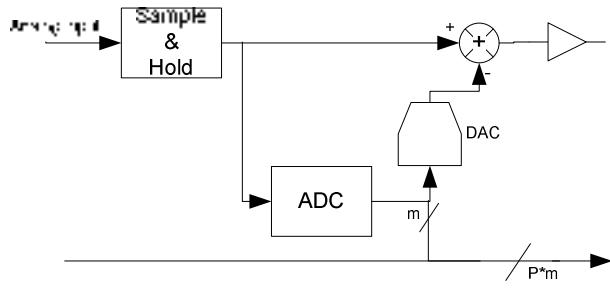
Αυτές οι αρχιτεκτονικές έχουν μεταξύ τους διαφορές στον τρόπο μετατροπής του σήματος εισόδου. Επίσης, έχουν διαφορές στα χαρακτηριστικά τους, όπως στη διακριτική ικανότητά (resolution), στη ταχύτητα μετατροπής και στο μέγιστο ρυθμό δειγματοληψίας (sampling) τους. Η διακριτική ικανότητα ενός ADC μετριέται σε bits. Για παράδειγμα ένας N bit ADC σημαίνει ότι έχει την δυνατότητα να κβαντίσει μία ποσότητα σε 2^N στάθμες στο εύρος (range) λειτουργίας του.

Οι παράλληλοι ADC [1,2,4] κβαντίζουν την αναλογική ποσότητα με μεγάλη ταχύτητα σε σχέση με τις υπόλοιπες αρχιτεκτονικές αλλά δεν γίνεται να έχουν μεγάλη διακριτική ικανότητα. Η αρχή λειτουργίας του μετατροπέα αυτού βασίζεται στη σύγκριση της τάσης εισόδου ταυτόχρονα με ν τάσεις αναφοράς. Αυτό σημαίνει ότι απαιτούνται ν συγκριτές και $n+1$ αντιστάσεις, για την δημιουργία διαιρετών τάσης, για τις ν τάσεις αναφοράς. Η παράλληλη έξοδος αποκωδικοποιείται από λογικό κύκλωμα με αποτέλεσμα μία έξοδο με $N = \log_2(n+1)$ bits. Έτσι υλοποιείται ένας N-bit παράλληλος μετατροπέας. Από τα παραπάνω φαίνεται ένα αρνητικό σημείο στη σχεδίασή του. Για παράδειγμα, για τη δημιουργία ενός 8-bit διακριτικής ικανότητας ADC, χρειάζονται 255 συγκριτές.



Σχήμα 1. Δομή παράλληλου ADC.

Οι pipeline ADC [1,2,5] προσπερνούν το αρνητικό των παράλληλων ADC χωρίζοντας την διαδικασία κβαντισμού σε συνεχόμενα στάδια. Κάθε στάδιο χρειάζεται ένα κύκλωμα δειγματοληψίας-συγκράτησης (sample and hold) έναν m-bit ADC και έναν ψηφιακό σε αναλογικό μετατροπέα (digital to analog converter) (DAC) m-bit, ο οποίος κάνει την αντίστροφη διαδικασία από τον ADC. Αρχικά το σήμα εισόδου κβαντίζεται από τον m-bit ADC το αποτέλεσμα του μετατρέπεται σε αναλογικό, μέσω του m-bit DAC, και αφαιρείται από την αρχική τάση εισόδου. Το αποτέλεσμα της αφαίρεσης μεταβαίνει στο επόμενο στάδιο όπου και ακολουθείται η ίδια διαδικασία. Σε κάθε στάδιο εξασφαλίζονται m-bit διακριτικής ικανότητας, επομένως σε p στάδια ενός pipeline ADC εξάγονται $N = p * m$ bit χρησιμοποιώντας $p * (2^m - 1)$ συγκριτές. Επομένως για την υλοποίηση ενός 8-bit διακριτικής ικανότητας ADC με 2 στάδια 4-bit παράλληλων ADC, χρειάζονται 30 συγκριτές. Η συγκεκριμένη διάταξη όμως, έχει κόστος ενός επιπλέον κύκλου μετατροπής με αποτέλεσμα την αύξηση του χρόνου κβαντισμού.



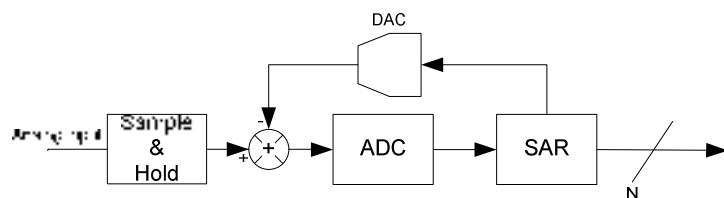
Σχήμα 2. Το P στάδιο ενός Pipeline ADC.

Ο SAR ADC [1,2,6] χρησιμοποιεί έναν συγκριτή και χρειάζεται πολλούς κύκλους για να ολοκληρώσει την μετατροπή. Στο πρώτο κύκλο το σήμα εισόδου συγκρίνεται με το $\frac{1}{2}$ του πλήρους εύρους E_{ref} του ADC. Αν είναι μεγαλύτερο τότε το πλέον σημαντικό bit (most significant bit) (MSB) είναι $b_1 = 1$ διαφορετικά είναι $b_1 = 0$. Στη συνέχεια για την εύρεση του δεύτερου σημαντικού bit, το σήμα εισόδου συγκρίνεται με το $b_1 \frac{E_{ref}}{2} + \frac{E_{ref}}{4}$ και το bit προκύπτει:

$$V_{in} > b_1 \frac{E_{ref}}{2} + \frac{E_{ref}}{4}, \quad b_2 = 1$$

$$V_{in} < b_1 \frac{E_{ref}}{2} + \frac{E_{ref}}{4}, \quad b_2 = 0$$

Η διαδικασία συνεχίζεται ώσπου να φτάσει το $\frac{1}{2^N}$ του πλήρους εύρους του ADC όπου είναι και το λιγότερο σημαντικό bit του ADC. Έτσι, σχηματίζεται ένας N-bit ADC.



Σχήμα 3. SAR ADC.

Οι integrating [1,7] ADC δίνουν υψηλή διακριτική ικανότητα αλλά μπορούν να κβαντίσουν μόνο σήματα χαμηλής συχνότητας. Στην περίπτωση του μετατροπέα

απλής κλίσης, μία μεταβαλλόμενη τάση σταθερής κλίσης παράγεται από έναν ολοκληρωτή. Στη συνέχεια γίνονται συνεχόμενες συγκρίσεις (σε συγκεκριμένες χρονικές στιγμές) της αυξανόμενης τάσης σταθερής κλίσης με μία V_{ref} . Όταν η τάση της εξόδου του ολοκληρωτή γίνει ίση με V_{ref} μπορεί να βρεθεί η τάση εισόδου μέσω των χαρακτηριστικών (RC) του ολοκληρωτή αλλά και του χρονικού διαστήματος που η σταθερά αυξανόμενη κλίση χρειάστηκε να για να γίνει ίση με την V_{ref} .

$$V_{in} = \frac{V_{ref}}{RC} TN$$

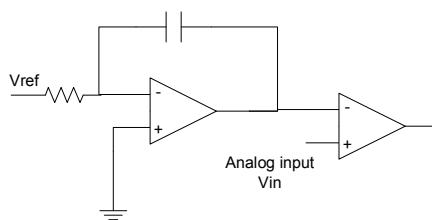
Όπου:

V_{in} : τάση εισόδου

T : περίοδος που από τη μία σύγκριση στην επόμενη

N : αριθμός συγκρίσεων

Στην ίδια αρχή λειτουργίας στηρίζεται και ο μετατροπέας διπλής κλίσης, με τη διαφορά ότι είναι μια βελτιωμένη έκδοση της παραπάνω αρχιτεκτονικής, γιατί η τάση εισόδου δεν εξαρτάται από την περίοδο από τη μία σύγκριση στην άλλη και τυχόν μεταβολές του T . Βέβαια, ο χρόνος της όλης μετατροπής είναι αρκετά μεγάλος σε σχέση με τους άλλους ADC.



Σχήμα 4. ADC απλής κλίσης

Ο ΣΔ ADC περιγράφεται στο Κεφάλαιο 2 αναλυτικά. Είναι μία αρχιτεκτονική που στηρίζεται σε ένα μικρό, από άποψης στοιχείων και χώρου, αναλογικό κομμάτι και ένα μεγάλο, σε σχέση με το αναλογικό κύκλωμα, ψηφιακό φίλτρο που εξάγει τα N -bit διακριτικής ικανότητας του ADC. Το αναλογικό μέρος είναι ένας διαμορφωτής που αποτελείται από ένα αθροιστή, έναν ολοκληρωτή, έναν συγκριτή και έναν

DAC 1-bit σε έναν βρόγχο ανάδρασης. Το σήμα εισόδου υπερδειγματοληπτείται ($F_s \gg F_N$) και ο θόρυβος κβαντισμού μορφοποιείται από τον ολοκληρωτή (noise shaping) με αποτέλεσμα να ελαχιστοποιείται στο βασικό εύρος συχνοτήτων. Η έξοδος του ολοκληρωτή, που είναι μια ακολουθία από bits, φιλτράρεται από το ψηφιακό κομμάτι με αποτέλεσμα να εξάγεται η χρήσιμη πληροφορία από αυτήν. Το αποτέλεσμα είναι ένας μεγάλης διακριτικής ικανότητας ADC.

1.2 Σύγκριση των αρχιτεκτονικών ADC

Οι αρχιτεκτονικές μεταξύ τους μπορούν να συγκριθούν και μπορεί να καταλήξει κανείς να επιλέξει [1-8] την κατάλληλη ανάλογα με τις προδιαγραφές της εφαρμογής που θα χρησιμοποιηθεί. Οι Παράλληλοι ADC είναι προτιμότεροι σε εφαρμογές όπου η ταχύτητα απόκτησης δεδομένων είναι κρίσιμη. Είναι η χειρότερη επιλογή για εφαρμογές που χρειάζονται μεγάλη διακριτική ικανότητα ($N > 8$ bits) και χαμηλή κατανάλωση ισχύος. Για εφαρμογές που χρειάζεται μεγάλη ταχύτητα (περίπου 100 Msps) αλλά χρειάζεται να διατηρηθεί χαμηλά η κατανάλωση ισχύος, ιδανική επιλογή είναι η pipeline αρχιτεκτονική που πετυχαίνει και μεγαλύτερη διακριτική ικανότητα (8 με 16 bits) από τους παράλληλους ADC. Σε εφαρμογές χαμηλότερης ταχύτητας (5 Msps) που είναι αναγκαία η πολύ χαμηλή κατανάλωση ισχύος χρησιμοποιούνται οι SAR ADC οι οποίοι πετυχαίνουν 8 με 16 bits διακριτική ικανότητα. Για περιπτώσεις DC σημάτων που απαιτείται μεγάλη διακριτική ικανότητα κυρίως χρησιμοποιούνται οι Integrating ADC (πολύμετρα). Ο ΣΔ ADC χρησιμοποιείται για εφαρμογές που απαιτείται μεγάλη διακριτική ικανότητα ($N > 16$ bits) και σχετικά χαμηλή ταχύτητα απόκτησης δεδομένων.

1.3 Ανασκόπηση τοπολογιών ΣΔ

Η μορφή του ΣΔ ADC ποικίλει τόσο στο αναλογικό όσο και στο ψηφιακό μέρος του. Στη συνέχεια αναφέρονται οι επικρατέστερες τοπολογίες των Σίγμα Δέλτα διαμορφωτών και των ψηφιακών φίλτρων που έχουν προταθεί.

1.3.1 Τοπολογίες αναλογικών Σίγμα Δέλτα Διαμορφωτών

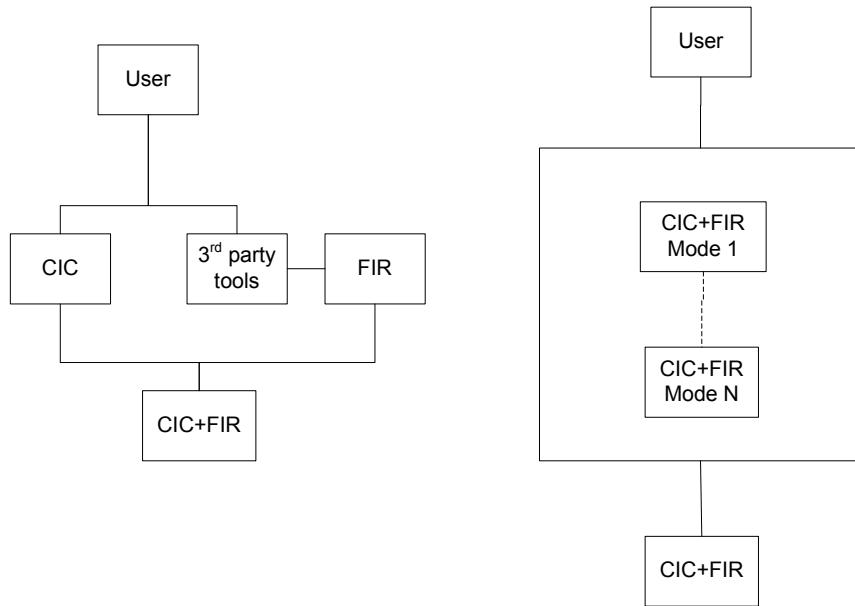
Προηγουμένως αναφέρθηκε η αρχιτεκτονική ενός πρώτης τάξης 1-bit Σίγμα Δέλτα διαμορφωτή (ΣΔΔ). Έχουν υλοποιηθεί διαμορφωτές [9] ακολουθώντας τις αρχές λειτουργίες του παραπάνω ΣΔΔ, με σκοπό να αυξηθεί η διακριτική ικανότητα αλλά και η ταχύτητα μετατροπής. Όπως αναφέρθηκε, μία από τις αρχές λειτουργίας του είναι η μορφοποίηση του θορύβου κβαντισμού η οποία πραγματοποιείται στον ολοκληρωτή. Έτσι αρκετές εργασίες [10-13] αναφέρονται σε μεγαλύτερης τάξης διαμορφωτές, δηλαδή ΣΔΔ με περισσότερους ολοκληρωτές από έναν σε σειρά. Το αποτέλεσμα αυτών των τοπολογιών είναι η μείωση ακόμα περισσότερο του θορύβου κβαντισμού στο βασικό εύρος συχνοτήτων, μέσω της δραστικότερης μορφοποίησης του θορύβου λόγω των παραπάνω ολοκληρωτών. Έτσι, επιτυγχάνεται μεγαλύτερη διακριτική ικανότητα. Το αρνητικό που προκύπτει είναι ότι οι μεγαλύτερης τάξης διαμορφωτές παρουσιάζουν προβλήματα ευστάθειας. Μία άλλη αλλαγή που έχει προταθεί σε σχέση με το αρχικό μοντέλο είναι από 1-bit ο διαμορφωτής να γίνει πολλαπλών bits [14-20]. Αυτό σημαίνει ότι ο συγκριτής (ο οποίος λειτουργεί σαν 1-bit κβαντιστής) αντικαθίσταται με έναν N-bit κβαντιστή. Αυτό αυτομάτως αυξάνει την διακριτική ικανότητα του ADC χωρίς τα προβλήματα ευστάθειας των μεγαλύτερης τάξης διαμορφωτών. Βέβαια ο πολλαπλών bit ΣΔΔ έχει περισσότερες απαιτήσεις γραμμικότητας, κάτι που κάνει δυσκολότερη την υλοποίηση του σε VLCI. Επίσης, η πολλαπλών bits έξοδος αυξάνει τις απαιτήσεις του ψηφιακού φίλτρου. Τέλος, άλλη μία αρχιτεκτονική που έχει προταθεί [21-26] είναι αυτή του πολλαπλών σταδίων (cascaded) ΣΔΔ. Το αποτέλεσμα αυτής της αρχιτεκτονικής είναι παρόμοιο με αυτό των μεγαλύτερης τάξης διαμορφωτών, με τη διαφορά ότι δεν έχει το πρόβλημα της ευστάθειας. Το αρνητικό αυτής τοπολογίας είναι ότι ο αποτυχημένος συνδυασμός των σταδίων και οι απώλειες των ολοκληρωτών μπορεί να έχουν σε αποτέλεσμα το να μη γίνει σωστά η μορφοποίηση του θορύβου.

1.3.2 Τοπολογίες ψηφιακών φίλτρων για Σίγμα Δέλτα

Το ψηφιακό κομμάτι πρέπει να συνδύασει ταυτόχρονα συγκεκριμένες λειτουργίες για να ολοκληρωθεί η υλοποίηση του ΣΔ ADC. Αρχικά χρειάζεται να φιλτραριστεί ο θόρυβος που βρίσκεται έξω από τη ζώνη βασικών συχνοτήτων. Στη συνέχεια πρέπει από μία ακολουθία 1-bit να εξαχθεί πληροφορία για N bit έξοδο. Επιπλέον

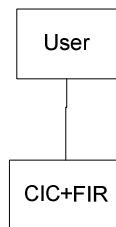
χρειάζεται να μειωθεί η συχνότητα λειτουργίας του υπόλοιπου κυκλώματος του ADC στη συχνότητα Nyquist. Η διαδικασία της μετατροπής του ενός bit σε N bit, αλλά και η μείωση της συχνότητας λειτουργίας γίνεται με το φίλτρο αποδεκατισμού (decimation filter). Ο επικρατέστερος τρόπος αποδεκατισμού είναι το cascaded integrator-comb (CIC) φίλτρο [27] διότι είναι μία οικονομική λύση από άποψη υλικού. Ποιο αναλυτικά αναπτύσσεται αυτό στο Κεφάλαιο 3. Το συγκεκριμένο φίλτρο έχει κάποια αρνητικά στοιχεία που για αυτό το λόγο συνήθως ακολουθεύται από άλλες διατάξεις φίλτρων που το συμπληρώνουν και το διορθώνουν. Συγκεκριμένα, το CIC φίλτρο συνήθως δεν αρκεί για να εξαλείψει τον θόρυβο έξω από τη βασική ζώνη συχνοτήτων. Επίσης το CIC φίλτρο έχει μία πτώση (droop) στη βασική ζώνη συχνοτήτων. Επομένως χρειάζονται επιπλέον διατάξεις για να εξαλειφθούν τα δύο παραπάνω προβλήματα, δηλαδή να αντισταθμιστεί η πτώση και να μειωθεί επιπλέον ο θόρυβος. Επίσης επιθυμητό είναι αυτές οι διατάξεις φίλτρων να είναι οικονομικές σε υλικό και κατανάλωση ισχύος ελαχιστοποιώντας τους συντελεστές και τους πολλαπλασιασμούς. Επιπλέον, προσπάθειες γίνονται ώστε τα φίλτρα αυτά να είναι και εύκολα προσαρμόσιμα σε αλλαγές του συστήματος. Στο [28] χρησιμοποιούνται πολλαπλά αντίγραφα του CIC έτσι ώστε δημιουργείται μία νέα συνάρτηση μεταφοράς με καλύτερη απόκριση και στο pass-band και στο stop-band. Επίσης εισάγεται η λογική από τους G.J. Dolecek et al. στα [29-31] για ημιτονοειδή φίλτρα αντιστάθμισης. Ακόμη, πολλές εργασίες υλοποιούν προγραμματιζόμενα φίλτρα ή φίλτρα αναδιατασσόμενης λογικής, δίνοντας περιθώριο επιλογής ρύθμισης στο χρήστη [32-37]. Σε αυτή την κατεύθυνση επικρατούν δύο τάσεις από την επιστημονική κοινότητα:

1. Ο χρήστης επιλέγει τις παραμέτρους του φίλτρου και στη συνέχεια του δίνεται η δυνατότητα από το εργαλείο να εισάγει τις παραμέτρους του FIR φίλτρου τις οποίες βρίσκει με την βοήθεια εργαλείων τρίτων. Σε αυτή την λογική κατατάσσονται η XILINX [38] και η ALTERA [39] που έχουν ενσωματώσει στον core generator τους το CIC φίλτρο και FIR φίλτρα.
2. Ο χρήστης επιλέγει ένα από τους τρόπους λειτουργίας (operation modes) που είναι υλοποιημένοι από μία διάταξη CIC και ένα FIR.



Σχήμα 5. Υπάρχουσες τάσεις εξαγωγής φίλτρων αποδεκατισμού.

Σε αυτή την εργασία υλοποιήθηκε ένας τρίτος τρόπος, όπου ο χρήστης επιλέγει τις παραμέτρους τόσο του CIC όσο και του FIR φίλτρου χωρίς την χρησιμοποίηση τρίτων εργαλείων.



Σχήμα 6. Προτεινόμενος τρόπος εξαγωγής φίλτρου αποδεκατισμού

Στη συγκεκριμένη εργασία υλοποιήθηκε γεννήτρια κώδικα VHDL που εξάγει ένα οικονομικό, χωρίς κανέναν πολλαπλασιασμό (multiplierless), φίλτρο αποδεκατισμού που αποτελείται από ένα CIC φίλτρο και από ένα καινοτόμο ημιτονοειδές φίλτρο αντιστάθμισης, με δυνατότητα ρύθμισης των παραμέτρων του από τον χρήστη. Επίσης πιστοποιήθηκε η λειτουργικότητα του για διάφορες παραμέτρους χρησιμοποιώντας το board XUP XILLINX με FPGA virtex2-pro.

1.4 Διάρθρωση του κειμένου

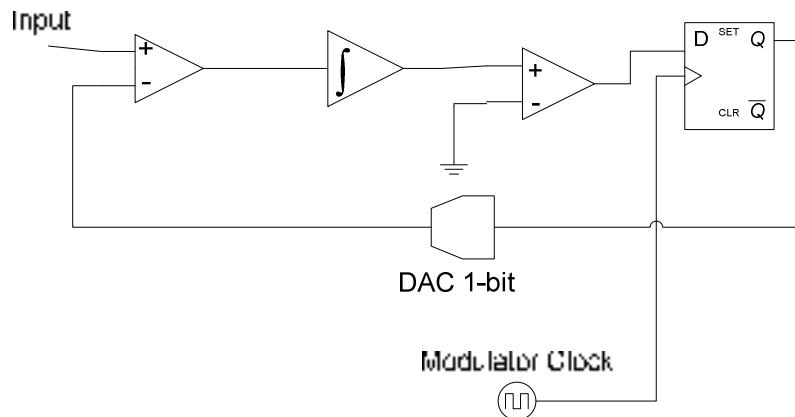
Στο Κεφάλαιο 2 που ακολουθεί περιγράφεται πλήρως ο τρόπος λειτουργίας του ΣΔΔ που υλοποιήθηκε, καθώς και οι αρχές λειτουργίας του. Στη συνέχεια, στο Κεφάλαιο 3 περιγράφεται η θεωρία του ψηφιακού φίλτρου που επιλέχτηκε να υλοποιηθεί. Στο Κεφάλαιο 4 φαίνεται η διαδικασία της υλοποίησης τόσο του λογισμικού που χρησιμοποιήθηκε, όσο και του υλικού του ΣΔ ADC. Στη συνέχεια παρατίθενται οι μετρήσεις του ADC και συγκρίνονται με τις αντίστοιχες θεωρητικές στο Κεφάλαιο 5. Τέλος στο Κεφάλαιο 6 φαίνονται οι μελλοντικές επεκτάσεις της συγκεκριμένης εργασίας.

2. Μετατροπέας αναλογικού σήματος σε ψηφιακό τύπου Σίγμα Δέλτα

Ο Σίγμα Δέλτα αναλογικός σε ψηφιακό μετατροπέας απαρτίζεται από δύο βασικά μέρη: τον αναλογικό Σίγμα Δέλτα διαμορφωτή (ΣΔΔ) (sigma-delta modulator) (SDM) και το ψηφιακό φίλτρο. Αρχικά αναλύεται ο πρώτης τάξης (first order) ΣΔΔ ενός bit.

2.1 Ο Σίγμα Δέλτα Διαμορφωτής

Ο ΣΔΔ αποτελείται από έναν αφαιρέτη, έναν ολοκληρωτή, ένα κβαντιστή του 1-bit (συγκριτή), ένα D flip-flop και ένα ψηφιακό σε αναλογικό μετατροπέα (digital to analog converter) (DAC) του 1-bit. Στο Σχήμα 7 φαίνεται η τοπολογία του ΣΔΔ.



Σχήμα 7. Ο Σίγμα Δέλτα Διαμορφωτής (ΣΔΔ).

Για να γίνει αντιληπτός ο τρόπος λειτουργίας του ΣΔΔ πρέπει να αναλυθεί η αρχή λειτουργίας του.

2.2 Αρχή Λειτουργίας του ΣΔΔ

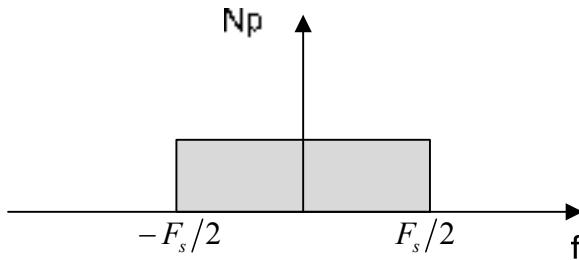
Ο τρόπος λειτουργίας του ΣΔΔ στηρίζεται στην υπερδειγματοληψία (oversampling), στη μορφοποίηση θορύβου (noise shaping) και στο ψηφιακό φίλτρο αποδεκατισμού (decimation filter).

2.2.1 Υπερδειγματοληψία

Σύμφωνα με την θεωρία του Nyquist, αν έχουμε ένα σήμα με συχνότητα F μπορεί να δειγματοληπτηθεί με ελάχιστη συχνότητα $F_s = 2 * F$. Ακόμα, δειγματοληπτώντας ένα σήμα εισάγεται τυχαίος θόρυβος (θόρυβος κβαντισμού) ο οποίος στο πεδίο συχνοτήτων είναι ομοιόμορφα κατανεμημένος από $-F_s/2$ ως $F_s/2$ (λευκός θόρυβος). Η μέση ισχύς του θορύβου κβαντισμού μπορεί να υπολογιστεί από την εξ. (1).

$$\overline{e_q^2} = \frac{1}{\Delta} \int_{-\Delta/2}^{+\Delta/2} e_q^2 de_q = \frac{\Delta^2}{12} \quad (1)$$

Όπου Δ είναι το βήμα κβαντισμού.



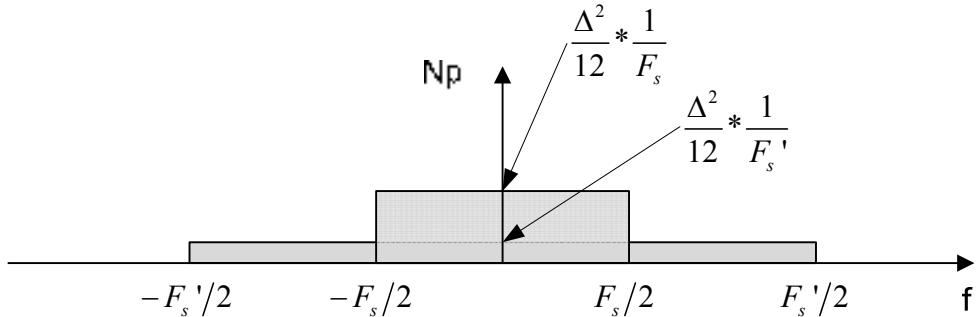
Σχήμα 8. Ισχύς Θορύβου κβαντισμού με δειγματοληψία Nyquist

Στην περίπτωση που το ημιτονοειδές σήμα εισόδου του ADC καλύπτει όλο το εύρος του ADC, τότε ο λόγος σήματος θορύβου (ΛΣΘ) (signal to noise ratio) (SNR) υπολογίζεται όπως φαίνεται στην εξ. (2) και εξ. (3).

$$SNR = \frac{V^2}{2} \left/ \frac{\Delta^2}{12} \right. \simeq \frac{V^2}{2} \left/ \frac{(2 * V / 2^N)^2}{12} \right. \Rightarrow \quad (2)$$

$$SNR = 6.02N + 1.76(db) \quad (3)$$

Άρα για κάθε bit διακριτικής ικανότητας (resolution) του ADC αυξάνεται το SNR κατά 6 db. Αν αντί για F_s δειγματοληπτηθεί το ίδιο σήμα με $F_s' \gg F_s$ τότε η ίδια ποσότητα θορύβου θα μοιραστεί σε μεγαλύτερο φάσμα συχνοτήτων.



Σχήμα 9. Ισχύς Θορύβου κβαντισμού με υπερδειγματοληψία

Η μέση ισχύς του θορύβου στη βασική ζώνη συχνοτήτων μειώνεται και γίνεται ίση με:

$$\int_{-F_s/2}^{F_s/2} \frac{\Delta^2}{12} * \frac{1}{F_s'} df = \frac{\Delta^2}{12} * \frac{F_s'}{F_s}, \quad (4)$$

Ο λόγος $r = \frac{F_s'}{F_s}$ ονομάζεται λόγος υπερδειγματοληψίας (oversampling ratio) (OSR). Από τα παραπάνω συμπεραίνεται ότι όσο μεγαλύτερος είναι ο OSR τόσο λιγότερος θόρυβος υπάρχει στη βασική ζώνη συχνοτήτων. Επιπλέον, όσο μειώνεται η ισχύς του θορύβου στη βασική ζώνη συχνοτήτων τόσο μεγαλώνει το SNR και επομένως αυξάνεται η διακριτική ικανότητα του ADC. Συγκεκριμένα από τον ορισμό του SNR εξάγεται η εξ. (5).

$$SNR = 10 * \log\left(\frac{x^2}{e^2}\right) = 10 * \log(x^2) - 10 * \log\left(\frac{\Delta^2}{12}\right) + 10 * \log\left(\frac{F_s'}{F_s}\right) (db) \quad (5)$$

Όπου:

x: η ενεργός τιμή (RMS) του σήματος εισόδου

e: η ενεργός τιμή του θορύβου κβαντισμού

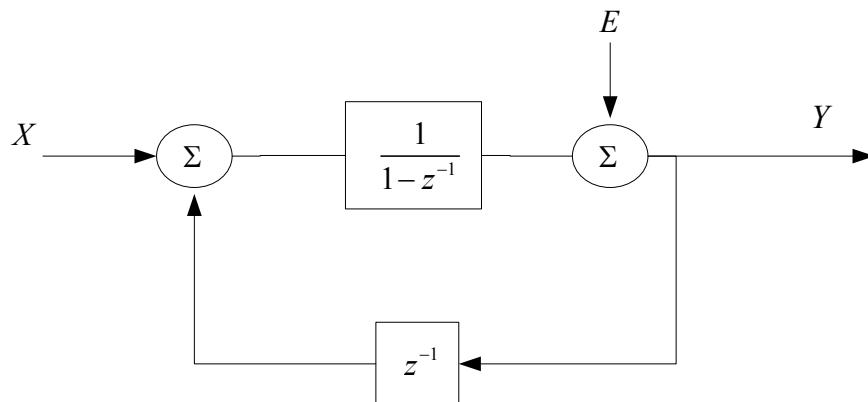
Αν γίνει αντικατάσταση του OSR με $\frac{F_s'}{F_s} = 2^{factor}$ τότε η σχέση (5) γίνεται:

$$SNR = 10 * \log\left(\frac{x^2}{e^2}\right) = 10 * \log(x^2) - 10 * \log\left(\frac{\Delta^2}{12}\right) + factor * 3.01(db) \quad (6)$$

όπου φαίνεται ότι για κάθε διπλασιασμό του OSR το SNR αυξάνεται κατά 3 db ή αλλιώς, αυξάνεται κατά μισό bit η διακριτική ικανότητα. Με τετραπλασιασμό του OSR $\left(\frac{F_s'}{F_s} = 2^4\right)$ το SNR αυξάνεται κατά 6 db ή αλλιώς, αυξάνεται κατά ένα bit η διακριτική ικανότητα κ.ο.κ. Επομένως, υπερδειγματοληπτώντας ένα σήμα αυξάνεται η διακριτική ικανότητα του ADC. Η υπερδειγματοληψία είναι ένας από τους λόγους που ο ΣΔ ADC πετυχαίνει μεγάλη διακριτική ικανότητα σε σχέση με τις άλλες αρχιτεκτονικές ADC. Η επόμενη βασική αρχή που στηρίζεται ο ΣΔΔ είναι η μορφοποίηση θορύβου και είναι ακόμα μία από τις αιτίες της μεγάλης διακριτικής ικανότητας του.

2.2.2 Μορφοποίηση Θορύβου

Ο πρώτης τάξης ΣΔΔ 1-bit στο z επίπεδο φαίνεται στο παρακάτω Σχήμα.



Σχήμα 10. Ο ΣΔΔ στο πεδίο z.

Από το σχήμα εξάγεται η εξ. (7).

$$\begin{aligned}
 Y(z) &= \left(\frac{z^{-1}}{1 - z^{-1}} \right) * (X(z) - Y(z)) + E(z) \Rightarrow \\
 Y(z) &= X(z) * z^{-1} + (1 - z^{-1}) * E(z)
 \end{aligned} \tag{7}$$

Όπου:

$X(z)$: είσοδος κυκλώματος

$Y(z)$: έξοδος κυκλώματος

$E(z)$: θόρυβος κβαντισμού

Με

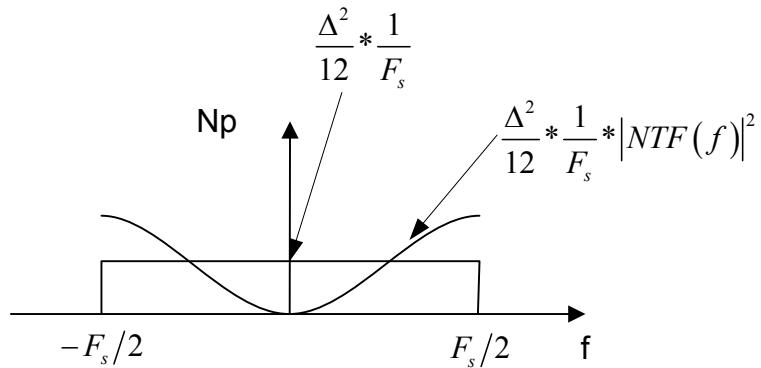
$$\begin{aligned} STF &= z^{-1} \\ NTF &= 1 - z^{-1} \end{aligned} \tag{8}$$

Όπου:

STF: signal transfer function (συνάρτηση μεταφοράς του σήματος)

NTF: noise transfer function (συνάρτηση μεταφοράς του θορύβου)

Από τις συναρτήσεις μεταφοράς φαίνεται ότι το σήμα εισόδου παραμένει ανεπηρέαστο, απλά καθυστερεί κατά ένα κύκλο. Επίσης φαίνεται ότι ο θόρυβος περνάει μέσα από ένα υψηπερατό φίλτρο (high-pass filter). Στο σχήμα 3 φαίνονται τα παραπάνω.



Σχήμα 11. Φάσμα θορύβου ενός ΣΔΔ

Ο υπολογισμός του συνολικού θορύβου γίνεται με τον εξής τρόπο:

$$e^2 = \frac{\Delta^2}{12} * \frac{1}{F_s} \int_{-F_s/2}^{F_s/2} |NTF(f)|^2 df \tag{9}$$

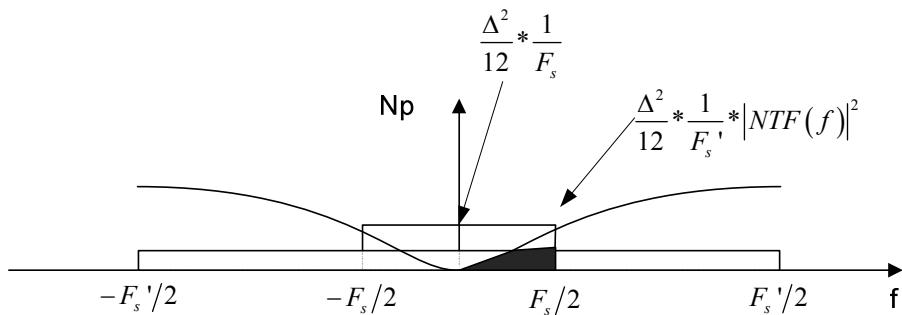
αλλά

$$\begin{aligned}
NTF(z) &= (1 - z^{-1}) \\
NTF(f) &= \left(1 - e^{-j*2*\pi*f/F_s}\right), \quad z^{-1} = e^{-j*2*\pi} \\
NTF(f) &= \left(e^{-j*\pi*f/F_s} * \left(e^{j*\pi*f/F_s} - e^{-j*\pi*f/F_s}\right)\right) \\
&= \left(e^{-j*\pi*f/F_s} * j2\sin(\pi f/F_s)\right) \\
\Rightarrow \\
|NTF(f)|^2 &= \left(2\sin(\pi f/F_s)\right)^2
\end{aligned} \tag{10}$$

Από τις εξ. (9) και (10) προκύπτει:

$$e^2 = \frac{\Delta^2}{12}$$

Από τον παραπάνω υπολογισμό αποδεικνύεται ότι ο συνολικός θόρυβος δεν άλλαξε, απλά μορφοποιήθηκε. Συγκεκριμένα, μεταφέρθηκε περισσότερο από το φάσμα τους στις υψηλές συχνότητες. Προσθέτοντας στα παραπάνω την υπερδειγματοληψία ο θόρυβος στο βασικό εύρος συχνοτήτων μειώνεται ακόμα περισσότερο. Αυτό φαίνεται στο παρακάτω Σχήμα.



Σχήμα 12. Θόρυβος στο πεδίο συχνοτήτων ενός ΣΔΔ με υπερδειγματοληψία

Το σκιασμένο κομμάτι στο Σχήμα 12 είναι ο θόρυβος κβαντισμού που παραμένει στη βασική ζώνη συχνοτήτων. Στο κύκλωμα, όπως φαίνεται στο Σχήμα 7 υπάρχει ένας αφαιρέτης, ένας ολοκληρωτής και ένας κβαντιστής που μέσω ενός ψηφιακού σε αναλογικό μετατροπέα 1-bit συνθέτουν ένα κλειστό βρόγχο ανάδρασης. Ο σκοπός του DAC στην ανάδραση είναι η διατήρηση της μέσης τιμής της εξόδου του ολοκληρωτή κοντά στην τάση αναφοράς του συγκριτή. Η πυκνότητα των λογικών '1' στην έξοδο του ΣΔΔ είναι ανάλογη του σήματος εισόδου του.

Αυξάνοντας την τάση στην είσοδο, αυξάνεται και το πλήθος των '1' στην έξοδο του διαμορφωτή και αντίστοιχα μειώνοντας την τάση στην είσοδο μειώνεται και το πλήθος των '1' στην έξοδο. Ο ολοκληρωτής προσθέτοντας κάθε φορά το σφάλμα κβαντισμού, συμπεριφέρεται σαν υψηπερατό φίλτρο για τον θόρυβο. Έτσι, η κατανομή του θορύβου κβαντισμού, άλλαζει (Σχήμα 11). Στην περίπτωση που φιλτραριστούν όλες οι συχνότητες μεγαλύτερες του $F_s/2$ (με ένα τέλειο βαθυπερατό φίλτρο) αυξάνεται ακόμα περισσότερο το SNR (επομένως και η διακριτική ικανότητα) από την περίπτωση της υπερδειγματοληψίας. Στην περίπτωση αυτή, ο θόρυβος που θα παραμείνει στην βασική ζώνη συχνοτήτων υπολογίζεται και φαίνεται στη συνέχεια.

$$\begin{aligned}
 N_p &= \int_{-F_s/2}^{F_s/2} |NTF(f)|^2 \frac{\Delta^2}{12} * \frac{1}{F_s} df \\
 &= \int_{-F_s/2}^{F_s/2} (2 \sin(\pi f/F_s))^2 \frac{\Delta^2}{12} * \frac{1}{F_s} df \\
 &\approx \int_{-F_s/2}^{F_s/2} (2 \sin(\pi f/F_s))^2 \frac{\Delta^2}{12} * \frac{1}{F_s} df \quad \text{αν } F_s \gg F_s \\
 &= \frac{4 * \pi^2}{F_s^3} * \frac{\Delta^2}{12} \int_{-F_s/2}^{F_s/2} f^2 df \\
 &= \frac{\pi^2}{3} \frac{1}{r^3} \frac{\Delta^2}{12}
 \end{aligned} \tag{11}$$

Γνωρίζοντας τον θόρυβο μπορεί να υπολογιστεί το SNR:

$$SNR = 10 \log(x^2) - 10 \log(e^2) - 10 \log\left(\frac{\pi^2}{3}\right) + 30 \log(r) (db) \tag{12}$$

Το οποίο γίνεται:

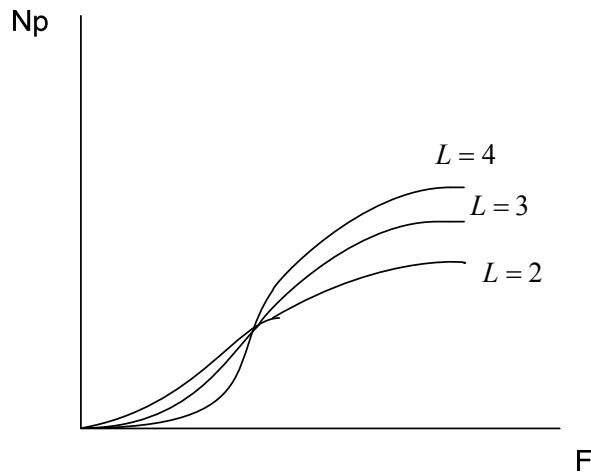
$$SNR = 10 \log(x^2) - 10 \log(e^2) - 10 \log\left(\frac{\pi^2}{3}\right) + 9.03 * factor (db)$$

Από την εξ. (12) φαίνεται ότι για κάθε διπλασιασμό του OSR το SNR αυξάνεται κατά 9 db (που αυτό αντιστοιχεί σε 1,5 bit διακριτικής ικανότητας).

Αντίστοιχοι υπολογισμοί γίνονται και στην περίπτωση που ο ΣΔΔ είναι δεύτερης τρίτης τάξης ή L-τάξης. Για L-τάξης ΣΔΔ (δηλαδή να υπάρχουν L ολοκληρωτές σε σειρά) η εξ. (10) γίνεται:

$$\begin{aligned} NTF(z) &= (1 - z^{-1})^L \Rightarrow \\ |NTF(f)|^2 &= (2 \sin(\pi f/F_s))^{\frac{2}{L}} \end{aligned} \quad (13)$$

Το παρακάτω σχήμα δείχνει την διαφορά στην μορφή του θορύβου κβαντισμού μεταξύ των διαμορφωτών.



Σχήμα 13. Θόρυβος κβαντισμού ενός δεύτερης, τρίτης και τέταρτης τάξης ΣΔΔ.

Επίσης για το νέο υπολογισμό του συνολικού θορύβου στο εύρος βασικών συχνοτήτων το ολοκλήρωμα της (11) γίνεται:

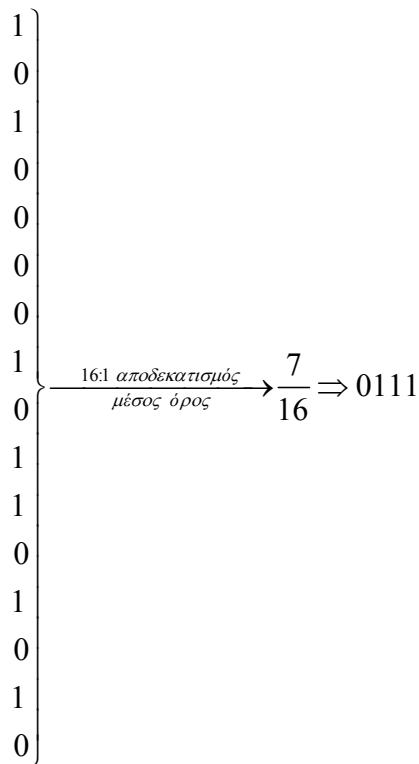
$$N_p = \int_{-F_s/2}^{F_s/2} |NTF(f)|^{2/L} \frac{\Delta^2}{12} * \frac{1}{F_s} df \quad (14)$$

Αν υπολογιστεί το SNR για τους δεύτερης και τρίτης τάξης διαμορφωτή φαίνεται ότι για κάθε διπλασιασμό του OSR αυξάνεται κατά 15 db και 21 db αντίστοιχα. Παρατηρείται αύξηση δηλαδή της διακριτικής ικανότητας για μεγαλύτερης τάξης διαμορφωτών.

Αναγκαίο τώρα είναι να φιλτραριστεί ο θόρυβος έξω από την βασική ζώνη συχνοτήτων αλλά και να εξαχθεί πληροφορία από την πυκνότητα των ‘1’ (έξοδος ΣΔΔ) που όπως αναφέρθηκε είναι ανάλογη με την τάση του σήματος εισόδου.

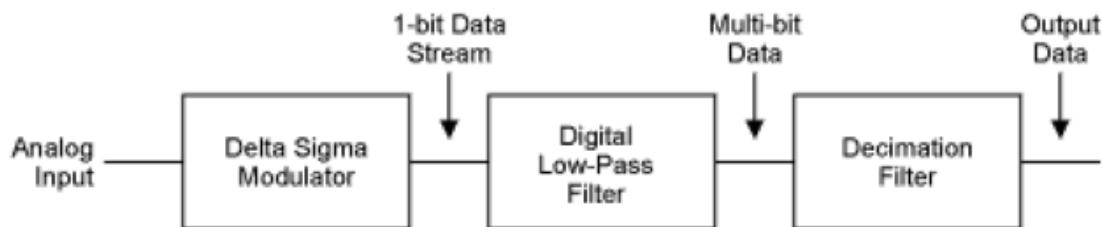
2.2.3 Ψηφιακό Φίλτρο και Φίλτρο Αποδεκατισμού

Ο υπόλοιπος ΣΔ ADC υλοποιείται με ψηφιακά στοιχεία. Η έξοδος του διαμορφωτή είναι μία ακολουθία από 1 και 0 σε μεγάλη συχνότητα λόγω της υπερδειγματοληψίας. Για να εξαχθεί πληροφορία από αυτήν την ακολουθία χρειάζεται να υπολογίζεται ο μέσος όρος των ‘1’ ανά κάποιο αριθμό bits της εξόδου του ΣΔΔ. Με αυτόν τον τρόπο από μία έξοδο ενός bit πλέον δημιουργείται μία έξοδος N+k bit. Από αυτά τα N+k bit αν επιλεχτεί ο χρήσιμος αριθμός τους (effective number of bits) (ENOB) δηλαδή απλά αν αφαιρεθούν τα k λιγότερο σημαντικά bits (που από υπολογισμούς που θα εκτίθενται παρακάτω, δεν προσφέρουν χρήσιμη πληροφορία) τότε δημιουργείται ένας ADC των N-bit. Μόλις φιλτραριστεί ο θόρυβος που βρίσκεται έξω από τη ζώνη βασικών συχνοτήτων (που όπως αναφέρθηκε είναι αναγκαίο) μπορεί να πέσει η συχνότητα λειτουργίας του υπόλοιπου κυκλώματος του ADC στη συχνότητα Nyquist. Η διαδικασία της εύρεσης μέσου όρου, αλλά και της μείωσης της συχνότητας λειτουργίας γίνεται με το φίλτρο αποδεκατισμού (decimation filter). Στο παρακάτω παράδειγμα φαίνεται η διαδικασία αποδεκατισμού.



Σχήμα 14. Παράδειγμα αποδεκατισμού 16:1

Η αφαίρεση του θορύβου κβαντισμού γίνεται από ένα βαθυπερατό φίλτρο (low-pass filter). Στο παρακάτω σχήμα φαίνεται όλη η διαδικασία.



Σχήμα 15. Λειτουργικό διάγραμμα ενός ΣΔ ADC.

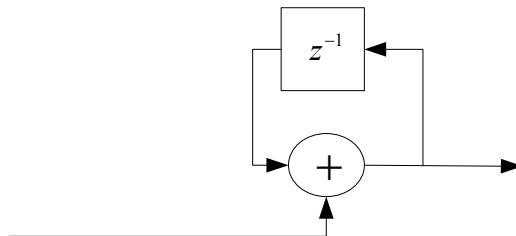
3. Ψηφιακά Φίλτρα

Όπως αναφέρθηκε και προηγουμένως το ψηφιακό φίλτρο που έπειται του ΣΔΔ πρέπει να λειτουργεί σαν βαθυπερατό αλλά και σαν φίλτρο αποδεκατισμού. Ένα φίλτρο που συγκεντρώνει και τις δύο λειτουργίες είναι το cascaded integrator-comb (CIC). Αυτό που κάνει το CIC φίλτρο ιδανική επιλογή για το ΣΔ είναι, εκτός από το ότι συγκεντρώνει τις λειτουργίες που χρειάζονται, δεν χρησιμοποιεί πολλαπλασιασμούς. Αυτό συμβαίνει γιατί όλοι οι συντελεστές (coefficients) του είναι μοναδιαίοι. Επιπλέον, δεν χρειάζεται αποθηκευτικός χώρος για τους συντελεστές του φίλτρου. Ακόμα, ένα κομμάτι του φίλτρου λειτουργεί στη συχνότητα υπερδειγματοληψίας και το υπόλοιπο σε μειωμένη συχνότητα. Αυτά τα χαρακτηριστικά του CIC το καθιστούν κατάλληλο για πολλές εφαρμογές που χρησιμοποιούν polyphase filtering, όπως ασύρματες επικοινωνίες, ΣΔ ADC και DAC. Στη συνέχεια αναλύεται η δομή και ο τρόπος λειτουργίας του CIC φίλτρου.

3.1 Το Φίλτρο CIC

Τα δομικά στοιχεία του CIC φίλτρου είναι ο ολοκληρωτής (integrator):

$$H_I = \frac{1}{1 - z^{-1}} \quad (15)$$

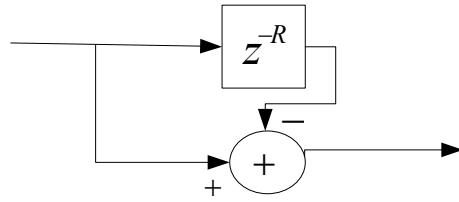


Σχήμα 16. Ολοκληρωτής.

και ο διαφοριστής (comb)

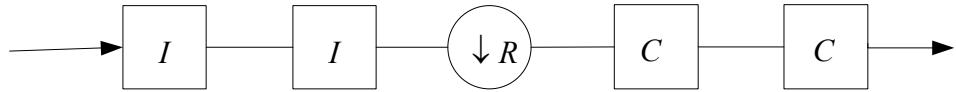
$$H_C = 1 - z^{-R} \quad (16)$$

όπου R είναι ο παράγοντας αποδεκατισμού (decimation factor)



Σχήμα 17. Διαφοριστής.

Τα στοιχεία, αυτά, ενώνονται μεταξύ τους με cascade συνδεσμολογία. Στο παρακάτω σχήμα φαίνεται ένα CIC φίλτρο δεύτερης τάξης (η τάξη του καθορίζεται από τον αριθμό των ολοκληρωτών-διαφοριστών που χρησιμοποιούνται).



Σχήμα 18. CIC δεύτερης τάξης.

Η συνάρτηση μεταφοράς του CIC στο z επίπεδο είναι:

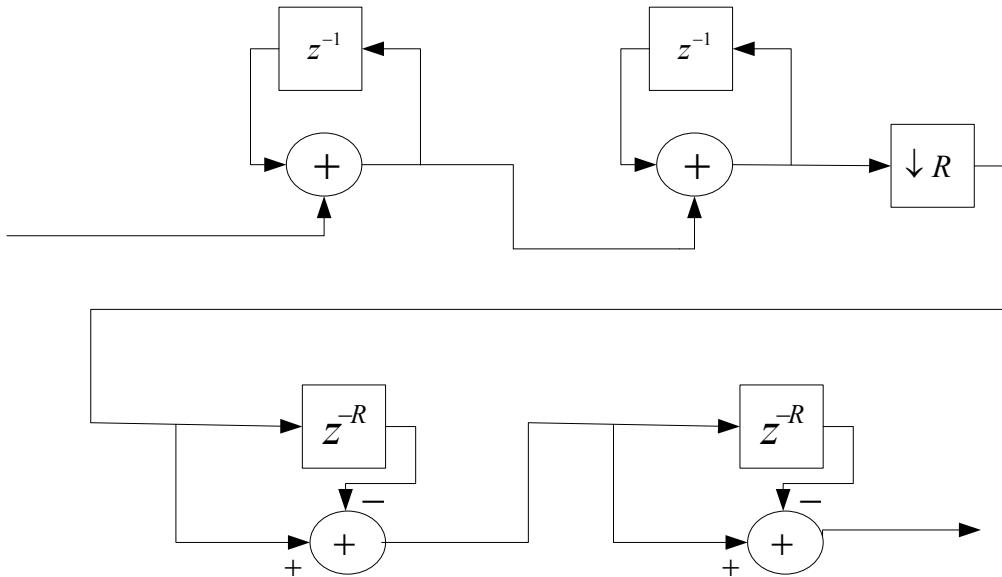
$$H_{CIC} = H_I^N * H_C^N = \left(\frac{1 - z^{-R}}{1 - z^{-1}} \right)^N \quad (17)$$

όπου N είναι η τάξη του φίλτρου.

Εύκολα αποδεικνύεται ότι η συνάρτηση μεταφοράς του CIC είναι η recursive μορφή ενός moving average.

$$\sum_{k=0}^{R-1} z^{-k} = 1 + z^{-1} + z^{-2} + \dots + z^{-R+1} = \left(\frac{1 - z^{-R}}{1 - z^{-1}} \right)^N \quad (18)$$

Επειδή το CIC φίλτρο κάνει αποδεκτισμό κατά R , ο διαφοριστής μπορεί να λειτουργεί σε χαμηλότερη κατά R συχνότητα από τον ολοκληρωτή.



Σχήμα 19. CIC δεύτερης τάξης, ποιο αναλυτικά.

Πρέπει να τονιστεί ότι επειδή κάθε ολοκληρωτής έχει ανάδραση με μοναδιαίο συντελεστή, οι καταχωρητές εύκολα φτάνουν σε υπερχείλιση. Το συγκεκριμένο πρόβλημα επιλύνεται με το να υλοποιηθεί το φίλτρο με χρήση two's compliment (συμπλήρωμα ως προς δύο) αριθμητική αλλά και την επιλογή του κατάλληλου μεγέθους των καταχωρητών. Τότε πλέον η υπερχείλιση δεν επηρεάζει το αποτέλεσμα.

3.1.1 Μέγεθος Καταχωρητών CIC φίλτρου

Το μέγεθος των καταχωρητών καθορίζεται από την ακραία περίπτωση σήματος εισόδου. Ο καταχωρητής σε bits πρέπει να μπορεί να «περιγράψει» το σήμα εισόδου στη περίπτωση μέγιστου πλάτους. Επιπλέον το μέγιστο μέγεθος του καταχωρητή που χρειάζεται έχει άμεση σχέση με το τον παράγοντα αποδεκατισμού και την τάξη του CIC και μπορεί να υπολογιστεί από την σχέση (19).

$$G_{\max} = R^N \quad (19)$$

Χρησιμοποιείται σε κάθε σχεδίαση CIC φίλτρου μέγεθος καταχωρητών G_{\max} έτσι ώστε να είναι σίγουρο ότι δεν θα χαθούν δεδομένα σε περίπτωση υπερχείλισης. Αν ο αριθμός των bits στην είσοδο είναι B_{in} τότε η τιμή του μεγέθους του

καταχωρητή μπορεί να χρησιμοποιηθεί στον υπολογισμό του ποιο σημαντικού ψηφίου, B_{\max} .

$$B_{\max} = \lceil N \log_2(R) + B_{in} - 1 \rceil \quad (20)$$

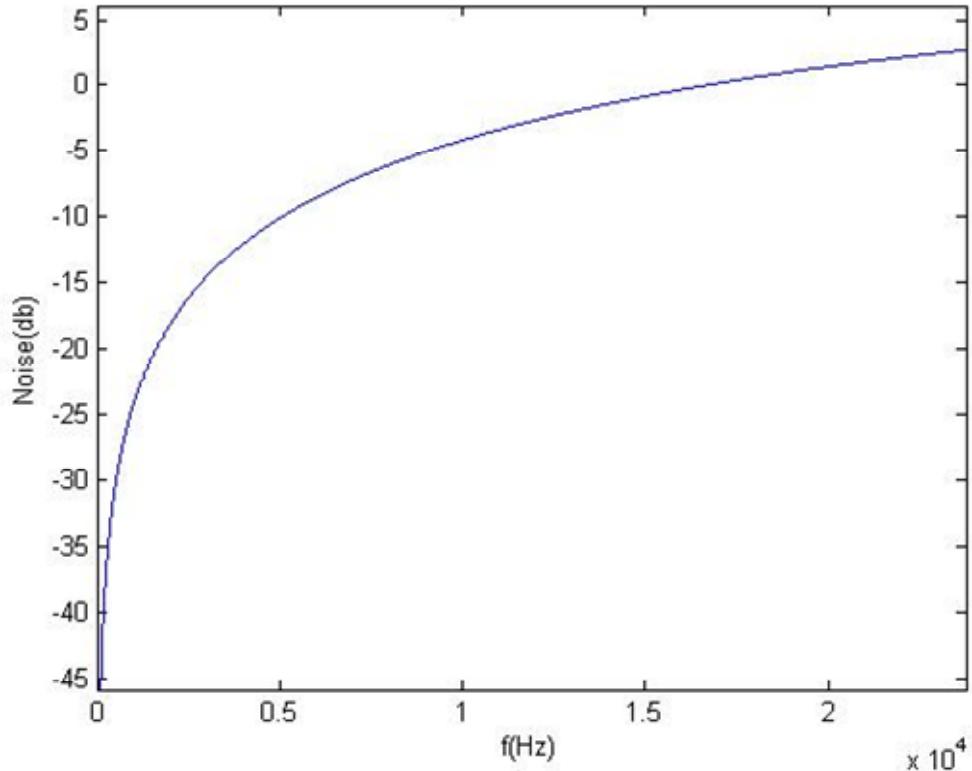
Το B_{\max} είναι το ποιο σημαντικό ψηφίο σε όλα τα στάδια του φίλτρου και όχι μόνο στην τελική του έξοδο. Στη συνέχεια πρέπει να καθοριστεί ο αριθμός των ENOB. Γνωρίζοντας το MSB και τα ENOB επιλέγεται η έξοδος του ADC ΣΔ από τα G_{\max} bits που υπάρχουν στην έξοδο του φίλτρου. Το MSB υπολογίστηκε από την 20. Για να υπολογιστεί και το ENOB χρειάζεται να γίνει μελέτη στο πεδίο συχνοτήτων.

3.1.2 CIC Φίλτρο στο Πεδίο Συχνοτήτων

Στο Κεφάλαιο 2 φαίνεται η άμεση σχέση του SNR με την διακριτική ικανότητα του ADC ΣΔ. Υπολογίζεται, επίσης, ο θόρυβος κβαντισμού στην βασική ζώνη συχνοτήτων, στην ιδανική περίπτωση που ένα φίλτρο αποκόπτει όλο τον θόρυβο έξω από αυτή. Στην πραγματικότητα, όμως τέτοια ιδανικά φίλτρα δεν υπάρχουν. Οποιοδήποτε βαθυπερατό φίλτρο δεν θα καταφέρει να καταστείλει όλο το θόρυβο κβαντισμού που βρίσκεται έξω από την βασική ζώνη συχνοτήτων. Έτσι, μετά τον αποδεκατισμό ο θόρυβος αυτός, θα περάσει στην βασική ζώνη συχνοτήτων με αποτέλεσμα να μειωθεί το SNR και επομένως και η διακριτική ικανότητα του ADC. Το φαινόμενο αυτό στην έξοδο του ADC μεταφράζεται με το ότι από τα G_{\max} bits της εξόδου του CIC μόνο ένας αριθμός από το MSB είναι «χρήσιμος» για την αποτύπωση της αναλογικής εισόδου με ψηφιακό τρόπο (ENO). Δηλαδή, αν επιλεγεί να διαβαστούν παραπάνω bits από αυτόν τον αριθμό αλλοιώνεται το αποτέλεσμα (εισάγεται και θόρυβος στην έξοδο). Από τα παραπάνω φαίνεται η αναγκαιότητα του υπολογισμού (a) του θορύβου κβαντισμού που δεν εξαλείφεται από το βαθυπερατό φίλτρο και (β) στη συνέχεια του SNR. Για να υπολογιστεί ο θόρυβος πρέπει να γίνει η συνέλιξη του μορφοποιημένου θορύβου από το διαμορφωτή με την συνάρτηση μεταφοράς του φίλτρου ή απλώς να υπολογιστεί το ολοκλήρωμα στο πεδίο συχνοτήτων του πολλαπλασιασμού της συνάρτησης μεταφοράς του φίλτρου με αυτή του μορφοποιημένου θορύβου. Ποιο αναλυτικά ο θόρυβος κβαντισμού μετά την υπερδειγματοληψία είναι:

$$X = \frac{\Delta^2}{12} * \frac{1}{F_s}, \quad (21)$$

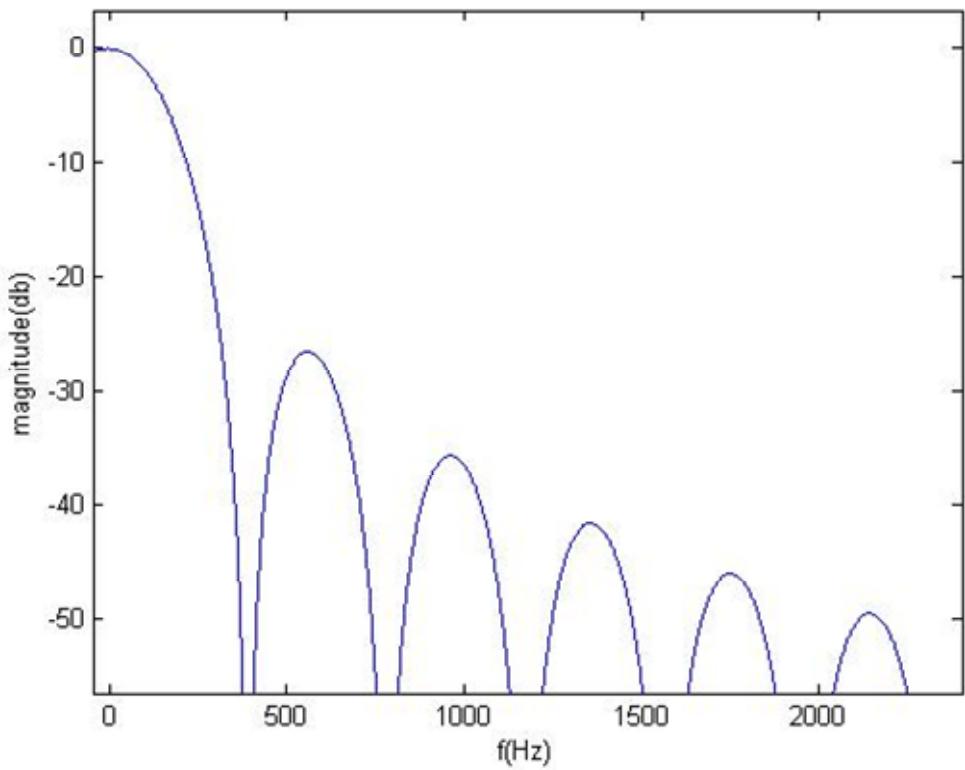
Η συνάρτηση μεταφοράς του μορφοποιημένου θορύβου φαίνεται στην εξ. (13).



Σχήμα 20. Φάσμα Θορύβου στην είσοδο του CIC

Η συνάρτηση μεταφοράς του CIC στο πεδίο συχνοτήτων είναι:

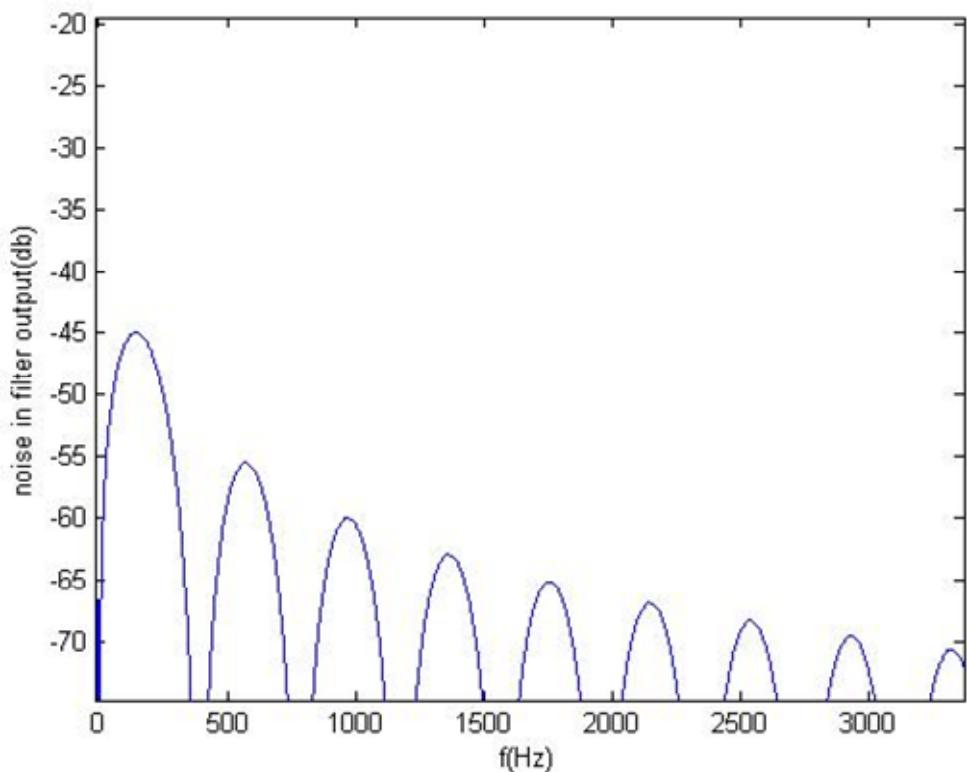
$$H_{cic}(f) = \left| \frac{\sin\left(R * \pi * \frac{f}{F_s}\right)}{R * \sin\left(\pi * \frac{f}{F_s}\right)} \right|^N \quad (22)$$



Σχήμα 21. Φάσμα ενός C/C δεύτερης τάξης

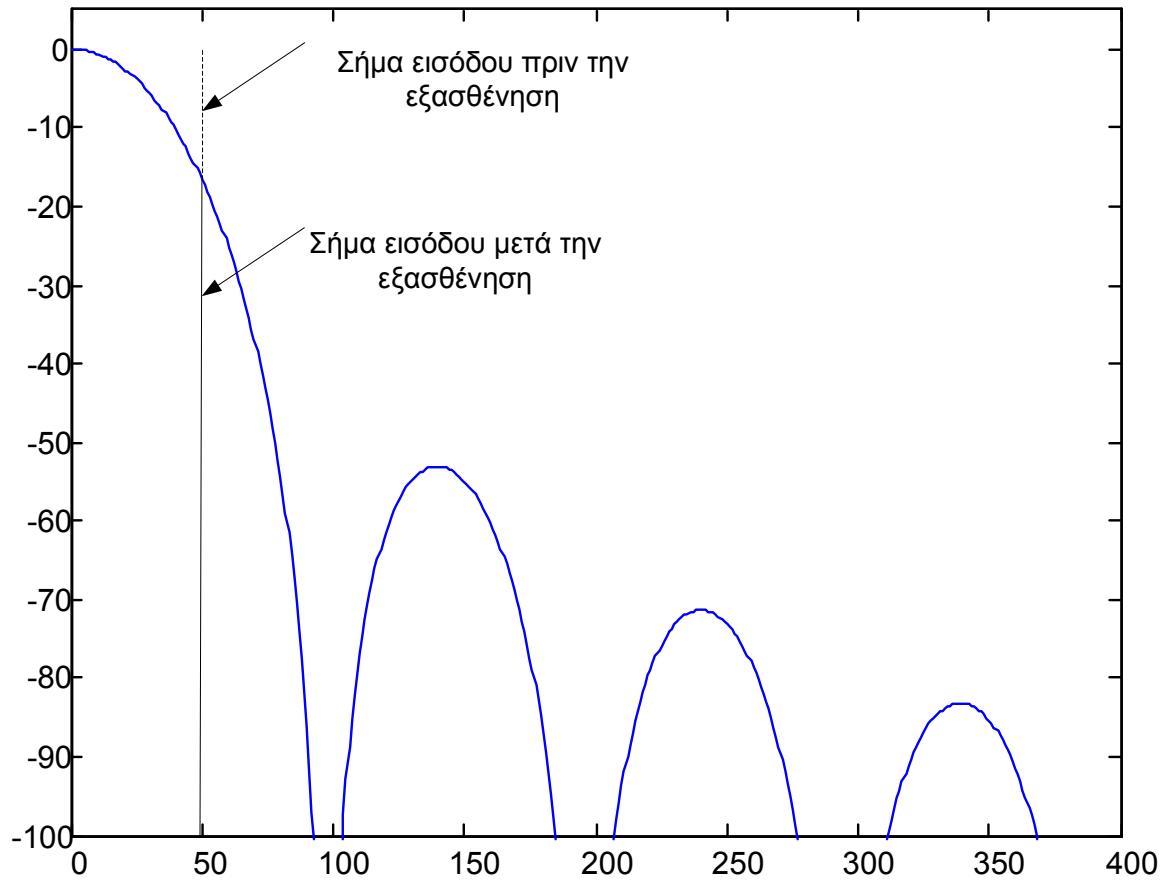
Ο υπολογισμός του συνολικού θορύβου στην έξοδο φαίνεται παρακάτω:

$$Np_{cic} = \int_{F_s'/2}^{-F_s'/2} X * |NTF(f)|^2 * H_{cic}(f)^2 df \quad (23)$$



Σχήμα 22. Θόρυβος στην έξοδο του CIC

Όπως φαίνεται από την απόκριση του CIC στο πεδίο συχνοτήτων υπάρχει μία πτώση (droop) στην χαμηλές συχνότητες. Αυτό σημαίνει ότι θα υπάρξει και εξασθένηση του σήματος εισόδου. Επομένως, για τον υπολογισμό του SNR χρειάζεται να υπολογιστεί και η νέα ισχύς του σήματος εισόδου. Στην περίπτωση ενός ημίτονου το διάγραμμα στο πεδίο συχνοτήτων (ημίτονου και CIC) φαίνεται παρακάτω.



Σχήμα 23. Ένα ημίπονο με $f=50\text{Hz}$ υφίσταται εξασθένηση από το C/C φίλτρο.

Η ισχύς του ημίπονου συχνότητας f_o υπολογίζεται από την παρακάτω σχέση:

$$P_{\sin}(f_o) = \frac{d^2}{2} \quad (24)$$

όπου d είναι πλάτος ημίπονου. Το πλάτος εξασθενεί λόγω του CIC και είναι:

$$d_{\sin cic} = d * H_{cic}(f_o) \quad (25)$$

Επομένως η ισχύς του ημίπονου συχνότητας f_o μετά το CIC είναι:

$$P_{\sin cic} = \frac{d_{\sin cic}^2}{2} \quad (26)$$

Επομένως το SNR μπορεί να υπολογιστεί από την εξ. (27):

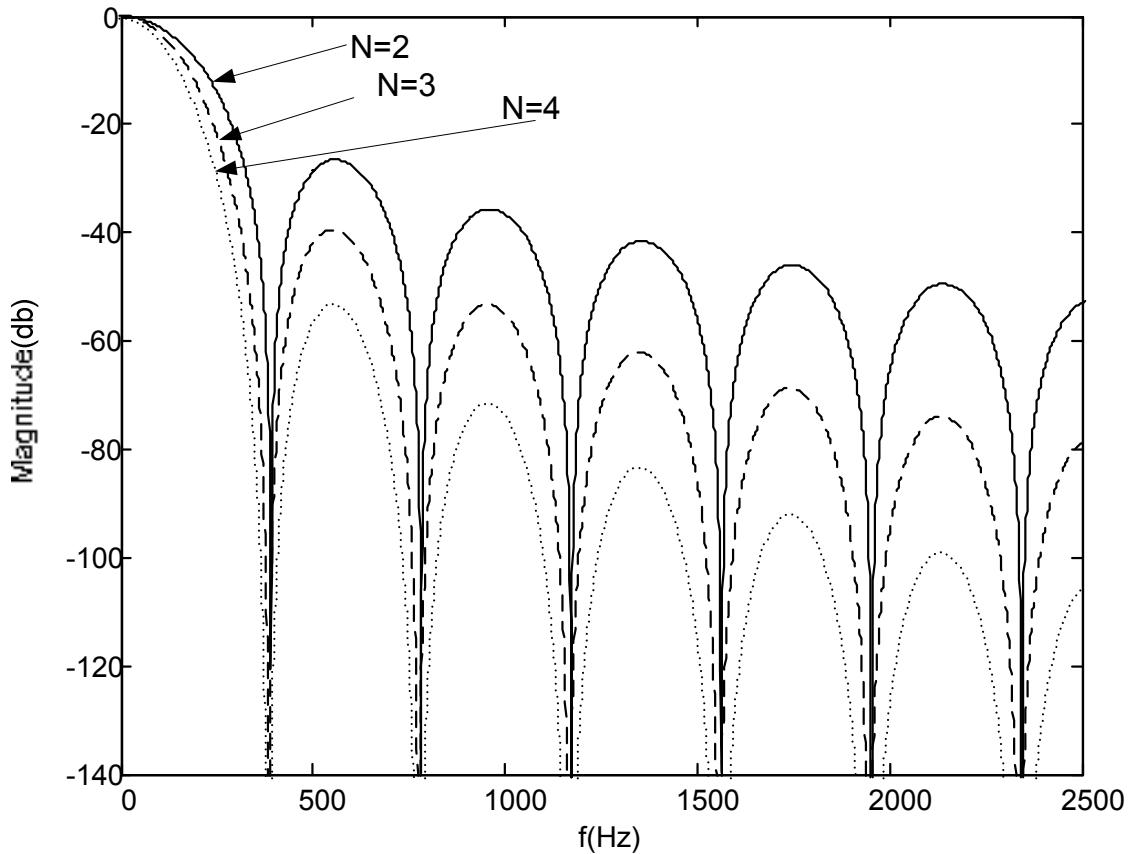
$$SNR_{cic} = 10 * \log_{10} \left(\frac{P_{\sin cic}}{Np_{cic}} \right) \quad (27)$$

Σύμφωνα με την σχέση (3) η διακριτική ικανότητα του ADC είναι:

$$ENOB \approx resolution \approx \left\lfloor \frac{SNR}{6} \right\rfloor \quad (28)$$

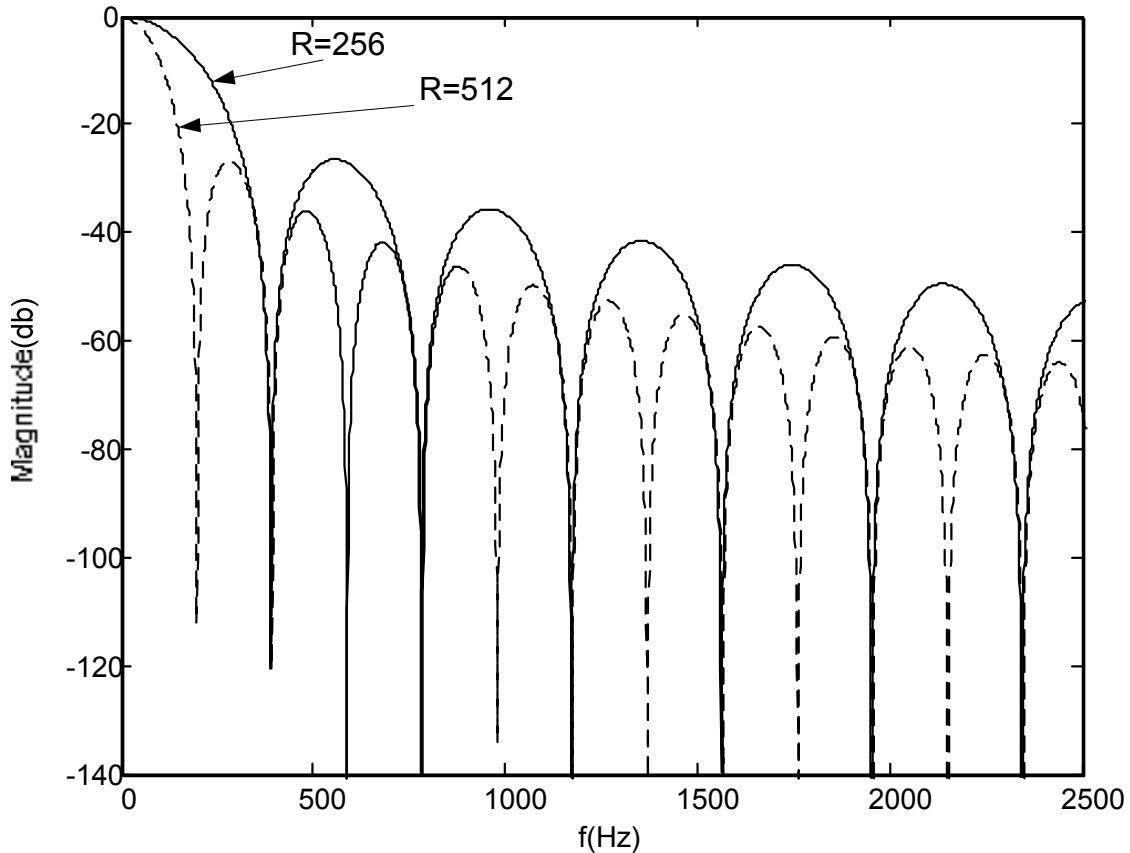
Επομένως με την παραπάνω μεθοδολογία και τις σχέσεις από (21) ως και (28) μπορεί να υπολογίσει κανείς τα ENOB και κατ' επέκταση να επιλέξει την έξοδο του CIC φίλτρου τα οποία είναι ταυτόχρονα και η έξοδος του ΣΔ ADC.

Το CIC φίλτρο πέρα από όλα τα πλεονεκτήματα του έχει δύο αρνητικά χαρακτηριστικά. Αρχικά έχει σχετικά χαμηλή ικανότητα εξάλειψης (attenuation) του θορύβου στη stop-band. Βέβαια αυτό βελτιώνεται με την αύξηση της τάξης του CIC φίλτρου όπως φαίνεται στο παρακάτω Σχήμα.



Σχήμα 24. Απόκριση πλάτους CIC για διάφορα N

Επίσης, μπορεί κανείς να αυξήσει τον παράγοντα αποδεκατισμού και επομένως να φέρει το πρώτο μηδενικό σε χαμηλότερη συχνότητα με αποτέλεσμα να αυξηθεί ικανότητα εξάλειψης του CIC.



Σχήμα 25. Απόκριση πλάτους CIC για διάφορους παράγοντες αποδεκατισμού.

Στους παραπάνω δύο τρόπους μείωσης του θορύβου διογκώνεται το δεύτερο αρνητικό χαρακτηριστικό του CIC φίλτρου το οποίο είναι η εξασθένηση του σήματος εισόδου. Από το διάγραμμα της απόκρισης συχνότητας φαίνεται η πτώση του CIC, στη βασική ζώνη συχνοτήτων, η οποία δημιουργεί το πρόβλημα. Ένας τρόπος μείωσης του συγκεκριμένου προβλήματος είναι η υλοποίηση ενός δεύτερου φίλτρου στην έξοδο του CIC με σκοπό την αντιστάθμιση της πτώσης που παρατηρείται στη βασική ζώνη συχνοτήτων. Τα φίλτρα που έχουν αυτή την ιδιότητα ονομάζονται φίλτρα αντιστάθμισης (compensation filters).

3.2 Φίλτρο Αντιστάθμισης (Compensation filter)

Ο τρόπος υλοποίησης των φίλτρων αντιστάθμισης ποικίλει. Ένας συμβατικός τρόπος υλοποίησης ενός φίλτρου αντιστάθμισης είναι η υλοποίηση ενός FIR φίλτρου με ανάστροφη απόκριση συχνότητας στη βασική ζώνη συχνοτήτων με το CIC και μηδενική στο υπόλοιπο φάσμα. Αυτός ο τρόπος έχει μερικά αρνητικά. Αρχικά είναι η έλλειψη ευελιξίας. Για την υλοποίηση ενός τέτοιου φίλτρου πρέπει να βρεθεί, αρχικά, η συνάρτηση μεταφοράς του φίλτρου (η οποία έχει άμεση σχέση με αυτήν του CIC) και στη συνέχεια να εξαχθούν οι συντελεστές του FIR φίλτρου. Αυτό σημαίνει χρησιμοποίηση και τρίτου εργαλείου (για παράδειγμα τη συνάρτηση fir2 της matlab). Κατά συνέπεια, αν η υλοποίηση γίνει σε υλικό αναδιατασσόμενης λογικής, για την φαινομενικά απλή αλλαγή του παράγοντα αποδεκατισμού του CIC χρειάζεται η εύρεση νέων συντελεστών του FIR φίλτρου. Το συγκεκριμένο πρόβλημα καθιστά δύσκολη την αλλαγή υλοποίησης για έναν χρήστη που θέλει να χρησιμοποίηση τον ΣΔ ADC με διαφορετικούς τρόπους λειτουργίας.

Επιπλέον κάθε συντελεστής εισάγει και έναν πολλαπλασιασμό που αυτό επιβαρύνει αρκετά το υλικό (χώρο, κατανάλωση, ταχύτητα). Αυτό σημαίνει, για παράδειγμα, ότι για μία υλοποίηση σε FPGA που χρειάζεται αρκετός χώρος για την επεξεργασία των δεδομένων τα οποία εισάγονται από τον ADC, ο χώρος αυτός να μην είναι διαθέσιμος λόγω του χώρου που καταλαμβάνει το φίλτρο αντιστάθμισης.

Για τους παραπάνω λόγους χρειάστηκε να βρεθούν νέοι τρόποι υλοποίησης που ευέλικτων και «οικονομικών» φίλτρων αντιστάθμισης.

3.2.1 Ημιτονοειδές Φίλτρο Αντιστάθμισης

Η Dolecek και ο Mitra παραθέτουν ένα ημιτονοειδές φίλτρο αντιστάθμισης με απόκριση:

$$|G(e^{j\omega})| = \left| 1 + 2^{-b} * \sin^2 \left(R * \pi * \frac{f}{F_s} \right) \right| \quad (29)$$

Αν η σχέση (29) συνδυαστεί με την γνωστή σχέση:

$$\sin^2 \alpha = \frac{(1 - \cos(2\alpha))}{2} \quad (30)$$

Εξάγεται εύκολα η συνάρτηση μεταφοράς στο z πεδίο:

$$G(z^R) = -2^{-(b+2)} \left[1 - (2^{b+2} + 2)z^{-R} + z^{-2R} \right] \quad (31)$$

Η παραπάνω σχέση μπορεί να γραφτεί και έτσι:

$$\begin{aligned} G(z^R) &= A \left[1 + Bz^{-R} + z^{-2R} \right] \\ \text{όπου} \\ A &= -2^{-(b+2)}, \quad B = -(2^{b+2} + 2) \end{aligned} \quad (32)$$

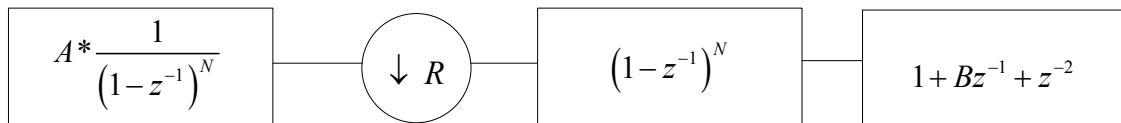
Οι δύο βασικές ιδιότητες του φίλτρου της εξίσωσης (32) είναι:

- Η συνάρτηση μεταφοράς είναι συνάρτηση του z^R , επομένως μπορεί να υλοποιηθεί με μειωμένη συχνότητα λειτουργίας μετά από τον downsampler χρησιμοποιώντας τη multirate identity.
- Το φίλτρο αντιστάθμισης έχει μόνο ένα συντελεστή, τον B , και τον όρο A . Και οι δύο όροι μπορούν να υλοποιηθούν με προσθέσεις και shifts. Συνεπώς το φίλτρο αντιστάθμισης μπορεί να υλοποιηθεί χωρίς πολλαπλασιασμούς.

Από τις σχέσεις (17) και (32) εξάγεται η συνάρτηση μεταφοράς όλου του φίλτρου αποδεκατισμού:

$$\begin{aligned} H_{cicComp}(z) &= H_{CIC}(z)^* G(z^M) \Rightarrow \\ H_{cicComp}(z) &= A * \left(\frac{1 - z^{-R}}{1 - z^{-1}} \right)^N * \left[1 + Bz^{-R} + z^{-2R} \right] \end{aligned} \quad (33)$$

Επίσης στο παρακάτω σχήμα φαίνεται η υλοποίηση σε υλικό του προτείνεται

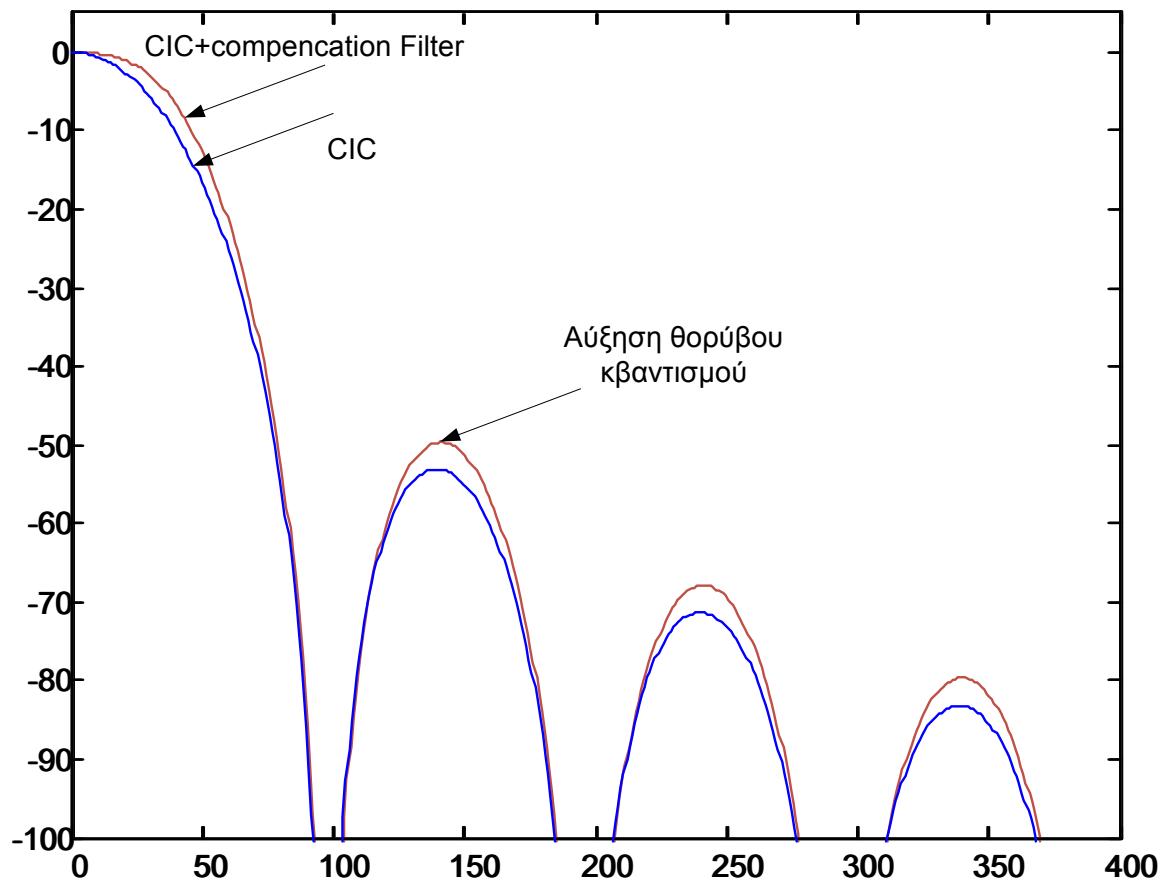


Σχήμα 26. Προτεινόμενη υλοποίηση σε υλικό του CIC και του φίλτρου αντιστάθμισης

Όπως φαίνεται από την εξ. (33) υπάρχουν δύο παράμετροι σχεδίασης, το b και το N. Η παράμετρος N ελέγχει τα χαρακτηριστικά του φίλτρου ως προς την εξάλειψη του θορύβου κβαντισμού και η παράμετρος b ελέγχει την αντιστάθμιση του CIC στη βασική ζώνη συχνοτήτων. Η παράμετρος b δεν εξαρτάται από το R. Εξαρτάται από το N και στον παρακάτω πίνακα φαίνεται η αντιστοιχία των N με τα b.

Πίνακας 1. Τιμές για τις παραμέτρους του φίλτρου αντιστάθμισης	
Παράμετρος N	Παράμετρος b
2	2
3,4	1
5,6,7,8	0
9,10,11	-1

Το αποτέλεσμα του συνδυασμού του συγκεκριμένου φίλτρου με το CIC είναι η αντιστάθμιση στη βασική ζώνη συχνοτήτων αλλά και μία ενίσχυση του θορύβου στο υπόλοιπο φάσμα.



Σχήμα 27. C/C με $N=4$ και $R = 1024$ με και χωρίς φίλτρο αντιστάθμισης

Η ενίσχυση του θορύβου κβαντισμού δεν είναι αρκετή για να μειώσει τόσο το SNR ώστε να επηρεάσει την διακριτική ικανότητα του ADC. Στη συνέχεια αναπτύσσεται ένα νέο φίλτρο αντιστάθμισης που έχει ακόμα μεγαλύτερη μείωση της εξασθένησης του σήματος εισόδου.

3.2.2 Προτεινόμενο Ημιτονοειδές Φίλτρο Αντιστάθμισης

Η λογική του νέου φίλτρου στηρίζεται στην ιδέα που αναπτύχθηκε στο 3.2.1. Στόχος ήταν ακόμα μεγαλύτερη αντιστάθμιση του σήματος εισόδου με όσο το δυνατόν λιγότερες πράξεις. Επίσης, στόχος ήταν το φίλτρο να είναι ευέλικτο και εύκολα προσαρμόσιμο σε αλλαγές σχεδίασης έτσι ώστε να μπορεί να είναι εκμεταλλεύσιμο από σχεδιαστές που χρησιμοποιούν FPGA.

Το προτεινόμενο φίλτρο αντιστάθμισης έχει απόκριση:

$$H_{\sin new} = \left| 1 + 2^{-b} * \sin^2 \left(R * \pi * \frac{f}{F_s} \right) \right| \left| 1 + 2^{-c} * \sin^2 \left(R * \pi * \frac{f}{F_s} \right) \right| \quad (34)$$

Όπως φαίνεται στη σχέση (34) το φίλτρο απαρτίζεται από δύο φίλτρα του 3.2.1.

Στο z πεδίο γίνεται:

$$\begin{aligned} H_{\sin new} &= A_1 \left(1 + B_1 z^{-R} + z^{-2R} \right) A_2 \left(1 + B_2 z^{-R} + z^{-2R} \right) = \\ &A_1 A_2 \left(1 + B_2 z^{-R} + z^{-2R} + B_1 z^{-R} + B_1 B_2 z^{-2R} + B_1 z^{-3R} + z^{-2R} + B_2 z^{-3R} + z^{-4R} \right) = \\ &A_1 A_2 \left(1 + (B_1 + B_2) z^{-R} + (2 + B_1 B_2) z^{-2R} + (B_1 + B_2) z^{-3R} + z^{-4R} \right) \end{aligned}$$

Άρα

$$H_{\sin new} (z^{-R}) = A_1 A_2 \left(1 + (B_1 + B_2) z^{-R} + (2 + B_1 B_2) z^{-2R} + (B_1 + B_2) z^{-3R} + z^{-4R} \right) \quad (35)$$

Όπου

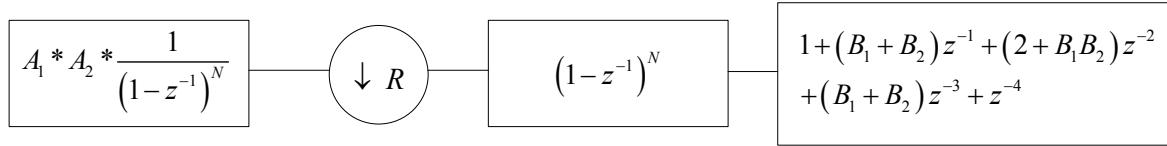
$$\begin{aligned} A_1 A_2 &= (-2^{-(b+2)}) (-2^{-(c+2)}) = 2^{-b-c-4}, \\ B_1 + B_2 &= -(2^{b+2} + 2) - (2^{c+2} + 2) = -2^{b+2} - 2^{c+2} - 4, \\ 2 + B_1 B_2 &= 2 + \left[- (2^{b+2} + 2) \right] \left[- (2^{c+2} + 2) \right] = 2 + (2^{b+c+4} + 2^{b+3} + 2^{c+3} + 4) \\ &= 2^{b+c+4} + 2^{b+3} + 2^{c+3} + 4 + 2 \end{aligned} \quad (36)$$

Από την (35) φαίνεται ότι τι φίλτρο είναι ένα συμμετρικό FIR με τρεις μη μοναδιαίους συντελεστές (φαίνονται στην 36) και έναν όρο ($A_1 A_2$). Επίσης το προτεινόμενο φίλτρο διατηρεί τις βασικές ιδιότητες με αυτό του 3.2.1. Συγκεκριμένα, Η συνάρτηση μεταφοράς είναι συνάρτηση του z^R , επομένως μπορεί να υλοποιηθεί με μειωμένη συχνότητα λειτουργίας μετά από τον downsampler χρησιμοποιώντας τη multirate identity και όλοι οι συντελεστές του και ο όρος $A_1 A_2$, μπορούν να υλοποιηθούν με προσθέσεις και shifts. Συνεπώς το προτεινόμενο φίλτρο αντιστάθμισης μπορεί να υλοποιηθεί χωρίς κανένα πολλαπλασιασμό.

Η συνάρτηση μεταφοράς που προκύπτει αν συνδυαστεί το προτεινόμενο φίλτρο με το CIC φαίνεται παρακάτω

$$H_{cicComp2}(z) = H_{CIC}(z)^* H_{sinnew}(z^M) = \\ A_1 A_2 \left(\frac{1-z^{-R}}{1-z^{-1}} \right)^N \left(1 + (B_1 + B_2) z^{-R} + (2 + B_1 B_2) z^{-2R} + (B_1 + B_2) z^{-3R} + z^{-4R} \right) \quad (37)$$

Επίσης στο παρακάτω σχήμα φαίνεται η υλοποίηση σε υλικό που προτείνεται



Σχήμα 28. Προτεινόμενη υλοποίηση σε υλικό του CIC και του καινοτόμου φίλτρου αντιστάθμισης

Όπως φαίνεται από την (37) υπάρχουν τρεις παράμετροι σχεδίασης, το b, το c και το N. Η παράμετρος N ελέγχει τα χαρακτηριστικά του φίλτρου ως προς την εξάλειψη του θορύβου κβαντισμού και η παράμετρος b και c ελέγχει την αντιστάθμιση του CIC στη βασική ζώνη συχνοτήτων.

Η παράμετρος b και c δεν εξαρτάται από το R. Εξαρτάται από το N και στον παρακάτω πίνακα φαίνεται η αντιστοιχία των N με τα b και c.

Πίνακας 2. Τιμές Παραμέτρων του Προτεινόμενου φίλτρου αντιστάθμισης		
Παράμετρος N	Παράμετρος b	Παράμετρος c
2	2	4
3	2	2
4	1	3
5	1	2
6	0	7
7	0	3
8	0	2
9,10,11	0	1

Το προτεινόμενο φίλτρο αντιστάθμισης είναι μία βελτιωμένη έκδοση του φίλτρου του 3.2.1 γιατί έχει ακόμα μεγαλύτερη μείωση της εξασθένησης του σήματος

εισόδου. Η σύγκριση του προτεινόμενου φίλτρου με άλλες αντίστοιχες εργασίες φαίνεται στο Κεφάλαιο των αποτελεσμάτων.

Στο επόμενο Κεφάλαιο φαίνεται ο τρόπος υλοποίησης του ΣΔ ADC και τα εργαλεία λογισμικού που αναπτύχθηκαν για την πλαισίωση του υλικού έτσι ώστε να είναι ολοκληρωμένη και μη εξαρτημένη εργασία.

4. Η υλοποίηση

Αρχικά περιγράφεται το λογισμικό που αναπτύχθηκε, όπως ο εξομοιωτής του ΣΔΔ, ο κώδικας που υπολογισμού παραμέτρων του ΣΔ ADC και της γεννήτριας κώδικα VHDL για το ψηφιακό φίλτρο. Στη συνέχεια περιγράφεται η υλοποίηση σε υλικό του αναλογικού διαμορφωτή σε PCB αλλά και του ψηφιακού φίλτρου με χρήση FPGA.

4.1 Η υλοποίηση του λογισμικού

Τα εργαλεία λογισμικού που αναπτύχθηκαν κατά τη διάρκεια της εργασίας ήταν αναγκαία για τους παρακάτω λόγους:

- Την βαθύτερη κατανόηση και την επαλήθευση της θεωρίας. Σε πολλές περιπτώσεις, η βιβλιογραφία δεν ήταν αρκετά αναλυτική για τις αρχιτεκτονικές που αναπτύσσονταν. Έτσι δημιουργήθηκε η ανάγκη να υλοποιηθούν εργαλεία που θα επαλήθευαν την θεωρία.
- Την σύγκριση διάφορων αρχιτεκτονικών μεταξύ τους. Το εργαλείο που περιγράφεται στην Παράγραφο 4.1.2 συγκεντρώνει διάφορες αρχιτεκτονικές ψηφιακών φίλτρων που βρέθηκαν στη βιβλιογραφία και καθιστά δυνατή τη θεωρητική λειτουργία όλων αυτών στις ίδιες συνθήκες, με αποτέλεσμα να φαίνεται σε πιο σημείο πλεονεκτεί και σε πιο σημείο υστερεί η μια μέθοδος σε σχέση με την άλλη.
- Την διευκόλυνση υλοποίησης σε υλικό. Σε πολλές περιπτώσεις ήταν αναγκαία η χρησιμοποίηση εξομοιωτή για την εύρεση κάποιου σφάλματος στη VHDL που θα ήταν πάρα πολύ δύσκολο να βρεθεί χρησιμοποιώντας μόνο εξόδους από την FPGA. Επίσης είναι αναγκαίος ο υπολογισμός κάποιων παραμέτρων για το φίλτρο. Τα εργαλεία λογισμικού που υλοποιήθηκαν εξάγουν αυτές τις παραμέτρους.

4.1.1 Η υλοποίηση του εξομοιωτή ΣΔΔ

Ο εξομοιωτής του ΣΔΔ υλοποιήθηκε σε γλώσσα C με σκοπό να προσομοιώσει τη συμπεριφορά του αναλογικού τμήματος. Συγκεκριμένα, αυτό που παράγει ο

κώδικας είναι μία ακολουθία από bits που αντιστοιχεί στην έξοδο ενός πρώτης τάξης ΣΔΔ. Το πρόγραμμα παίρνει σαν είσοδο την τάση εισόδου (V_{in}) αλλά και την τάση αναφοράς (V_{REF}). Η V_{REF} είναι η τάση που καθορίζει τα όρια λειτουργίας του ADC (δηλαδή η τάση V_{in} που μπορεί να κβαντίσει ο ADC). Το V_{in} , σύμφωνα με τα παραπάνω, πρέπει να είναι $-V_{REF} \leq V_{in} \leq +V_{REF}$ έτσι ώστε να γίνει σωστά η μετατροπή σε ψηφιακό σήμα. Επίσης το πρόγραμμα δίνει την δυνατότητα στον χρήστη να επιλέξει τον ακριβή αριθμό των bits που θα εξαχθούν από τον διαμορφωτή. Ο ρόλος αυτού του εργαλείου είναι πολύ σημαντικός γιατί η ακολουθία των bits που παράγεται αποτελεί είσοδο του ψηφιακού φίλτρου. Επομένως, δημιουργούνται οι προϋποθέσεις ελέγχου της σχεδίασης του ψηφιακού τμήματος. Αν δεν υπήρχε αυτή η ακολουθία από bits, ο μόνος τρόπος ελέγχου του φίλτρου θα γινόταν κατευθείαν από την παρατήρηση της εξόδου του ADC υλοποιημένου σε υλικό. Στη συνέχεια, το πρόγραμμα αναλαμβάνει να αποθηκεύσει την ακολουθία από bits που παράγεται, σε ένα αρχείο με τέτοια μορφή ώστε να μπορεί να χρησιμοποιηθεί από το αρχείο δοκιμής (test bench) VHDL του ψηφιακού φίλτρου.

Η λειτουργία που εξομοιώνει το πρόγραμμα αναπτύσσεται στην Παράγραφο 2.1. Η τάση εισόδου V_{in} , αρχικά προστίθεται με την αντίθετη τιμή της εξόδου του DAC ανάδρασης. Ο ολοκληρωτής στη συνέχεια προσθέτει το αποτέλεσμα του προαναφερθέντος κόμβου πρόσθεσης με την τιμή που έχει κρατηθεί από το προηγούμενο στάδιο ολοκλήρωσης. Στη συνέχεια, ένας συγκριτής ελέγχει αν η έξοδος του ολοκληρωτή είναι μεγαλύτερη ή ίση του μηδενός (οπότε δίνει λογικό 1) ή αν είναι μικρότερη του μηδενός (οπότε δίνει λογικό 0). Ο 1-bit DAC παίρνει την έξοδο του συγκριτή, λογικό 0 ή λογικό 1 και τροφοδοτεί τον αρχικό κόμβο πρόσθεσης με $-V_{REF}$ ή $+V_{REF}$, αντίστοιχα. Η έξοδος του συγκριτή είναι η ακολουθία των bits που εξομοιώνει την έξοδο του ΣΔΔ.

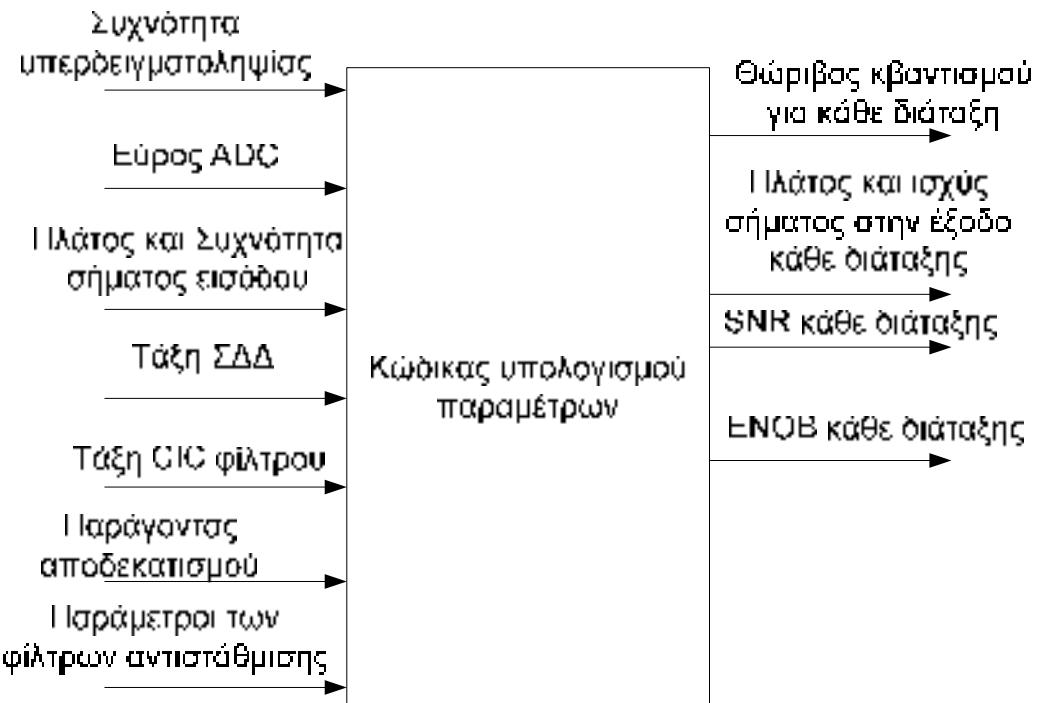
4.1.2 Υλοποίηση του κώδικα υπολογισμού των παραμέτρων του ΣΔ ADC

Όπως φαίνεται από το Κεφάλαιο 2, είναι πολύ σημαντικό να υπολογιστούν κάποιες τιμές έτσι ώστε να υλοποιηθεί ένας ΣΔ ADC. Είναι αναγκαίο να είναι γνωστό το SNR έτσι ώστε να κρατηθούν μόνο τα χρήσιμα bits που συνεισφέρουν

στη διακριτική ικανότητα. Επίσης είναι αναγκαίο να είναι γνωστό το πόσο εξασθενεί το σήμα εισόδου σε κάθε περίπτωση. Υλοποιήθηκε, λοιπόν, κώδικας σε Matlab με σκοπό τον υπολογισμό αυτών των παραμέτρων.

Για τον υπολογισμό του SNR, όπως περιγράφεται στο Κεφάλαιο 2, χρειάζονται η μέση ισχύς του σήματος και του θορύβου. Άλλα η μέση ισχύς του θορύβου εξαρτάται από τις διατάξεις των φίλτρων που έχει περάσει. Για παράδειγμα στη περίπτωση που ο ADC αποτελείται από έναν πρώτης τάξης ΣΔΔ και ένα CIC δεύτερης τάξης, τότε ο θόρυβος κβαντισμού υπολογίζεται από την σχέση 23. Στην περίπτωση όμως που θα περάσει και από ένα φίλτρο αντιστάθμισης, ο υπολογισμός είναι διαφορετικός. Ο κώδικας υλοποιήθηκε με σκοπό να κάνει όσον το δυνατό περισσότερους υπολογισμούς τέτοιων διατάξεων. Για να γίνει αυτό εφικτό δέχεται σαν είσοδο πολλές παραμέτρους έτσι ώστε να καλύψει μεγάλο σύνολο από διατάξεις που μπορεί κάποιος να θέλει να δοκιμάσει (πριν από την υλοποίηση σε υλικό). Επίσης με αυτό το τρόπο είναι δυνατή η σύγκριση μεταξύ διαφόρων διατάξεων.

Σαν είσοδο το πρόγραμμα δέχεται την συχνότητα υπερδειγματοληψίας, την τάξη του ΣΔΔ, την εμβέλεια του ADC, τον παράγοντα αποδεκατισμού, τη συχνότητα του σήματος εισόδου και την τάξη του CIC φίλτρου. Επίσης δέχεται σαν είσοδο τις παραμέτρους b και c για τα δύο φίλτρα αντιστάθμισης που περιγράφηκαν στις Παραγράφους 3.2.1 και 3.2.2. Στην έξοδο του προγράμματος ο χρήστης μπορεί να λάβει το SNR και το πλάτος του σήματος για οποιεσδήποτε τιμές εισόδου που έχει εισάγει. Επίσης είναι δυνατό να εξαχθεί το διάγραμμα του πλάτους στο πεδίο συχνοτήτων της κάθε διάταξης. Στο παρακάτω σχήμα φαίνονται οι είσοδοι και οι έξοδοι του προγράμματος, αλλά και οι δυνατότητες συνδυασμών διατάξεων.



Σχήμα 29. Είσοδοι και έξοδοι του προγράμματος υπολογισμού παραμέτρων

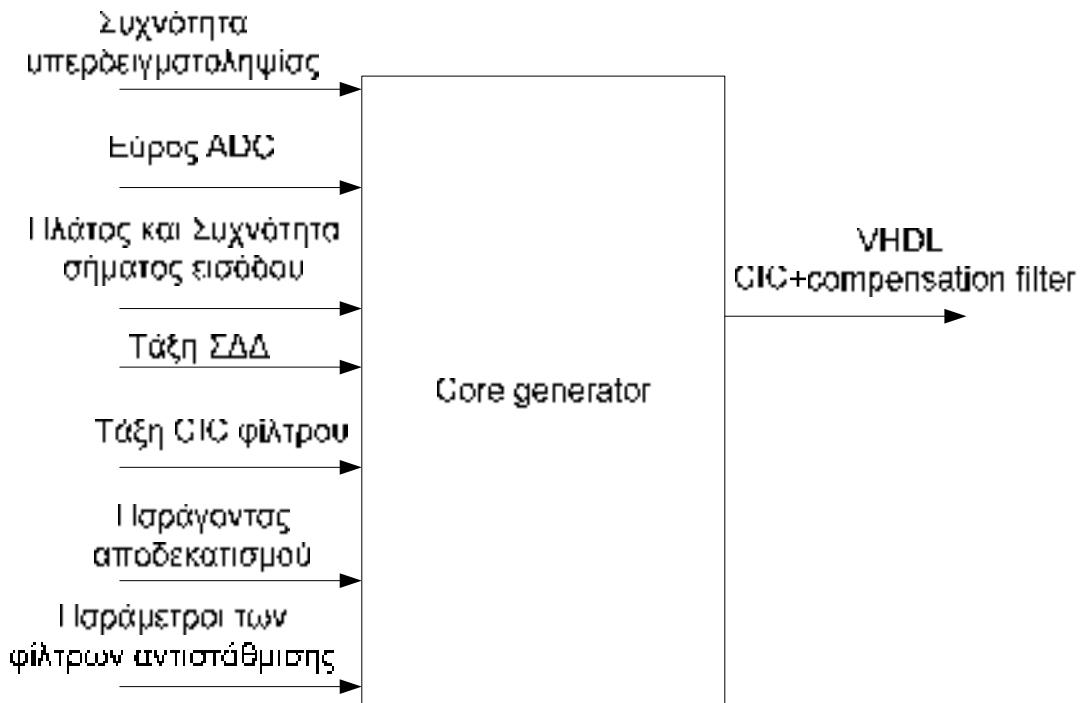
Πρέπει να σημειωθεί ότι για τον υπολογισμό των ολοκληρωμάτων χρησιμοποιήθηκε η μέθοδος των αθροισμάτων. Αυτό έγινε για λόγους βελτιστοποίησης του χρόνου υπολογισμού. Το αποτέλεσμα με αυτόν το τρόπο παρατηρήθηκε ότι δεν διέφερε ουσιαστικά με αυτόν του υπολογισμού αναλυτικά του ολοκληρώματος, αλλά αντιθέτως η διαφορά του χρόνου υπολογισμού ήταν αισθητή. Για παράδειγμα, η διαφορά του υπολογισμού SNR σε db, όπου τα 6 db είναι 1 bit διακριτικής ικανότητας, είναι σε επίπεδο ακρίβειας πρώτου με δεύτερου δεκαδικού ψηφίου.

Με την παραπάνω υλοποίηση σε Matlab δημιουργήθηκε ένα εργαλείο όπου καθιστά εύκολη την δοκιμή και την σύγκριση ήδη υπαρχόντων διατάξεων αλλά και πειραματισμό νέων.

4.1.3 Υλοποίηση γεννήτριας κώδικα VHDL για το ψηφιακό φίλτρο

Αφού είχε γίνει η μελέτη σε Matlab και υλοποιήθηκε όλος ο ΣΔ ADC αναπτύχθηκε κώδικας σε C++ όπου «γεννάει» τα αρχεία VHDL που συνθέτουν το ψηφιακό φίλτρο του μετατροπέα. Το πρόγραμμα δέχεται σαν είσοδο την συχνότητα

υπερδειγματοληψίας (σε Hz), την τάξη του ΣΔΔ, το εύρος του ADC, τον παράγοντα αποδεκατισμού (R), τη συχνότητα του σήματος εισόδου, την τάξη του CIC (N) φίλτρου και τις παραμέτρους b και c για το προτεινόμενο φίλτρο αντιστάθμισης που περιγράφτηκε στην Παράγραφο 3.2.2. Στη συνέχεια γίνονται οι υπολογισμοί που περιγράφτηκαν στην Παράγραφο 4.1.2 και με βάση τα αποτελέσματά τους δημιουργείται σε VHDL το ψηφιακό φίλτρο με ένα N τάξης CIC με παράγοντα αποδεκατισμού R, και ένα φίλτρο αντιστάθμισης με τις παραμέτρους b και c που έχει εισάγει ο χρήστης. Ο κώδικας VHDL που παράγεται είναι μη εξαρτημένος. Επομένως μπορεί να χρησιμοποιηθεί από οποιαδήποτε εργαλείο. Η συγκεκριμένη υλοποίηση έγινε με το εργαλείο ISE της XILINX, αλλά δεν χρησιμοποιήθηκε ο core generator του. Αξίζει να τονιστεί ότι δεν υπάρχει στη βιβλιογραφία αυτόματος τρόπος υλοποίησης του φίλτρου αποδεκατισμού με αυτόματη επιλογή των ENOB, ως έξοδο, με βάση την συχνότητα του σήματος εισόδου. Παρακάτω φαίνεται σχηματικά η γεννήτρια κώδικα και οι δυνατότητές της.



Σχήμα 30. Είσοδοι και έξοδοι της γεννήτριας κώδικα

Ο λόγος που χρησιμοποιήθηκε γλώσσα C++ είναι ότι χρειάζεται μόνο το εκτελέσιμο αρχείο για να παραχθεί ο κώδικας του φίλτρου. Αυτό σημαίνει ότι δεν

υπάρχει εξάρτηση από άλλα εργαλεία εταιριών, κάτι που το κάνει ακόμα πιο προσιτό.

Τα παραπάνω εργαλεία λογισμικού που αναπτύχθηκαν διευκόλυναν το στάδιο της υλοποίησης σε υλικό. Στη συνέχεια φαίνεται η υλοποίηση του ΣΔ ADC σε υλικό.

4.2 Υλοποίηση του υλικού

Η υλοποίηση του ΣΔ μετατροπέα σε υλικό μπορεί να χωριστεί σε δύο μέρη:

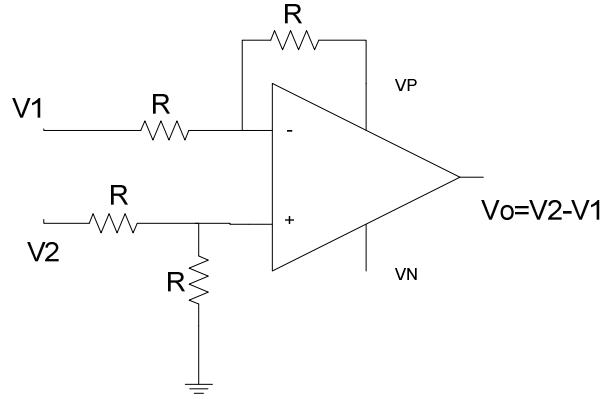
- το αναλογικό τμήμα και
- το ψηφιακό.

Σε αυτό το Κεφάλαιο αρχικά περιγράφεται η υλοποίηση του αναλογικού ΣΔΔ και στη συνέχεια του ψηφιακού φίλτρου αποδεκατισμού.

4.2.1 Υλοποίηση Αναλογικού διαμορφωτή

Ο πρώτης τάξης ΣΔΔ που υλοποιήθηκε φαίνεται στο Σχήμα 7. Μια πιο αναλυτική μορφή του κυκλώματος φαίνεται στο Σχήμα 38, όπου φαίνονται και τα υλικά που χρησιμοποιήθηκαν.

Όπως φαίνεται στο σχήμα 38 για το κάθε δομικό στοιχείο που χρειάστηκε για την υλοποίηση του διαμορφωτή χρησιμοποιήθηκε ένας τελεστικός ενισχυτής. Ο τελεστικός ενισχυτής που επιλέχτηκε είναι ο OPA604 της εταιρίας BURR-BROWN, επειδή μπορεί να λειτουργήσει σε μεγάλες συχνότητες και είναι χαμηλού θορύβου. Ανάλογα με το δομικό στοιχείο που χρειάζεται σε κάθε περίπτωση, ο τελεστικός ενισχυτής έχει και την κατάλληλη συνδεσμολογία για να συμπεριφέρεται με τον επιθυμητό τρόπο. Αρχικά όπως αναφέρθηκε στο Κεφάλαιο 2, χρειάζεται ένας αφαιρέτης. Η διάταξη του τελεστικού ενισχυτή που αντιστοιχεί σε αφαιρέτη φαίνεται στο Σχήμα 31.



Σχήμα 31. Αφαιρέτης

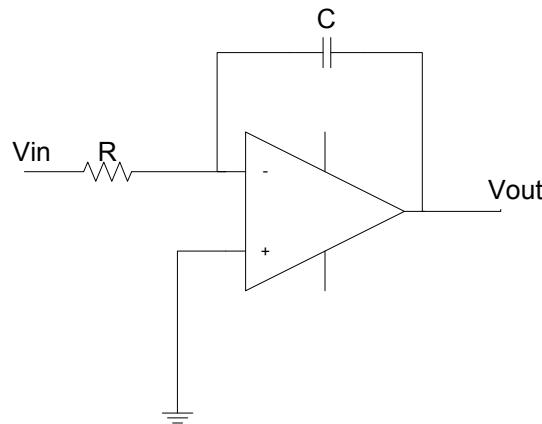
Η σχέση εισόδων και εξόδων είναι:

$$V_{out} = \left(\frac{R_1 + R_2}{R_3 + R_4} \right) * \frac{R_4}{R_1} * V_2 - \frac{R_2}{R_1} * V_1 \quad (38)$$

Αν όλες οι αντιστάσεις είναι ίσες τότε η σχέση απλοποιείται και γίνεται:

$$V_{out} = V_2 - V_1 \quad (39)$$

Η V_2 αντιστοιχεί στην είσοδο του κυκλώματος και η V_1 αντιστοιχεί στην έξοδο του DAC. Η έξοδος του αφαιρέτη καταλήγει στην είσοδο ενός ολοκληρωτή. Η υλοποίηση του ολοκληρωτή με τελεστικό ενισχυτή φαίνεται πιο κάτω.

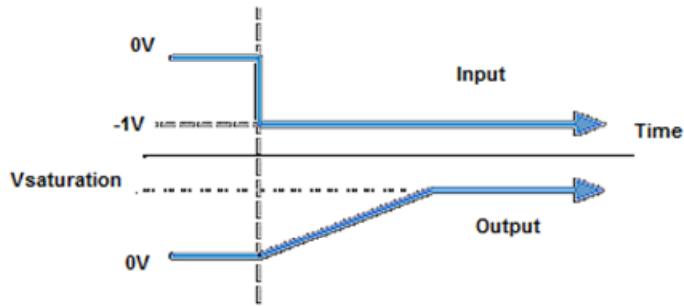


Σχήμα 32. Ολοκληρωτής

Η σχέση εισόδου με την έξοδο είναι:

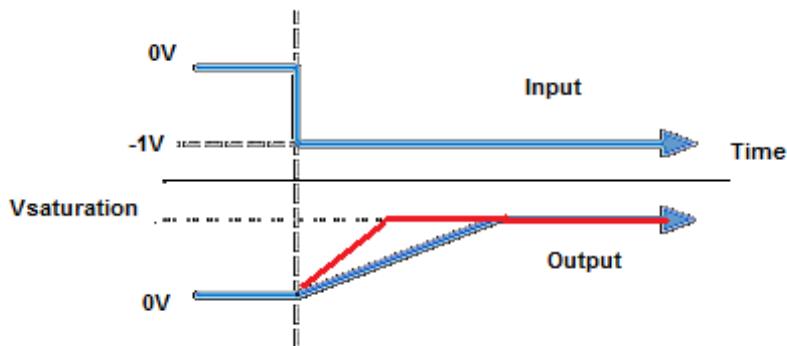
$$V_{out} = -\frac{1}{R * C} \int V_{in} dt \quad (40)$$

Η μεταβολή της εξόδου εξαρτάται από την τάση εισόδου στο χρόνο. Δηλαδή, αν στην είσοδο υπάρχει μια σταθερή τάση, η έξοδος θα ανταποκριθεί όπως φαίνεται στο Σχήμα 33. Θα αυξηθεί ή θα μειωθεί προοδευτικά (ανάλογα το πρόσημο της τάσης εισόδου) ώσπου να φτάσει στην τάση κόρου όπου εκεί θα σταθεροποιηθεί.



Σχήμα 33. Συμπεριφορά ολοκληρωτή στον χρόνο.

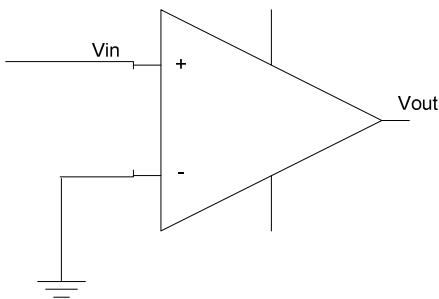
Ο ρυθμός μεταβολής της τάσης εξόδου εξαρτάται από την χρονική σταθερά RC. Αλλάζοντας την τιμή του RC μεταβάλλεται και ο ρυθμός μεταβολής της τάσης εξόδου. Δηλαδή, η τάση εξόδου φτάνει ποιο γρήγορα ή ποιο αργά στον κόρο ανάλογα με την τιμή του RC.



Σχήμα 34. Ο ρυθμός μεταβολής της τάσης εξόδου εξαρτάται από την χρονική σταθερά RC.

Η επιλογή των $R=1 \text{ M}\Omega$ και $C=100 \text{ nF}$ έγινε έτσι ώστε ο ολοκληρωτής να μην φτάνει σε κόρο (δηλαδή η χρονική περίοδος που κάνει ο ολοκληρωτής να σταθεροποιηθεί να είναι μεγαλύτερη από την περίοδο ρολογιού του διαμορφωτή). Η τιμή της εξόδου του ολοκληρωτή είναι χρήσιμη σε ένα ΣΔΔ όπως φαίνεται από την ανάλυση που έγινε στο Κεφάλαιο 2. Η τιμή του ολοκληρωτή πρέπει να μεταβάλλεται στο χρόνο (να βρίσκεται στο τμήμα με κλίση).

Η έξοδος του ολοκληρωτή στη συνέχεια καταλήγει σε έναν συγκριτή. Το κύκλωμα του συγκριτή με τελεστικό ενισχυτή φαίνεται πιο κάτω

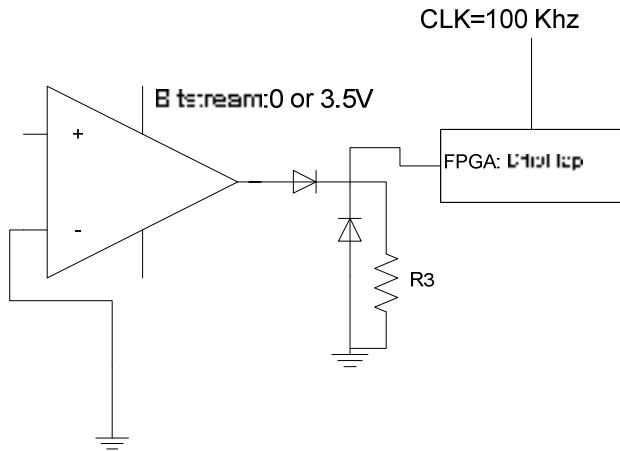


Σχήμα 35. Συγκριτής

$$\begin{aligned} \text{Av } V_{in} \geq 0 & \text{ τότε } V_{out} = +V_{REF} \\ \text{Av } V_{in} < 0 & \text{ τότε } V_{out} = -V_{REF} \end{aligned} \quad (41)$$

Επειδή όμως η τάση που θα δεχτεί το επόμενο στοιχείο, το D flip-flop, χρειάζεται να είναι 0 ή 3,5V τοποθετείται μία δίοδος στην έξοδο του τελεστικού με αποτέλεσμα η νέα έξοδος του συγκριτή, από $-V_{REF}$ ή $+V_{REF}$, αλλάζει σε 0 ή $+V_{REF}$.

Επίσης, στη συνέχεια με μία δίοδο Zener περιορίζεται το $+V_{REF}$ σε 3,5V.



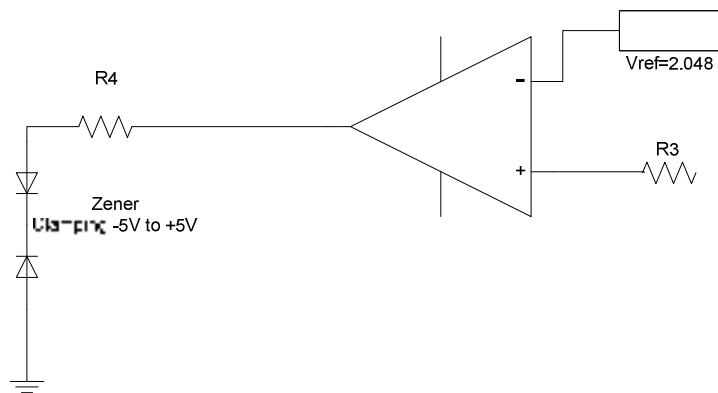
Σχήμα 36. Συγκριτής με έξοδο 0V ή 3,5V

Η έξοδος του D flip-flop καταλήγει σε ένα DAC του 1-bit. Ο DAC του 1-bit υλοποιήθηκε σαν έναν συγκριτής όπου:

$$\begin{aligned} \text{Av } V_{in} \geq 2.048 & \text{ τότε } V_{out} = +V_{REF} \\ \text{Av } V_{in} < 2.048 & \text{ τότε } V_{out} = -V_{REF} \end{aligned} \quad (42)$$

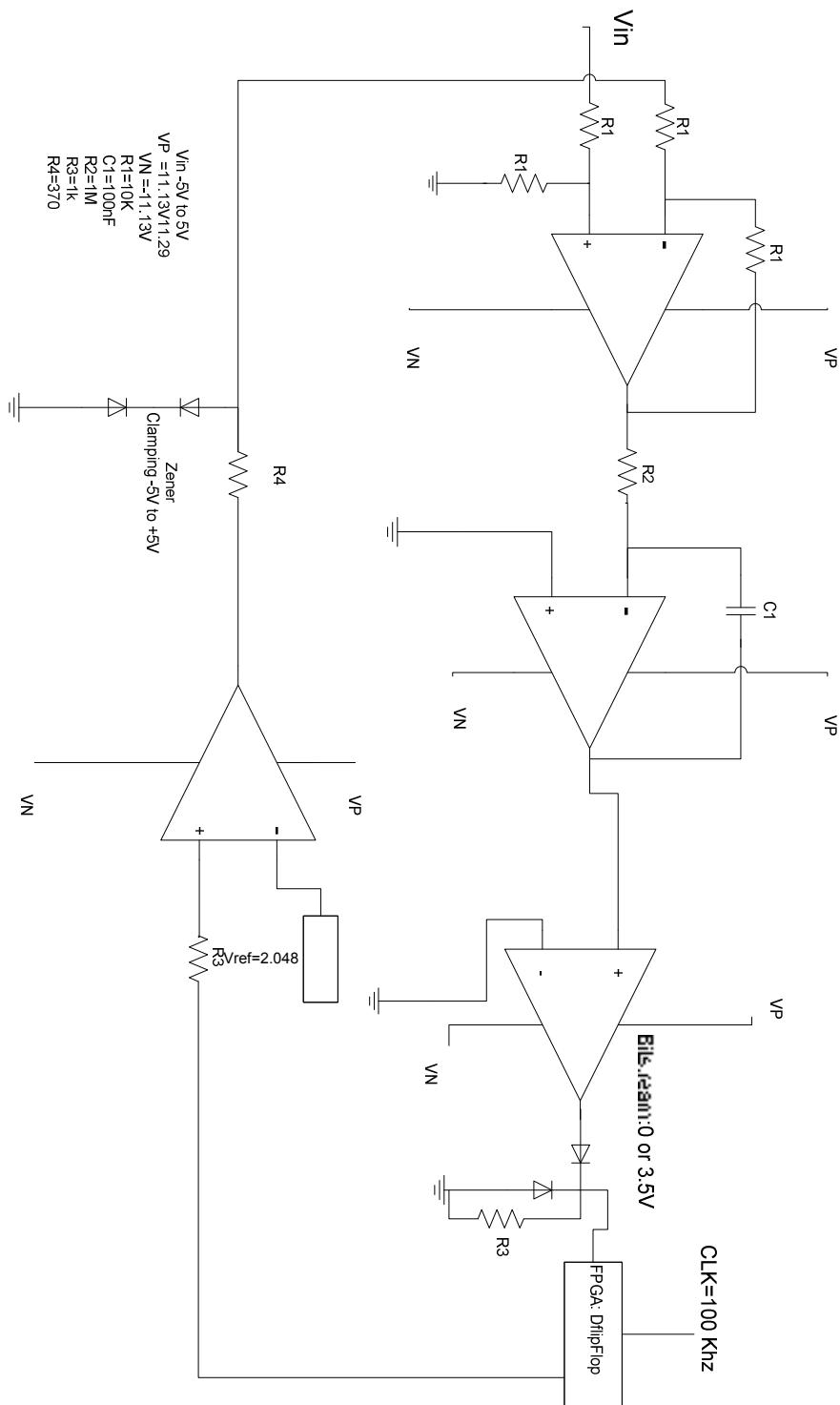
Η σταθερή τάση αναφοράς, 2,048 V, εξάγεται από κατάλληλο voltage reference, το οποίο δεν επηρεάζεται από αλλαγές στην τροφοδοσία του διαμορφωτή.

Επειδή όμως η τάση στην έξοδο του συγκεκριμένου δομικού στοιχείου καθορίζει την εμβέλεια του ADC πρέπει να περιοριστεί σε $\pm 5V$ (clamping) όπου και είναι η επιθυμητή εμβέλεια λειτουργίας του ADC. Για να γίνει αυτό χρησιμοποιήθηκε μία διάταξη από δύο Zener όπως φαίνεται πιο κάτω.



Σχήμα 37. DAC 1-bit

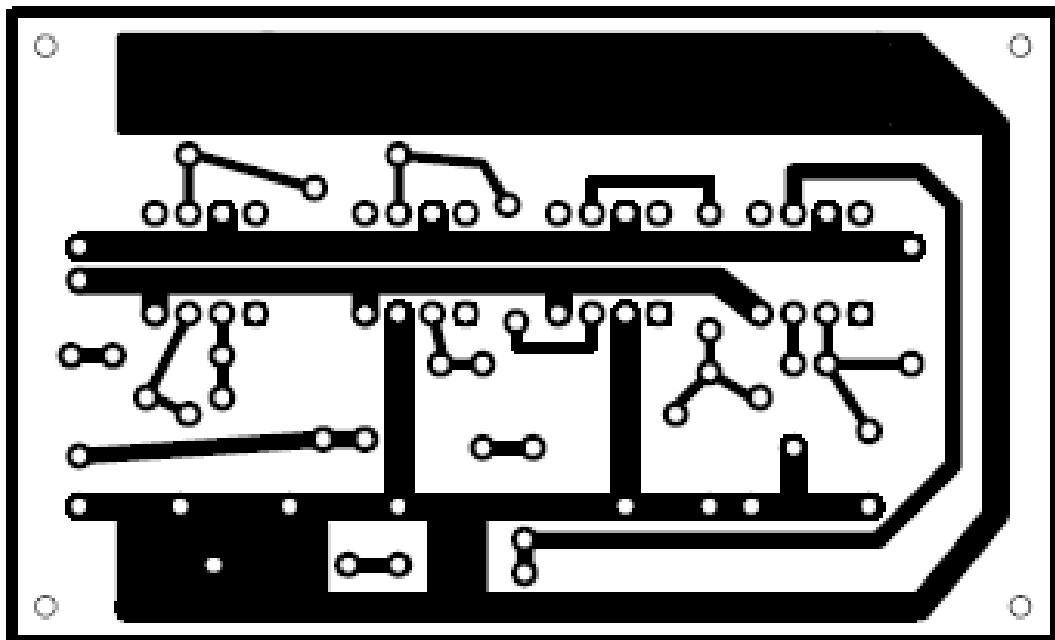
Στη συνέχεια η έξοδος του DAC καταλήγει να αφαιρείται από την τάση εισόδου, στην διάταξη του τελεστικού ενισχυτή που λειτουργεί σαν αφαιρέτης.



Σχήμα 38. ΣΔΔ 1-bit που υλοποιήθηκε

Στη συνέχεια, αφού έγινε ο έλεγχος της ορθότητας λειτουργίας του ΣΔΔ έγινε η υλοποίηση του κυκλώματος σε PCB. Ο λόγος της υλοποίησης σε PCB ήταν η μείωση του θορύβου με την εξάλειψη των καλωδίων.

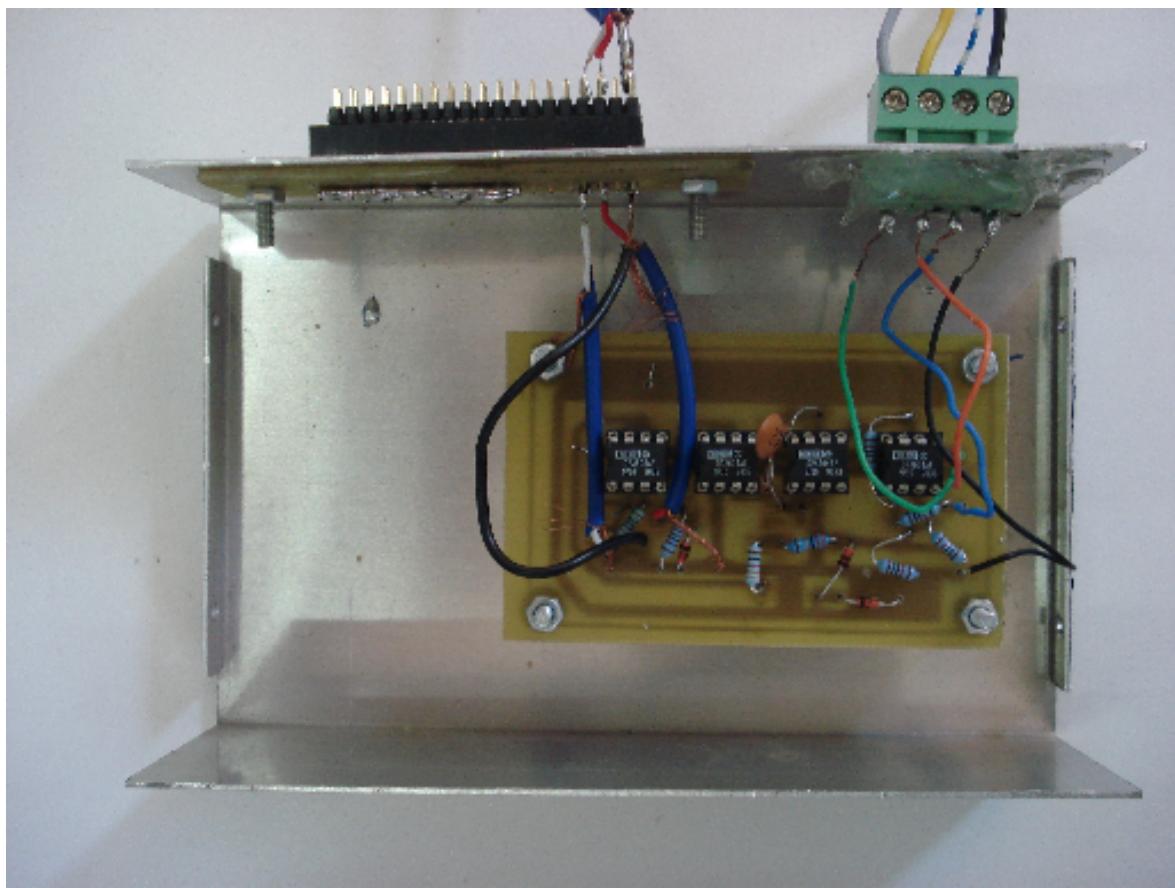
Το πρόγραμμα που χρησιμοποιήθηκε για το σχεδιασμό του κυκλώματος σε PCB είναι το PCB123. Το προς τύπωση αποτέλεσμα φαίνεται από κάτω.



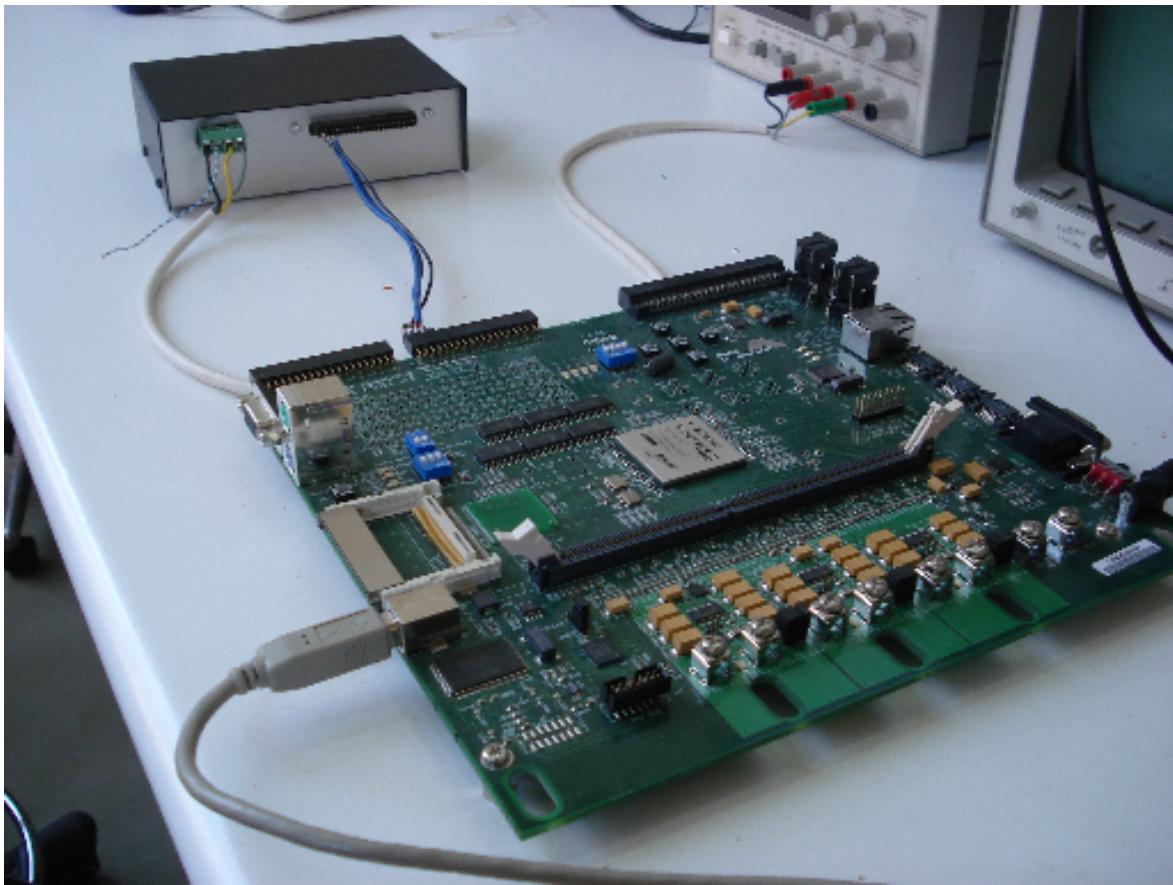
Σχήμα 39. Το PCB του αναλογικού μέρους.

Στη συνέχεια ακολουθήθηκε όλη η διαδικασία παραγωγής PCB και χρησιμοποιώντας τον σταθμό κόλλησης SMD της PACE INSTRUMENTS ολοκληρώθηκε η διαδικασία υλοποίησης του αναλογικού κομματιού.

Στη συνέχεια το PCB επιλέχτηκε να πλαισιωθεί με μεταλλικό κουτί. Με αυτό τον τρόπο το κύκλωμα απομονώνεται καλύτερα από το περιβάλλον του και αποκτά μεγαλύτερη αντοχή σε θόρυβο. Επίσης, ενσωματώθηκε header στο κουτί για την ανταλλαγή δεδομένων και της κοινής γείωσης μεταξύ του αναλογικού κομματιού με την FPGA. Ακόμα τα καλώδια τα οποία ενώνουν τα headers της FPGA και του μεταλλικού κουτιού είναι θωρακισμένα έτσι ώστε να ελαττωθεί ακόμα περισσότερο ο επαγόμενος θόρυβος. Το αποτέλεσμα φαίνεται παρακάτω:



Σχήμα 40. ΣΔΔ σε PCB πλαισιωμένος από μεταλλικό κουτί.



Σχήμα 41. Η υλοποίηση ολόκληρου του ΣΔ ADC.

Στη συνέχεια περιγράφεται το ψηφιακό κομμάτι της υλοποίησης.

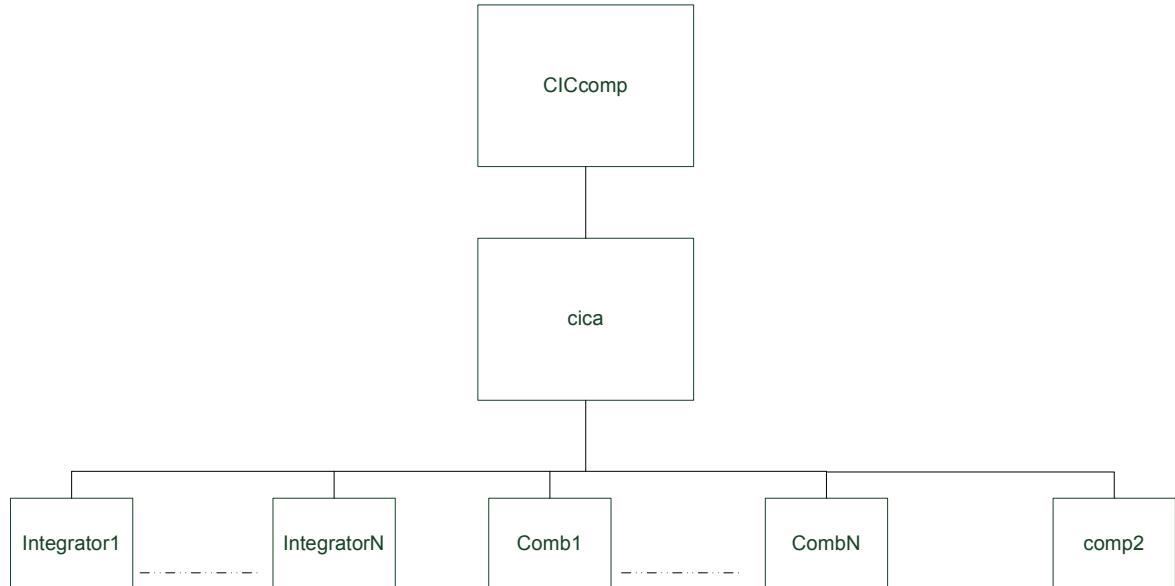
4.2.2 Υλοποίηση ψηφιακού φίλτρου με χρήση FPGA

Το ψηφιακό κύκλωμα υλοποιήθηκε με χρήση FPGA. Συγκεκριμένα, η FPGA που χρησιμοποιήθηκε είναι η VIRTEX 2-pro στο αναπτυξιακό XUP. Επίσης, το εργαλείο που αναπτύχθηκε ο κώδικας VHDL, έκανε τη σύνθεση, και μεταφόρτωσε την πληροφορία του αποτελέσματος της σύνθεσης στην FPGA είναι το ISE 7.1i service pack 4 της XILINX.

Στόχος της υλοποίησης είναι ένα εύκολα προσαρμόσιμο φίλτρο στις ανάγκες της εκάστοτε σχεδίασης. Ένα φίλτρο το οποίο αξιοποιεί πλήρως το αναλογικό κομμάτι που προηγείται αυτού, αλλά και δίνει την δυνατότητα επιλογής παραμέτρων έτσι ώστε να εξάγεται ένα φίλτρο ειδικής κατασκευής (custom) ανάλογα με τις ανάγκες της εφαρμογής. Οι εταιρίες όπως η XILINX και η ALTERA, οι οποίες ασχολούνται με αναδιατασσόμενη λογική, έχουν ενσωματώσει στα εργαλεία τους (core

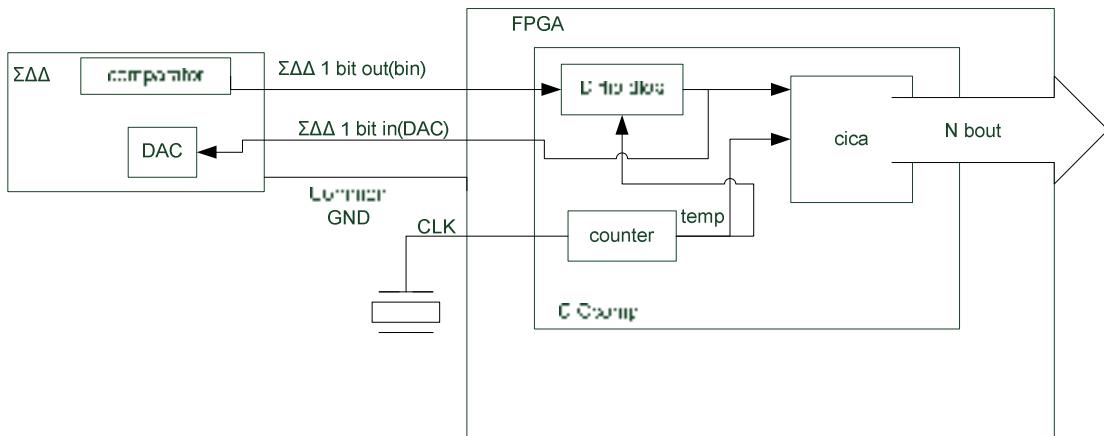
generator) για το custom CIC φίλτρο. Σε αυτήν την εργασία δημιουργήθηκε ένα custom CIC φίλτρο ακολουθούμενο από ένα καινοτόμο custom φίλτρο αντιστάθμισης, το οποίο διορθώνει το αρνητικό που συνάπτει στη σχεδίαση το πρώτο φίλτρο. Αυτή η εργασία είχε σαν στόχο την υλοποίηση ενός πλήρους ΣΔ ADC, αλλά το φίλτρο που υλοποιήθηκε έχει τον δυνατότητα να χρησιμοποιηθεί και σε άλλες εφαρμογές που χρειάζεται το CIC φίλτρο σε υλικό. Επιπλέον, το φίλτρο αντιστάθμισης είναι αναγκαίο από τη στιγμή που θα χρησιμοποιηθεί το CIC φίλτρο έτσι ώστε να βελτιωθούν τα pass-band χαρακτηριστικά.

Τα αρχεία VHDL που εξάγονται από την γεννήτρια κώδικα ιεραρχικά φαίνονται στο παρακάτω σχήμα.



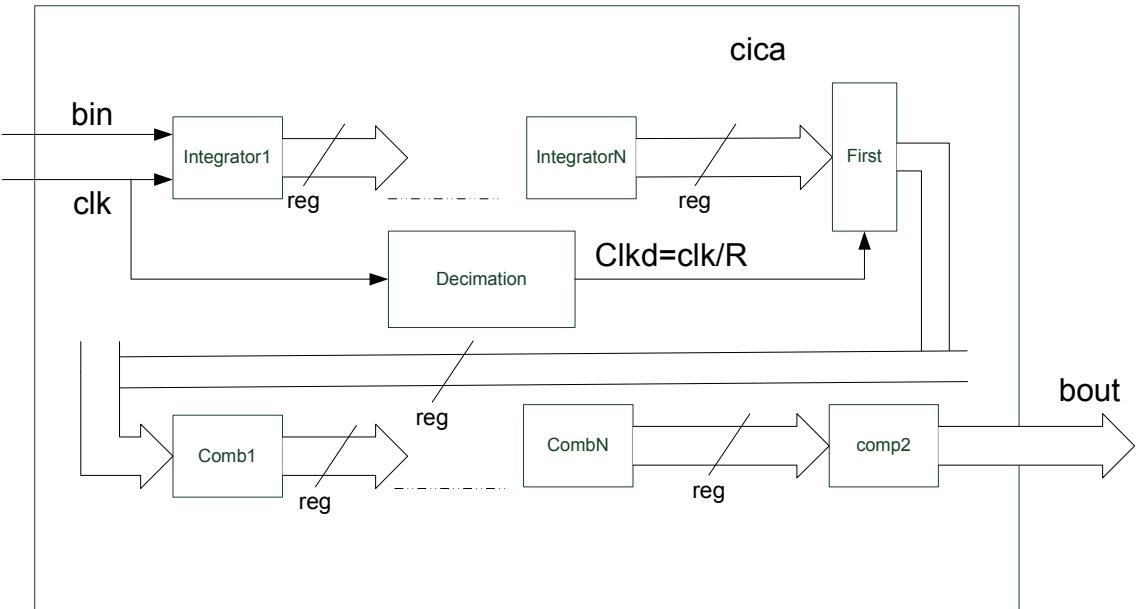
Σχήμα 42. Ιεραρχία ψηφιακού φίλτρου.

Το CICcomp είναι η διεπαφή του ψηφιακού κομματιού με το αναλογικό. Έχει μία είσοδο (ADC), η οποία είναι η έξοδος του ΣΔΔ. Σαν είσοδο παίρνει και το ορισμένο ρολόι (CLK) το οποίο διαιρείται κατάλληλα με τη χρήση counter έτσι ώστε το αναλογικό κομμάτι να λειτουργήσει σύμφωνα με τις προδιαγραφές του. Η μία έξοδος (DAC) είναι η έξοδος του D flip-flop που καταλήγει στο 1-bit DAC του ΣΔΔ, και η δεύτερη είναι η έξοδος του ΣΔ ADC (bout). Επίσης, το CICcomp καλεί το επόμενο δομικό στοιχείο στην ιεραρχία (το cica) για να αναλάβει την λειτουργία του ψηφιακού φιλτραρίσματος.



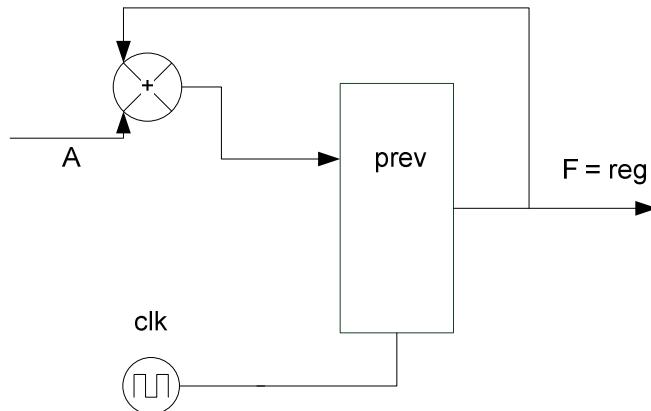
Σχήμα 43. Διεπαφή ψηφιακού φίλτρου (CICcomp) με ΣΔΔ.

Το cica δέχεται σαν είσοδο από το υψηλότερα ιεραρχικά δομικό στοιχείο την έξοδο του D flip-flop και το διαμορφωμένο ρολόι υπερδειγματοληψίας. Η έξοδος του είναι τα ENOB του ΣΔ ADC. Το cica δίνει είσοδο στο ιεραρχικά κατώτερο CIC και παίρνει την έξοδο του φίλτρου αντιστάθμισης. Συνδέει μεταξύ τους, τους ολοκληρωτές και τους διαφοριστές που διαμορφώνουν το CIC φίλτρο. Επίσης υλοποιείται και η πράξη του αποδεκατισμού μεταξύ των ολοκληρωτών και των διαφοριστών. Αυτό γίνεται διαιρώντας το ρολόι εισόδου κατά R και επιτρέποντας την λειτουργία των ολοκληρωτών με ρολόι clk και του υπόλοιπου κυκλώματος με ρολόι clk/R.



Σχήμα 44. Δομικό στοιχείο (cica) που εμπεριέχει το CIC και το φίλτρο αντιστάθμισης.

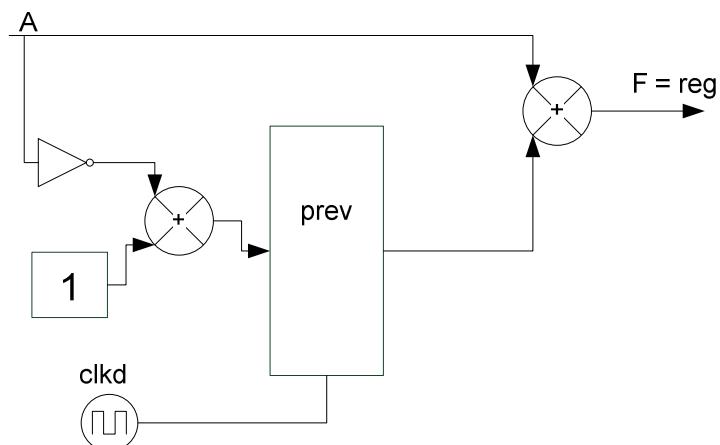
Ο πρώτος ολοκληρωτής έχει είσοδο (A) ενός bit και έξοδο όσο και το μέγεθος (reg) του καταχωρητή (prev), που υπολογίζεται από την σχέση 20. Ο επόμενος ολοκληρωτής έχει είσοδο (A) μεγέθους όσο και ο καταχωρητής του προηγούμενου σταδίου. Στη σειρά υπάρχουν N ολοκληρωτές, δηλαδή όσους έχει αποφασίσει ο χρήστης του κώδικα γεννήτριας. Η είσοδος κάθε κύκλου προστίθεται με την τιμή που ήταν αποθηκευμένη στον καταχωρητή τον προηγούμενο κύκλο και αποθηκεύεται στον καταχωρητή. Η τιμή κάθε κύκλου που είναι αποθηκευμένη στον καταχωρητή οδηγείται και στην έξοδο.



Σχήμα 45. Ο ολοκληρωτής.

Στο τέλος των ολοκληρωτών και πριν τους διαφοριστές βρίσκεται ένας καταχωρητής που αποθηκεύει κάθε R κύκλους την έξοδο του τελευταίου ολοκληρωτή στη σειρά. Το ρόλοι του υπόλοιπου κυκλώματος είναι clk/R . Επομένως, στην επόμενη θετική ακμή του clcd (clk/R) λαμβάνει είσοδο ο πρώτος διαφοριστής.

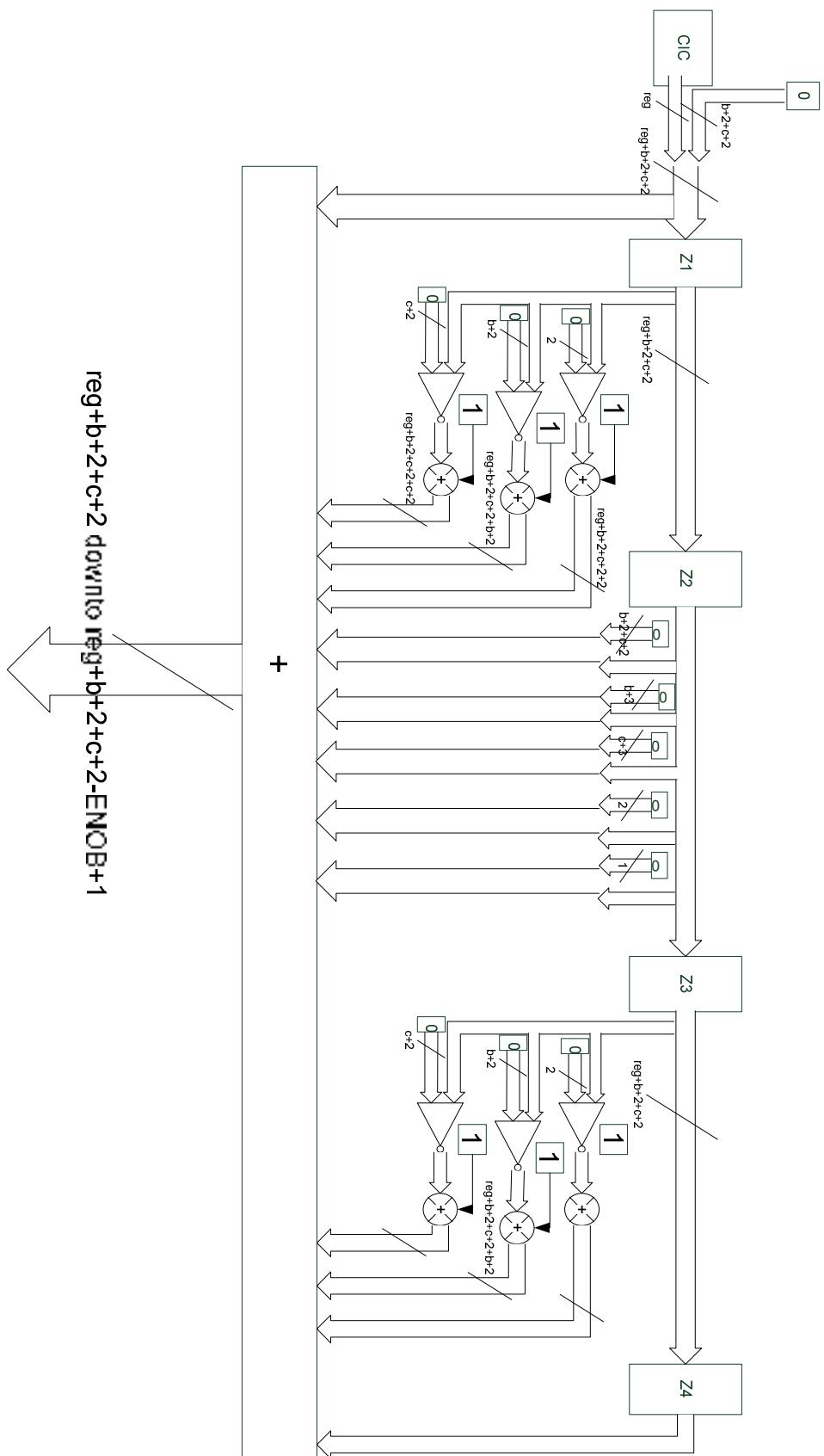
Ο κάθε διαφοριστής έχει reg αριθμό bits εισόδου και reg αριθμό bits εξόδου και λειτουργεί με ρολόι clkd . Σε κάθε κύκλο αποθηκεύεται σε έναν καταχωρητή το συμπλήρωμα ως προς 2 της εισόδου και ταυτόχρονα προστίθεται η τιμή του καταχωρητή που ήταν αποθηκευμένη από τον προηγούμενο κύκλο με την νέα τιμή εισόδου.



Σχήμα 46. Διαφοριστής

Η έξοδος του τελευταίου διαφοριστή στη σειρά και ταυτόχρονα η έξοδος του CIC φίλτρου είναι η είσοδος του φίλτρου αντιστάθμισης.

Όπως περιγράφτηκε στην Παράγραφο 3.2.2 το φίλτρο αντιστάθμισης είναι ένα FIR φίλτρο, αλλά αντί για πολλαπλασιασμούς γίνονται shifts. Αρχικά, η είσοδος αυξάνεται κατά $b+2+c+2$ από αριστερά με μηδενικά ($A1^*A2$). Στην συνέχεια αυτή η τιμή στην θετική ακμή ρολογιού καταχωρείται στον πρώτο καταχωρητή $Z1$. Ταυτόχρονα και οι υπόλοιποι καταχωρητές δέχονται την νέα τους είσοδο, η οποία είναι η τιμή που βρισκόταν στον προηγούμενο κύκλο στον καταχωρητή πριν από αυτούς ($Z2 \leq Z1, Z2 \leq Z3, Z3 \leq Z4$). Επίσης σε κάθε κύκλο προστίθενται μεταξύ τους οι έξοδοι των καταχωρητών μετατοπισμένες κατάλληλα δεξιά ή αριστερά, ανάλογα με τους συντελεστές που πολλαπλασιάστηκαν ή διαιρέθηκαν. Στο τέλος επιλέγονται τα ENOB που έχουν υπολογιστεί από τη γεννήτρια κώδικα. Το ποιο σημαντικό bit είναι το $reg+b+2+c+2$ επειδή θεωρητικά η πράξη της διαιρέσης($1/(A1^*A2)$) έχει γίνει πριν τον αποδεκατισμό (με αποτέλεσμα να μεγαλώσει το reg σε $reg+b+2+c+2$) και το λιγότερο σημαντικό bit είναι το $reg+b+2+c+2-ENOB+1$.



5. Αποτελέσματα

Σε αυτό το Κεφάλαιο παρουσιάζονται τα αποτελέσματα από τις μετρήσεις του ΣΔ ADC που υλοποιήθηκε. Τα πειράματα που έγιναν είχαν σαν στόχο να επαληθευτεί η θεωρία και να βρεθούν τα όρια του ADC. Έγιναν μετρήσεις τόσο με σταθερή τάση εισόδου, ώστε να βρεθεί η μέγιστη διακριτική ικανότητα, όσο και για ημιτονοειδή σήματα, ώστε να ελεγχθεί το φίλτρο αντιστάθμισης.

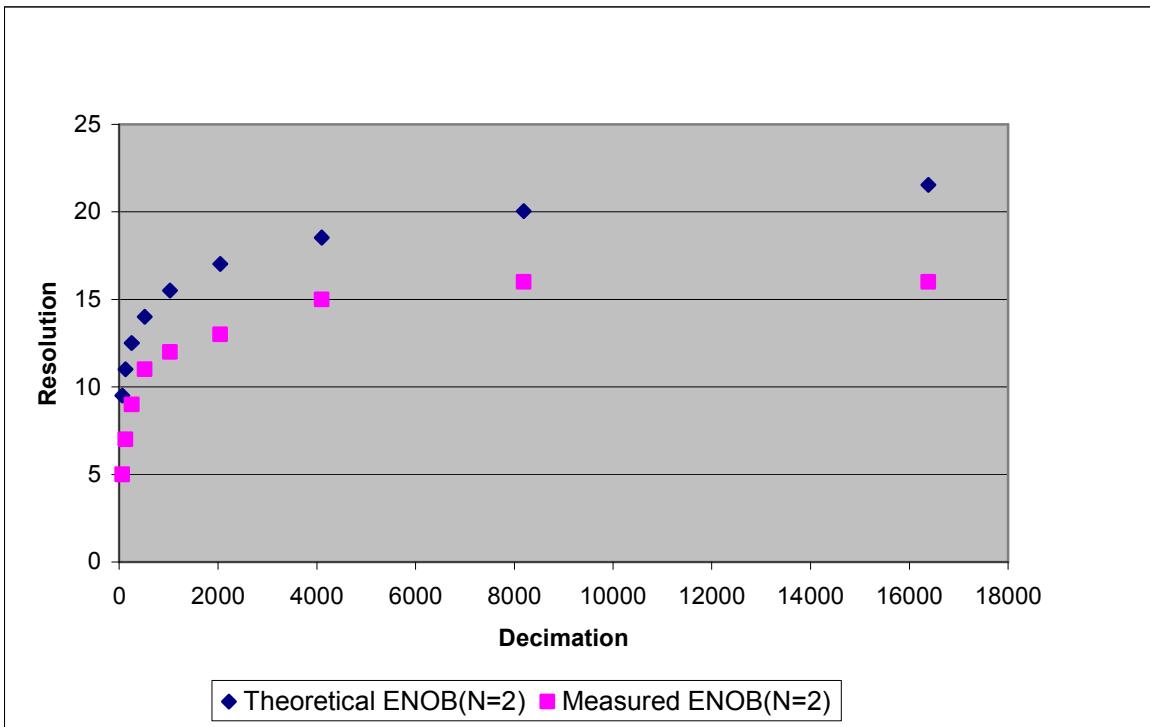
5.1 Μέγιστη διακριτική ικανότητα

Έγιναν μετρήσεις για διάφορες παραμέτρους του φίλτρου με σκοπό να βρεθεί η διακριτική ικανότητα του ADC που αντιστοιχεί σε κάθε μια από αυτές. Επίσης το αποτέλεσμα αυτών των μετρήσεων συγκρίνεται με το αναμενόμενο από την θεωρία. Για να εξασφαλιστεί η σταθερή τάση εισόδου, χρησιμοποιήθηκαν voltage references χαμηλού θορύβου κατάλληλοι για τέτοιου είδους εφαρμογές. Οι μετρήσεις έγιναν για δύο σταθερές τάσεις εισόδου (3 V και 2,048 V). Στα αποτελέσματα φαίνεται ότι ο ADC που υλοποιήθηκε έχει μέγιστη διακριτική ικανότητα 16 bit με εύρος 10 V (-5 V ως 5 V) δηλαδή βήμα κβαντισμού $q=0,00015\text{ V}$.

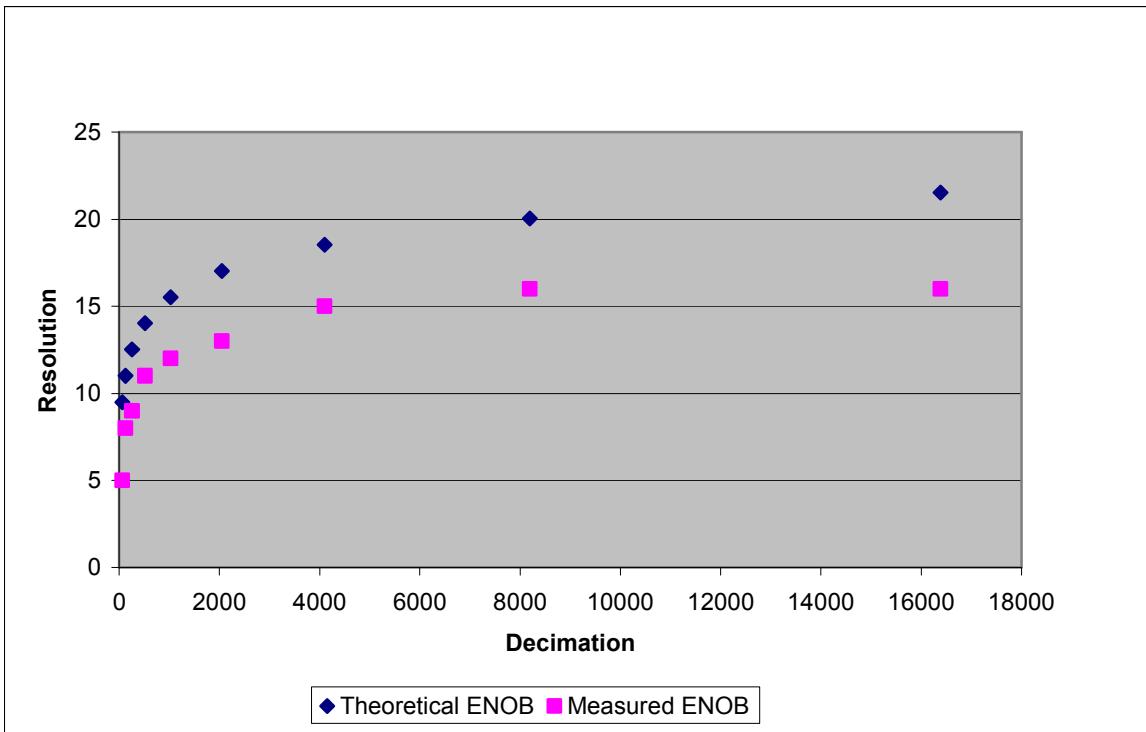
Αρχικά παρουσιάζεται το διάγραμμα της διακριτικής ικανότητας του ADC, για διάφορες τιμές του παράγοντα αποδεκατισμού, για τις πειραματικές σε αντιστοιχία με τις θεωρητικές της τιμές. Επίσης, σε κάθε διάγραμμα κρατείται σταθερό το N (ο αριθμός σταδίων του CIC φίλτρου). Τα διαγράμματα παρουσιάζονται δύο φορές το καθένα για τις δύο διαφορετικές τάσεις εισόδου (3 V και 2,048 V). Μετά την παρουσίαση του κάθε διαγράμματος, γίνεται σύγκριση των αποτελεσμάτων για τα δύο voltage references μεταξύ τους. Εδώ πρέπει να αναφερθεί ότι κατά τη διάρκεια των μετρήσεων παρατηρήθηκε μία αλλαγή στην έξοδο του ADC που είχε σχέση με τον χρόνο λειτουργίας του. Ο λόγος αυτού του φαινομένου είναι ότι ο περιοριστής που υλοποιήθηκε με Zener είναι πολύ ευαίσθητος σε αλλαγές της θερμοκρασίας (ρεύμα που διαρρέει την εσωτερική αντίσταση της Zener και αλλαγή στην θερμοκρασία περιβάλλοντος). Για αυτό τον λόγο οι μετρήσεις λαμβάνονταν μετά την σταθεροποίηση της τάσης του περιοριστή (από ένα σημείο και μετά

σταθεροποιείτο). Παρακάτω φαίνονται τα διαγράμματα αλλά και οι πίνακες αποτελεσμάτων.

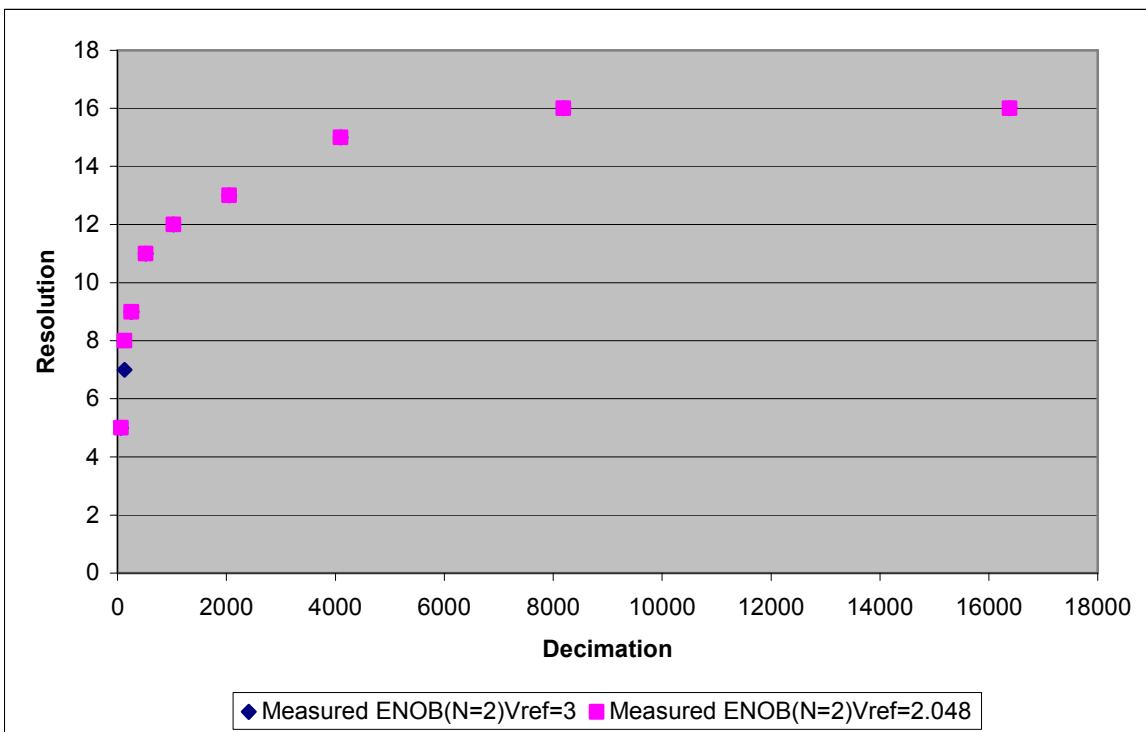
Πίνακας 3. Πίνακας αποτελεσμάτων Θεωρητικών και πειραματικών τιμών για N=2			
Decimation	Theoretical ENOB (N=2)	Measured ENOB (N=2)V=3	Measured ENOB (N=2)V=2.048
64	9,5	5	5
128	11,01	7	8
256	12,51	9	9
512	14,02	11	11
1024	15,52	12	12
2048	17,03	13	13
4096	18,53	15	15
8192	20,04	16	16
16384	21,54	16	16



Σχήμα 48. Διακριτική ικανότητα-Παράγοντα αποδεκατισμού για τάση εισόδου 3 και $N=2$



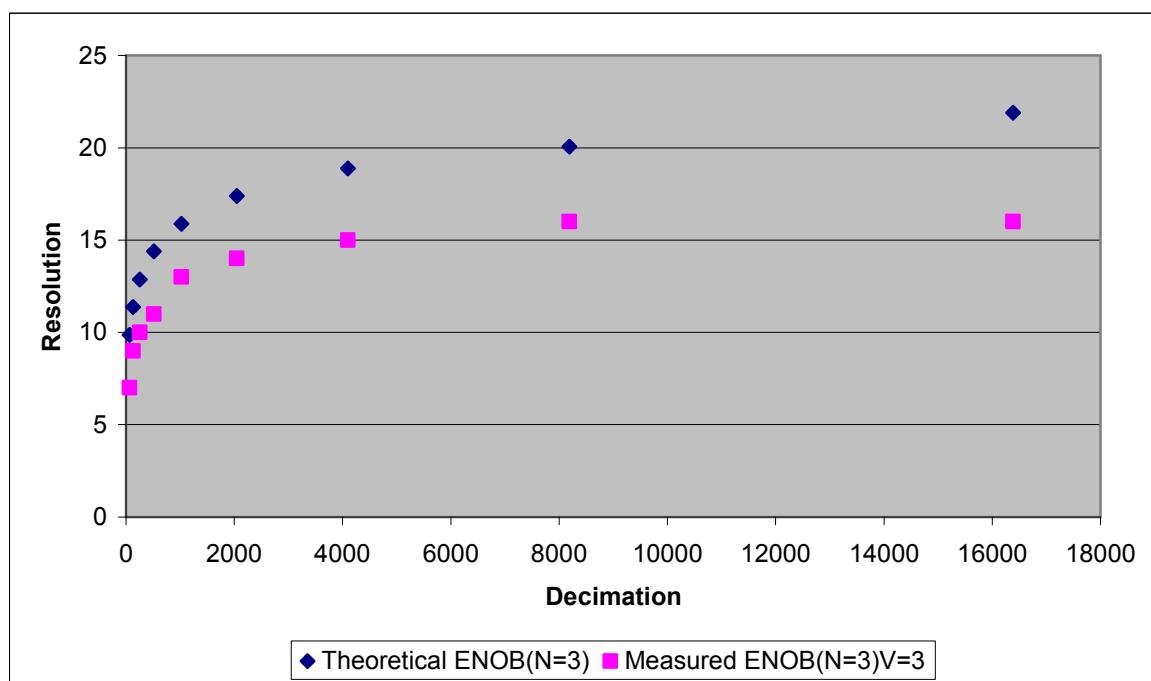
Σχήμα 49. Διακριτική ικανότητα-Παράγοντα αποδεκατισμού για τάση εισόδου 2.048 και $N=2$



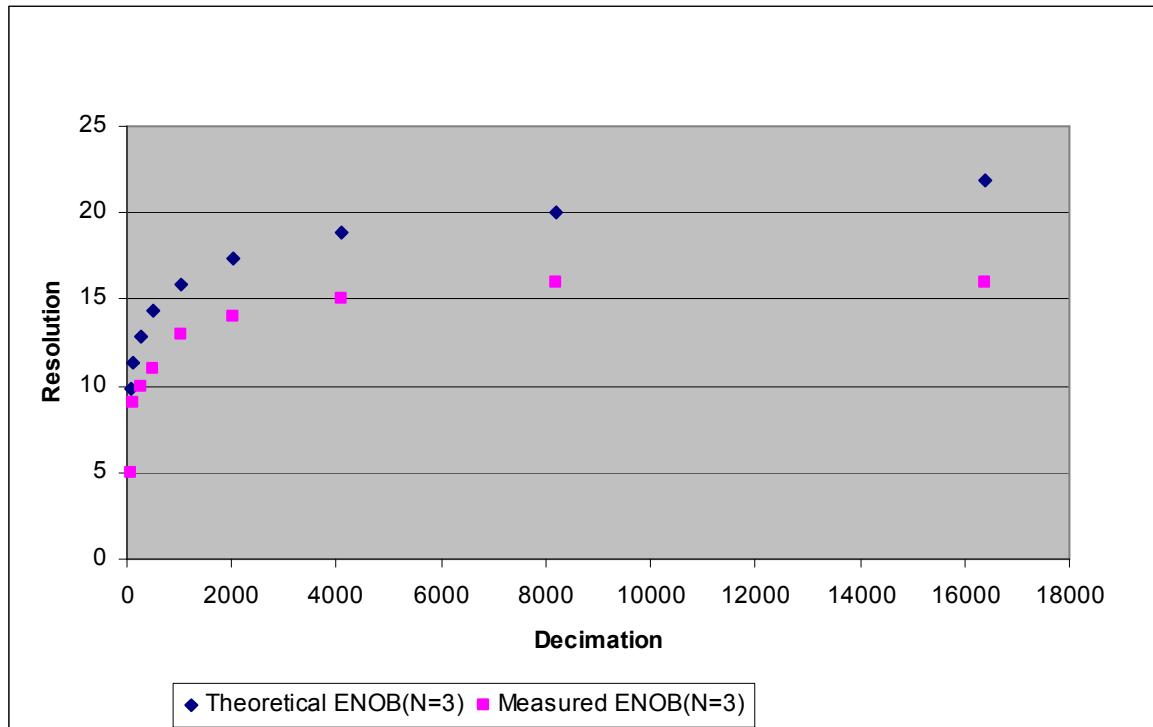
Σχήμα 50. Διάγραμμα σύγκρισης για τις δύο διαφορετικές τάσεις εισόδου και $N=2$

Πίνακας 4. Πίνακας αποτελεσμάτων Θεωρητικών και πειραματικών τιμών για $N=3$

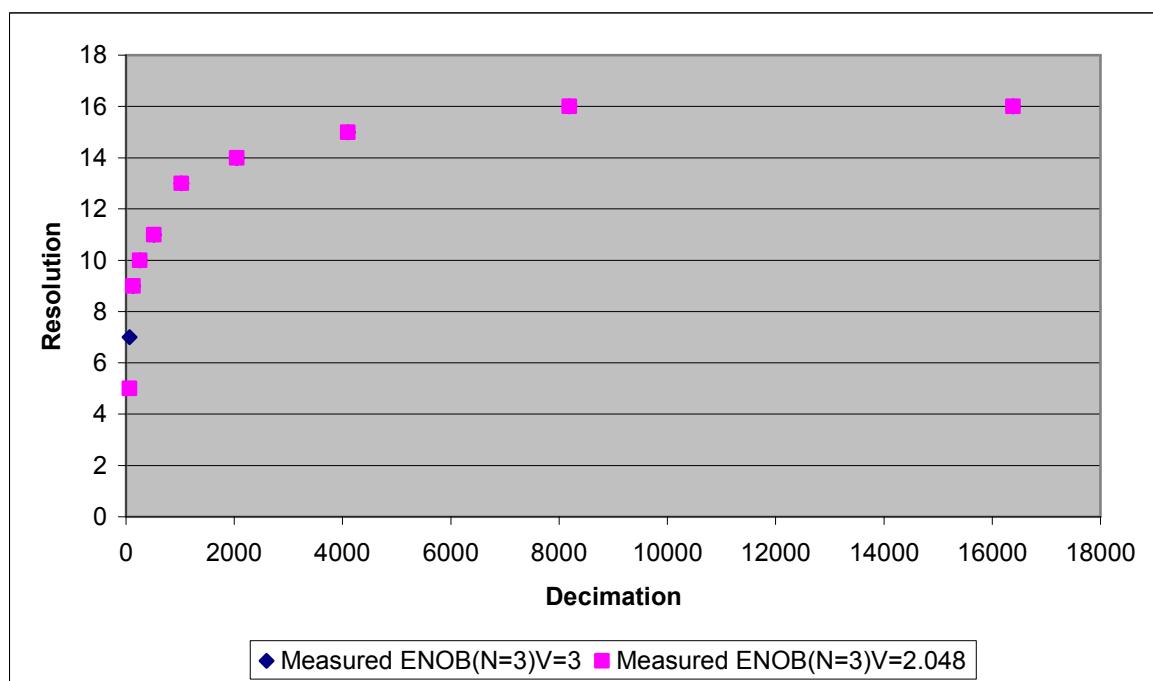
Decimation	Theoretical ENOB (N=3)	Measured ENOB (N=3)V=3	Measured ENOB (N=3)V=2.048
64	9,86	7	5
128	11,37	9	9
256	12,87	10	10
512	14,38	11	11
1024	15,88	13	13
2048	17,39	14	14
4096	18,89	15	15
8192	20,07	16	16
16384	21,9	16	16



Σχήμα 51. Διακριτική ικανότητα-Παράγοντα αποδεκατισμού για τάση εισόδου 3 και $N=3$



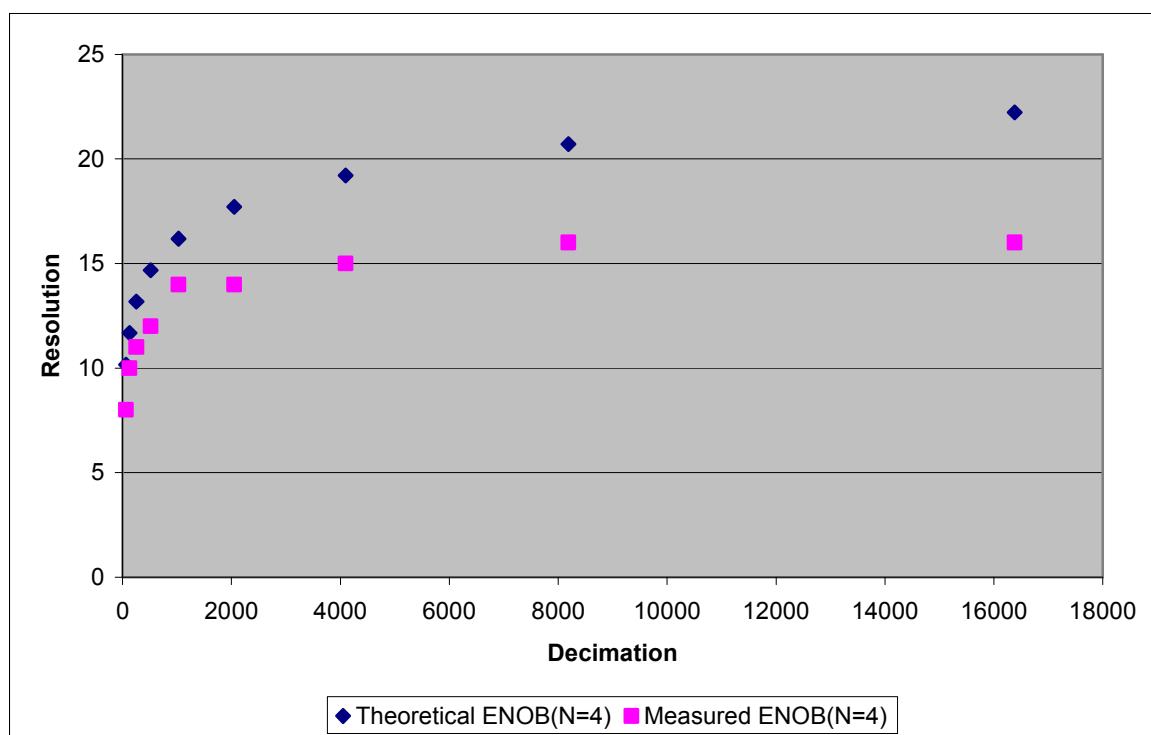
Σχήμα 52. Διακριτική ικανότητα-Παράγοντα αποδεκατισμού για τάση εισόδου 2.048 και $N=3$



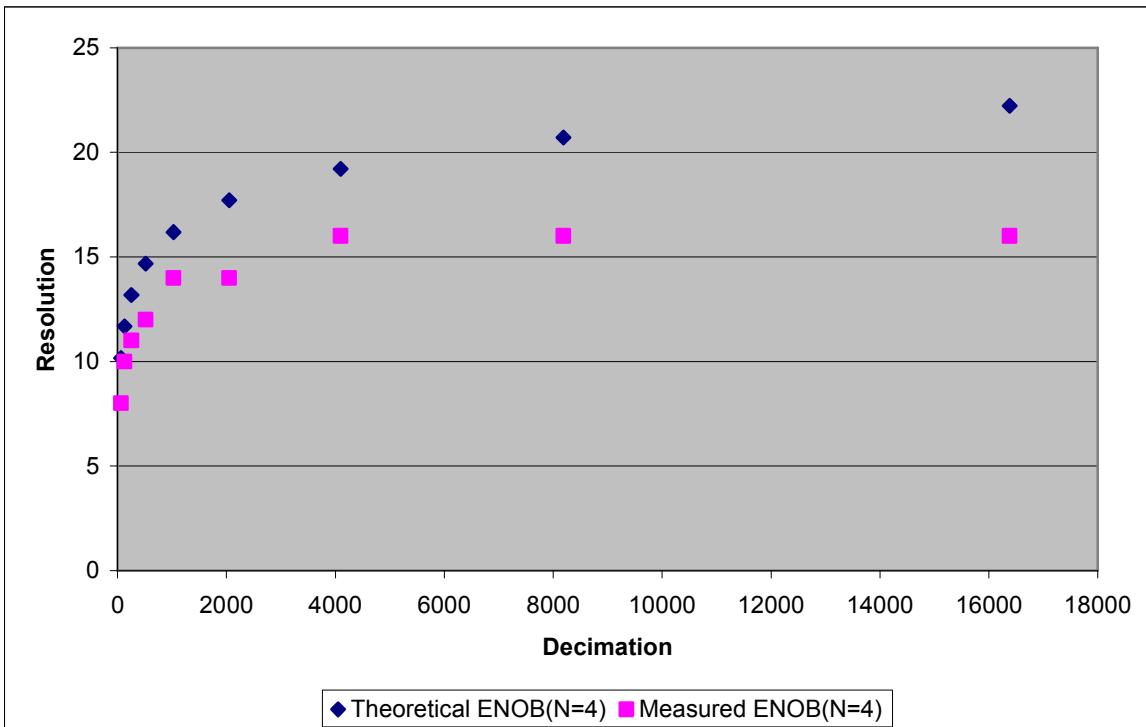
Σχήμα 53. Διάγραμμα σύγκρισης για τις δύο διαφορετικές τάσεις εισόδου και $N=3$

Πίνακας 5. Πίνακας αποτελεσμάτων Θεωρητικών και πειραματικών τιμών για N=4

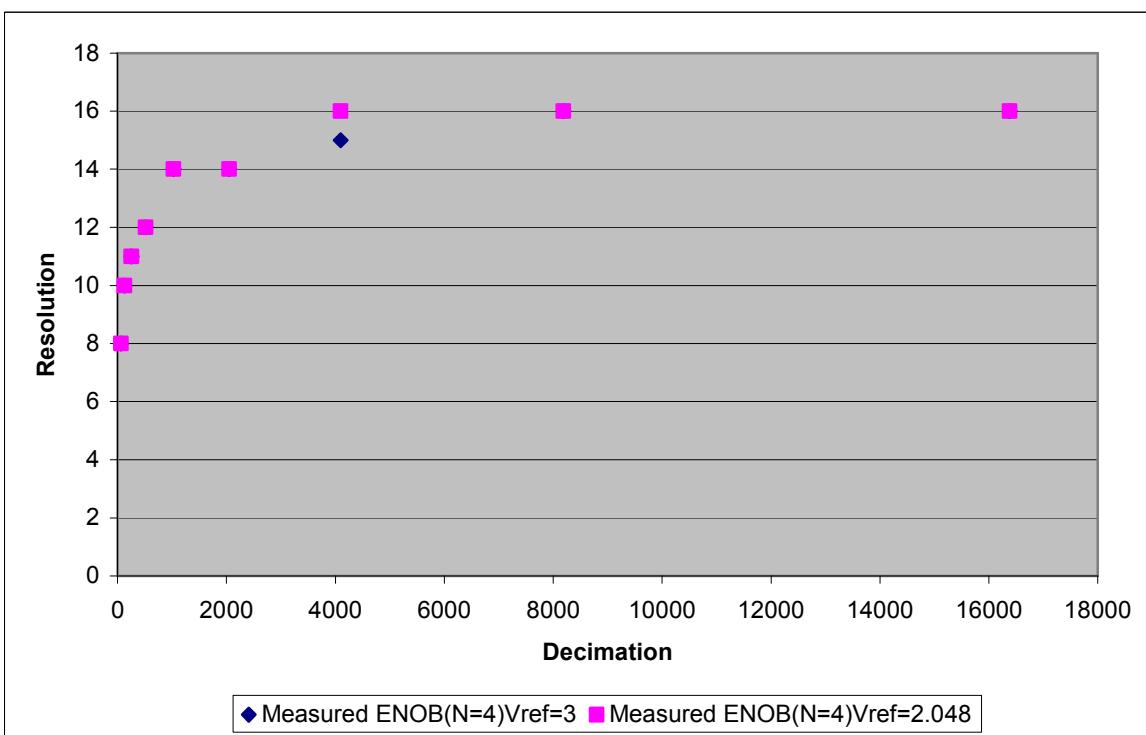
Decimation	Theoretical ENOB (N=4)	Measured ENOB (N=4)V=3	Measured ENOB (N=4)V=2.048
64	10,17	8	8
128	11,68	10	10
256	13,18	11	11
512	14,69	12	12
1024	16,19	14	14
2048	17,7	14	14
4096	19,21	15	16
8192	20,71	16	16
16384	22,22	16	16



Σχήμα 54. Διακριτική ικανότητα-Παράγοντα αποδεκατισμού για τάση εισόδου 3 και N=4



Σχήμα 55. Διακριτική ικανότητα-Παράγοντα αποδεκατισμού για τάση εισόδου 2.048 και $N=4$



Σχήμα 56. Διάγραμμα σύγκρισης για τις δύο διαφορετικές τάσεις εισόδου και $N=4$

Η διαφορά των πειραματικών με των θεωρητικών τιμών των αποτελεσμάτων οφείλεται στην αδυναμία του ακριβή υπολογισμού του θορύβου. Στους θεωρητικούς υπολογισμούς έχει υπολογιστεί μόνο ο θόρυβος κβαντισμού. Στην πράξη, όμως υπάρχει θόρυβος από τα υλικά που χρησιμοποιούνται (χρωματισμένος θόρυβος των τελεστικών ενισχυτών).

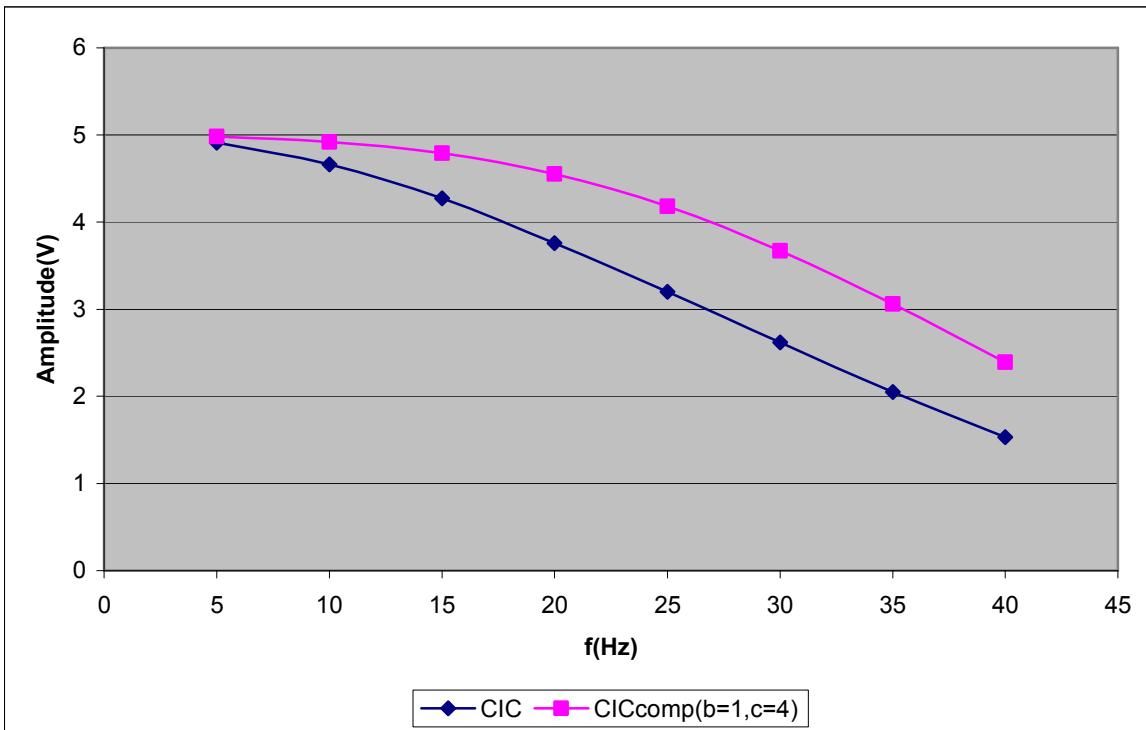
Επίσης παρατηρήθηκε ότι στην περίπτωση του φίλτρου με παράγοντα αποδεκατισμού R_1 και $N=4$ υπάρχει μεγαλύτερη διακριτική ικανότητα από τιμή του παράγοντα αποδεκατισμού $R_2 = 2*R_1$ και $N=2$, χωρίς βέβαια να είναι μεγαλύτερη και από τις θεωρητικές αναμενόμενες τιμές. Ποιο συγκεκριμένα, παρατηρήθηκε ότι η διαφορά από την θεωρητική τιμή μειώνεται όσο μεγαλώνει το N με αποτέλεσμα να παρατηρείται το προαναφερθέν φαινόμενο. Για παράδειγμα, με $R=256$ και $N=2$ η θεωρητική διακριτική ικανότητα είναι 12 bit και η αντίστοιχη πειραματική είναι 9 bit ενώ για $R=128$ και $N=4$ η θεωρητική διακριτική ικανότητα είναι 11 bit και η αντίστοιχη πειραματική είναι 10. Αυτό εξηγείται από το γεγονός ότι το φίλτρο με $R_2 = 2*R_1$ και $N=2$ στο συνολικό φάσμα συχνοτήτων εξαλείφει καλύτερα τον θόρυβο κβαντισμού, αλλά στις ψηλότερες συχνότητες το φίλτρο με R_1 και $N=4$ εξαλείφει τον θόρυβο καλύτερα. Με το σκεπτικό ότι συνολικός θόρυβος δεν είναι μόνο ο θόρυβος κβαντισμού με βάση τον οποίο έγιναν οι θεωρητικοί υπολογισμοί και ότι η συμπεριφορά του μπορεί να διαφέρει από αυτήν που έχει προβλέψει το θεωρητικό μοντέλο (μόνο για τον θόρυβο κβαντισμού) στις υψηλές συχνότητες, εξηγείται το παραπάνω φαινόμενο.

Η επόμενη παρατήρηση που έγινε κατά τη διάρκεια των πειραματικών μετρήσεων είναι ότι στις περισσότερες περιπτώσεις τα αποτελέσματα των δύο διαφορετικών τάσεων εισόδου είναι ίδια. Υπάρχουν κάποιες περιπτώσεις που διαφέρουν όπως για παράδειγμα στην περίπτωση με $R=1024$ και $N=2$, όπου με την τάση εισόδου 3 V ο ADC πετυχαίνει 12 bit διακριτική ικανότητα ενώ στην τάση εισόδου 2.048 V ο ADC πετυχαίνει 13 bit διακριτική ικανότητα. Αυτό μπορεί να εξηγηθεί από το γεγονός ότι οι δύο voltage references που χρησιμοποιήθηκαν έχουν διαφορετικά χαρακτηριστικά μεταξύ τους. Συγκεκριμένα, έχουν διαφορετική κατανομή θορύβου στο πεδίο συχνοτήτων με αποτέλεσμα σε κάποιες τοπολογίες του φίλτρου να φαίνεται ότι υπάρχει κάποια διαφορά στην μέγιστη διακριτική ικανότητα κατά τις μετρήσεις των δύο τάσεων εισόδου.

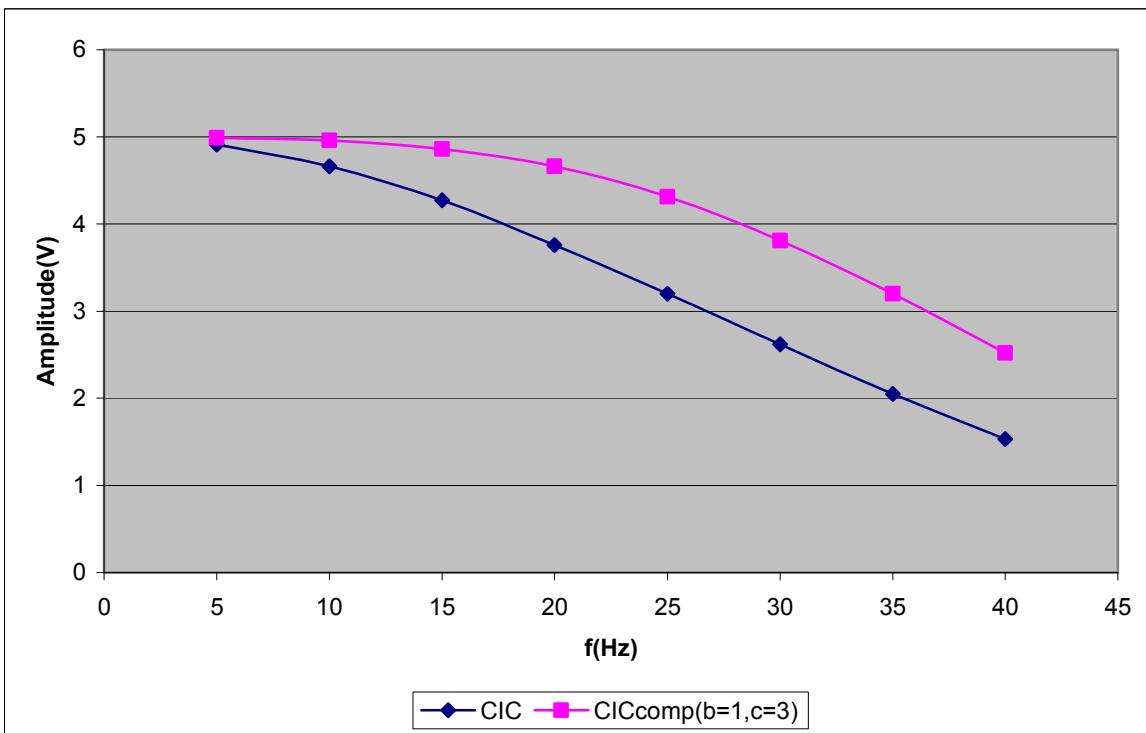
5.2 Επαλήθευση της θεωρίας του ψηφιακού φίλτρου

Στη συνέχεια έγιναν μετρήσεις για ημιτονοειδή σήματα εισόδου με σκοπό την επαλήθευση της λειτουργίας του φίλτρου αντιστάθμισης που υλοποιήθηκε. Συγκεκριμένα μετρήθηκε το πλάτος του ημίτονου στην έξοδο του CIC φίλτρου και του προτεινόμενου φίλτρου για διάφορες συχνότητες του σήματος εισόδου. Στα παρακάτω διαγράμματα γίνεται σύγκριση μεταξύ των δύο διατάξεων και φαίνεται η βελτίωση της απόκρισης του CIC λόγω του φίλτρου αντιστάθμισης που προτείνεται. Επίσης, παρατηρήθηκε ταύτιση των πειραματικών αποτελεσμάτων με των αντίστοιχων θεωρητικών. Οι μετρήσεις έγιναν για δυο διατάξεις του προτεινόμενου φίλτρου για να φανεί η αλλαγή της απόκρισης σε σχέση με την αλλαγή των παραμέτρων b και c του φίλτρου.

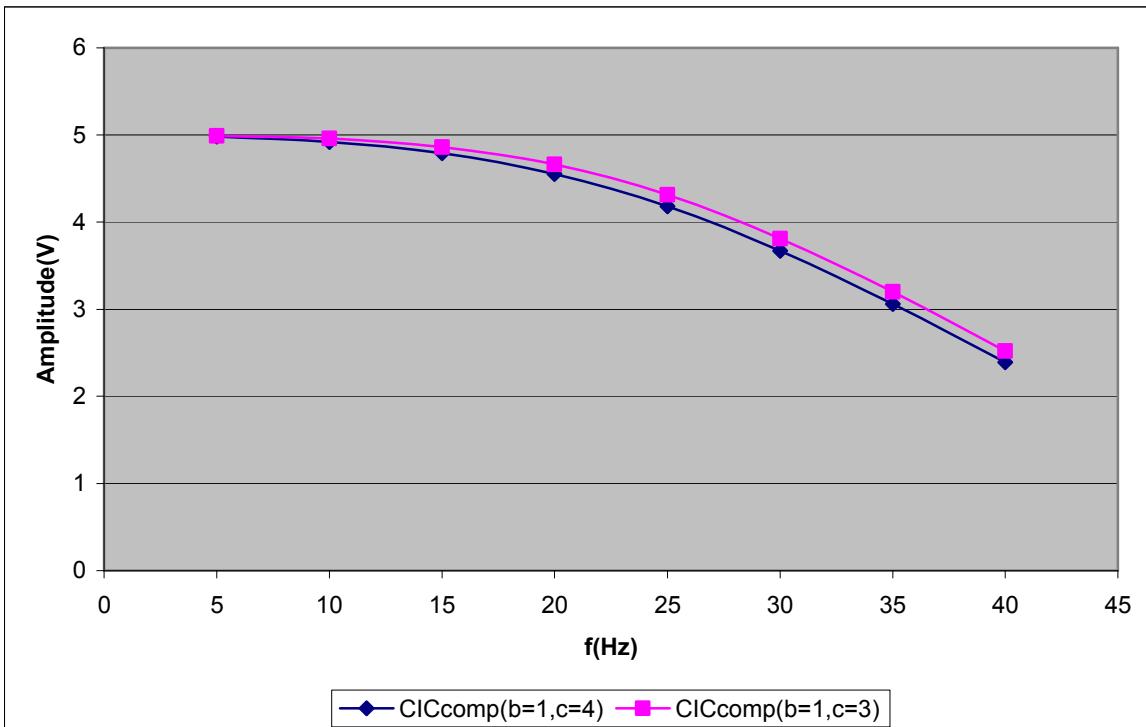
Πίνακας 6. Μετρήσεις ημιτονοειδούς σήματος εισόδου για R=1024 και N=4			
f	CIC	CICcomp (b=1,c=4)	CICcomp (b=1,c=3)
5	4,91	4,98	4,99
10	4,66	4,92	4,96
15	4,27	4,79	4,86
20	3,76	4,55	4,66
25	3,2	4,18	4,31
30	2,62	3,67	3,81
35	2,05	3,06	3,2
40	1,53	2,39	2,52



Σχήμα 57. Διάγραμμα πλάτους ημίτονου-συχνότητας για $N=4$ $R=1024$ $b=1$ και $c=4$



Σχήμα 58. Διάγραμμα πλάτους ημίτονου-συχνότητας για $N=4$ $R=1024$ $b=1$ και $c=3$



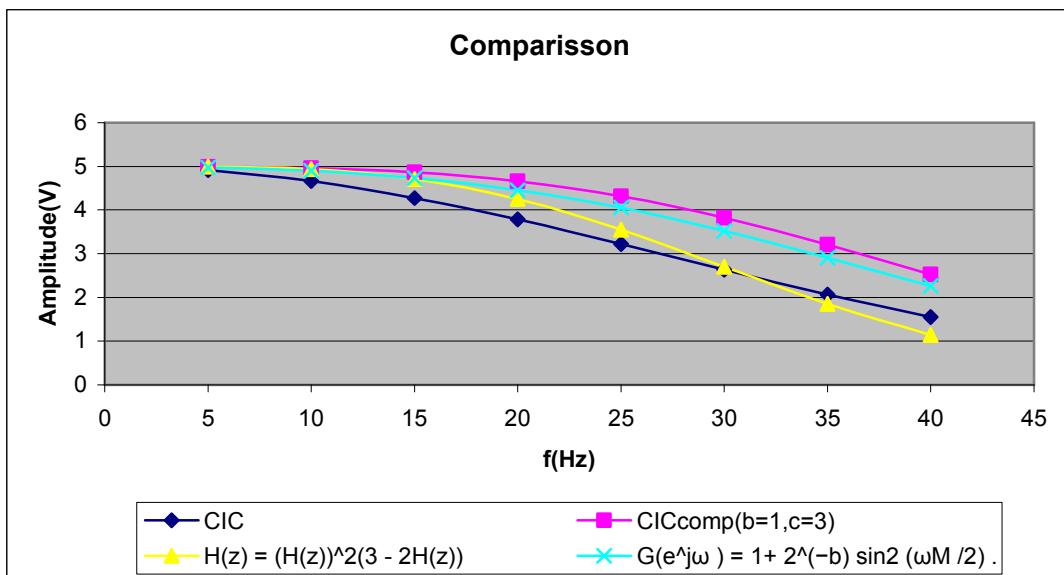
Σχήμα 59. Σύγκριση προτεινόμενου φίλτρου για $b=1$ και $c=4$ και για $b=1$ και $c=3$

5.2.1 Σύγκριση με παρεμφερείς προσεγγίσεις της βιβλιογραφίας

Σε αυτό το Κεφάλαιο γίνεται μία σύγκριση του προτεινόμενου φίλτρου με παρεμφερείς εργασίες. Όπως αναφέρθηκε στην εισαγωγή οι δύο επικρατέστερες υλοποιήσεις είναι αυτές που αναφέρονται στα [28] και [31]. Υλοποιήθηκαν σε Matlab και τα άλλα δύο φίλτρα και έγινε μία θεωρητική σύγκριση η οποία φαίνεται παρακάτω. Όπως φαίνεται από τον πίνακα των αποτελεσμάτων καθώς και το διάγραμμα σύγκρισης, το προτεινόμενο φίλτρο αντιστάθμισης έχει καλύτερη απόκριση από τα υπόλοιπα, με εξαίρεση στις πολύ χαμηλές συχνότητες που το φίλτρο του [28] αντισταθμίζει λίγο καλύτερα (ως $f = 5\text{Hz}$).

Πίνακας 7. Σύγκριση Αποτελεσμάτων από 4 διαφορετικά φίλτρα παρεμφερών εργασιών

f	CIC	ClCcomp (b=1,c=3)	$H(z) = (H(z))^2(3 - 2H(z))$	$G(e^{j\omega}) = 1 + 2^{(-b)} \sin^2(\omega M / 2)$
5	4,9144	4,9934	4,9957	4,9775
10	4,6655	4,96	4,9359	4,8988
15	4,2758	4,8637	4,7157	4,7362
20	3,7794	4,6601	4,2515	4,4594
25	3,2173	4,3147	3,5464	4,0519
30	2,6327	3,8199	2,6988	3,5223
35	2,0655	3,2031	1,8548	2,907
40	1,5485	2,5225	1,1417	2,262



Σχήμα 60. Σύγκριση Αποτελεσμάτων από 4 διαφορετικά φίλτρα παρεμφερών εργασιών

5.3 Επιδόσεις του προτεινόμενου ψηφιακού φίλτρου

Ο ΣΔ ADC λειτούργησε μέχρι τα 100 KHz με περιορισμό από το αναλογικό κομμάτι. Ο περιοριστής με Zener είναι ο λόγος που το αναλογικό κομμάτι δεν

μπορεί να λειτουργήσει σε μεγαλύτερη συχνότητα. Το ψηφιακό φίλτρο μπορεί να λειτουργήσει σε πολύ μεγαλύτερη συχνότητα. Από τα αποτελέσματα του ISE φαίνεται ότι, στην χειρότερη περίπτωση, η μέγιστη συχνότητα λειτουργίας είναι 34 MHz. Άλλα αυτή είναι η συχνότητα του δεύτερου κομματιού του ψηφιακού φίλτρου μετά τον αποδεκατισμό. Το ρολόι του πρώτου κομματιού στην ίδια περίπτωση είναι 228 MHz. Από τα πειράματα που έγιναν φάνηκε ότι για να επιτευχθεί 8-bit διακριτική ικανότητα, απαιτείται τιμή $R=64$ (λίγες υλοποιήσεις χρησιμοποιούν μικρότερο R). Αυτό σημαίνει ότι το αρχικό ρολόι (228 MHz) χρειάζεται, στην χειρότερη περίπτωση, το ρολόι του δεύτερου κομματιού να έχει συχνότητας λειτουργίας 3,6 MHz (άρα δεν περιορίζεται η σχεδίαση από τα 34 MHz). Αυτό σημαίνει ότι το ρολόι μετά τον αποδεκατισμό που δεν μπορεί να λειτουργήσει με συχνότητα μεγαλύτερη των 34 MHz, θα είναι στην χειρότερη περίπτωση $228/64 = 3,6$ MHz(άρα δεν περιορίζεται η σχεδίαση από τα 34 MHz).

Η υλοποίηση είναι αρκετά οικονομική και από άποψη χώρου στην FPGA που καταλαμβάνει το υλικό. Όπως φαίνεται και από τον επόμενο πίνακα στη χειρότερη περίπτωση καταλαμβάνει 8% του συνολικού χώρου της FPGA.

Πίνακας 8. Υλικό για διάφορες παραμέτρους του φίλτρου					
Decim	Number of Slices (13696)	Number of Slice Flip Flops	Number of 4 input LUTs	Clock 'temp	clkdecim
64					
N=2	265/13696 1%	158/27392 0%	316/27392 1%	360.458MHz	41.366MHz
N=3	371/13696 2%	248/27392 0%	414/27392 1%	334.085MHz	41.108MHz
N=4	552/13696 4%	363/27392 1%	596/27392 2%	311.308MHz	35.626MHz
128					
N=2	301/13696 2%	180/27392 0%	360/27392 1%	351.216MHz	41.179MHz
N=3	432/13696 3%	285/27392 1%	469/27392 1%	322.295MHz	40.924MHz
N=4	635/13696 4%	418/27392 1%	680/27392 2%	297.774MHz	35.442MHz
256					
N=2	334/13696 2%	201/27392 0%	394/27392 1%	342.436MHz	41.056MHz
N=3					
N=4					
16384					
N=2	532/13696 3%	330/27392 1%	604/27392 2%	297.774MHz	40.357MHz
N=3					
N=4	1208/13696 8%	807/27392 2%	1260/27392 4%	228.298MHz	34.203MHz

Όπως φαίνεται, οι απαιτήσεις του χώρου αυξάνονται με την αύξηση του N και του παράγοντα αποδεκατισμού, κάτι που είναι αναμενόμενο από την εξ. (20) που εξηγεί την αύξηση του μεγέθους των καταχωρητών.

6. Συμπεράσματα

Σε αυτήν την εργασία υλοποιήθηκε ένας ΣΔ ADC με καινοτόμο φίλτρο αντιστάθμισης και ένα εργαλείο για την αλλαγή των παραμέτρων λειτουργίας του. Η λειτουργία του ADC επαληθεύτηκε για διάφορες παραμέτρους του ψηφιακού φίλτρου. Ο χρήστης του ADC έχει την δυνατότητα να προδιαγράφει είτε την διακριτική ικανότητα του ΣΔ ADC, είτε την ταχύτητα του σήματος εισόδου. Για την υλοποίηση του ψηφιακού φίλτρου χρησιμοποιήθηκε η FPGA VIRTEX 2pro στο αναπτυξιακό XUP. Η χρήση της τεχνολογίας FPGA κρίθηκε ως ο καταλληλότερος τρόπος υλοποίησης ενός τέτοιου συστήματος, λόγω της δυνατότητας της για αναδιάταξη, σε συνδυασμό με την φύση του ΣΔ. Τα αποτελέσματα δείχνουν μία οικονομική υλοποίηση του ψηφιακού φίλτρου με την δυνατότητα χρησιμοποίησης του υπόλοιπου χώρου της FPGA (92%) για επιπλέον εφαρμογές. Για να γίνει πλήρως εκμεταλλεύσιμη η συχνότητα λειτουργίας του ψηφιακού κομματιού (228 MHz) πρέπει να γίνουν κάποιες αλλαγές στο αναλογικό κομμάτι το οποίο λειτουργεί μέχρι τα 100KHz. Το κύκλωμα του περιοριστή από Zener είναι ο κύριος λόγος περιορισμού της μέγιστης συχνότητας λειτουργίας. Επίσης με την ανασχεδίαση του περιοριστή το σύστημα μπορεί να γίνει αναίσθητο στις αλλαγές της θερμοκρασίας. Το κόστος της υλοποίησης υπολογίζεται περίπου στα 100 € (με την προϋπόθεση ότι δεν υπολογίζεται στο κόστος του αναπτυξιακού αλλά μόνο η FPGA).

Μία μελλοντική επέκταση της εργασίας είναι η συμπλήρωση του λογισμικού για περισσότερες δυνατότητες. Συγκεκριμένα θα μπορούσε να παράγει VHDL για τις υπόλοιπες αρχιτεκτονικές ΣΔΔ. Αυτή την στιγμή υπάρχει δυνατότητα και έχει ελεγχθεί μόνο για έναν ΣΔΔ πρώτης τάξης. Είναι δυνατό, βέβαια, να χρησιμοποιηθεί και για μεγαλύτερης τάξης ΣΔΔ. Όπως αναφέρθηκε όμως υπάρχει η αρχιτεκτονική του διαμορφωτή πολλαπλών bit, και αυτή των πολλαπλών σταδίων, όπου οι απαιτήσεις του ψηφιακού φίλτρου είναι διαφορετικές και χρειάζεται επιπλέον μελέτη. Επομένως η ανάπτυξη διαφορετικών ΣΔΔ και η συμπλήρωση του λογισμικού για αυτόματη εξαγωγή κατάλληλου ψηφιακού φίλτρου είναι μια μελλοντική επέκταση αυτής της εργασίας.

Επιπλέον, μπορεί να βελτιωθεί η ικανότητα του φίλτρου στην εξάλειψη του θορύβου στις υψηλές συχνότητες. Στο [29] προτείνεται η χρήση ενός

συνημιτονοειδούς (cosine) φίλτρου στην έξοδο του ημιτονοειδούς φίλτρου το οποίο θα εξαλείφει τον ενισχυμένο θόρυβο. Αυτή η διάταξη έχει το θετικό ότι μπορεί να υλοποιηθεί οικονομικά με παρόμοιο τρόπο με το ημιτονοειδές φίλτρο. Επίσης, μπορεί εύκολα να ενσωματωθεί στο λογισμικό που προτείνεται σε αυτήν την εργασία για αυτόματη εξαγωγή ενός πληρέστερου οικονομικού φίλτρου.

Η συνεισφορά της συγκεκριμένης εργασίας μπορεί να συνοψιστεί ως εξής:

- Καινοτόμο φίλτρο αντιστάθμισης, όπως περιγράφεται αναλυτικά στο κείμενο.
- Το εργαλείο που παράγει τον κώδικα VHDL του ψηφιακού φίλτρου, συνδυάζει μαζί με το CIC φίλτρο και το φίλτρο αντιστάθμισης. Το εργαλείο που υλοποιήθηκε δίνει την δυνατότητα επιλογής των παραμέτρων του φίλτρου αντιστάθμισης, αλλά ταυτόχρονα δίνει και τις προτεινόμενες τιμές για τις αντίστοιχες παραμέτρους του CIC. Σε αντίθεση, τα αντίστοιχα εργαλεία που αναφέρονται στη βιβλιογραφία μέχρι σήμερα, έχουν σαν δυνατότητα να εξάγουν μόνο το CIC φίλτρο. Στη συνέχεια, για το φίλτρο αντιστάθμισης πρέπει να γίνει χωριστή μελέτη από τον χρήστη για την υλοποίηση του κατάλληλου φίλτρου το οποίο να προσαρμόζεται στις παραμέτρους του CIC που επιλέχτηκε.

7. Βιβλιογραφία

- [1] T.T. Lang, Ηλεκτρονικά Συστήματα Μετρήσεων, 2^η έκδοση, Εκδόσεις Τζιόλα 2007, p 276-300.
- [2] B.Black, “Analog-to-Digital Converter Architectures and Choices for System Design”, Analog Dialogue, Volume 33, Number 8, September, 1999.
- [3] Maxim Integrated Products, “A Simple ADC Comparison Matrix”, Appnote2094, Jun 02, 2003.
- [4] Maxim Integrated Products, “Understanding Flash ADCs”, Appnote810 Oct 02, 2001.
- [5] Maxim Integrated Products, “Pipeline ADCs Come of Age”, Appnote634, Mar 21, 2000.
- [6] Maxim Integrated Products, “Understanding SAR ADCs”, Appnote1080, Mar 01, 2001.
- [7] Maxim Integrated Products, “Understanding Integrating ADCs”, Appnote1041, May 02, 2002.
- [8] Maxim Integrated Products, “Demystifying Sigma-Delta ADCs”, Appnote1870, Jan 31, 2003.
- [9] P.M. Aziz, H.V. Sorensen, J.V. der Spiegel, “An Overview of Sigma-Delta Converters: How a 1-bit ADC achieves more than 16-bit resolution”, IEEE Signal Processing Magazine, Volume 13, Issue 1, September 1996, pages 61-84, January 1996.
- [10] K. Chao, S. Nadeem, W. Lee, and C. Sodini, “A higher order topology for interpolative modulators for oversampling A/D converters”, IEEE Transactions on Circuits and Systems, pp. 309-318, March, 1990.
- [11] P. Ferguson, A. Ganesan, R. Adams, “One bit higher order sigma-delta AD converters, Proceedings”, IEEE International Symposium on Circuits and Systems, pp. 890-893, 1990.

- [12] Op't Eynde, G. Yin, W. Sansen, "A CMOS fourth-order 14b 500k-sample/s sigma-delta ADC converter", Digest of Technical Papers, International Solid State Circuits Conference, pp. 62-63, 1991.
- [13] R. Adams, "Design aspects of high-order delta-sigma A/D converters" IEEE International Symposium on Circuits and Systems Tutorials, pp. 235-259, 1994.
- [14] L. Larson, T. Cataltepe, and G. Temes, "Multibit oversampled sigmadelta A/D convertor with digital error correction" Electronics Letters, pp.1051-1052, August 4, 1988.
- [15] T. Leslie and B. Singh, "An improved sigma-delta modulator architecture", Proceedings, IEEE International Symposium on Circuits and Systems, pp. 372-375, 1990.
- [16] A. Hairapetian, G. Temes, and Z. Zhang, "Multibit sigma deltamodulator with reduced sensitivity to DAC nonlinearity", Electronics Letters, pp. 990-991, May 23, 1991.
- [17] M. Sarhang-Nejad and G. Temes, "A high-resolution multibit sigmadelta ADC with digital correction and relaxed amplifier requirements", IEEE Journal of Solid State Circuits, pp. 648-660, June, 1993.
- [18] L. Carley, "A noise-shaping coder topology for 15+ bit converters" IEEE Journal of Solid State Circuits, pp. 267-273, April, 1989.
- [19] B. Leung and S. Sutarja, "Multibit sigma-delta A/D converter incorporating a novel class of dynamic element matching technique", IEEE Transactions on Circuits and Systems II, pp. 35-51, January, 1992.
- [20] F. Chen and B. Leung, "A high resolution multi-bit sigma-delta modulator with individual level averaging", Digest of Technical Papers, IEEE Symposium on VLSI Circuits, pp. 101-102, June, 1994.
- [21] K. Uchimura, T. Hayashi, T. Kimura and A. Iwata, "Oversampling A-to-D and D-to-A converters with multistage noise shaping modulators", IEEE Transactions on Acoustics, Speech, and Signal Processing, pp. 1899- 1905, December, 1988.

- [22] M. Rebeschini, N. van Bavel, P. Rakers, et al, "A 16-b 160-kHz CMOS A/D converter using sigma-delta modulation", IEEE Journal of Solid State Circuits, pp. 431-440, April, 1990.
- [23] L. Longo and M. Copeland, "A 13 bit ISDN-band oversampled ADC using two-stage third order noise shaping", Proceedings, IEEE Custom Integrated Circuits Conference, pp. 21.2.1-21.2.4, 1988.
- [24] G. Yin, F. Stubbe, W. Sansen, "A 164 320-kHz CMOS A/D converter using two-stage third-order sigma-delta noise shaping", IEEE Journal of Solid State Circuits, pp. 640-647, June, 1993.
- [25] L. Williams and B. Wooley, "Third-order sigma-delta modulator with extended dynamic range", IEEE Journal of Solid State Circuits, pp. 193-202, March, 1994.
- [26] D. Ribner, "A comparison of modulator networks for high-order oversampled sigma-delta analog-to-digital converters", IEEE Transactions on Circuits and Systems, pp. 145-159, February, 1991.
- [27] E. B. Hogenauer., "An economical class of digital filters for decimation and interpolation", IEEE Transactions on Acoustics, Speech and Signal Processing, ASSP 29(2):155-162, 1981.
- [28] Alan Y. Kwentus, Zhongnong Jiang, and Alan N. Wilson, Jr., "Application of filter sharpening to cascaded integrator-comb decimation filters", IEEE Transactions on Signal Processing, 45(2):457-467, 1997.
- [29] G. J. Dolecek, S.K. Mitra, "A New Two-Stage CIC-Based Decimation Filter", Image and Signal Processing and Analysis, 2007. ISPA 2007. 5th International Symposium, pp 218-223, Sept. 2007.
- [30] G. J. Dolecek,"Modified CIC Filter for Rational Sample Rate Conversion", Communications and Information Technologies, 2007. ISCIT '07. International Symposium, pp 252-255, Oct. 2007.
- [31] G. J. Dolecek, S.K. Mitra, "On Design of CIC Decimation Filter with Improved Response", Communications, Control and Signal Processing, 2008. ISCCSP 2008. 3rd International Symposium, pp 1072 – 1076, March 2008.

- [32] G. Girau M. Martina A. Molino A. Terreno F. Vacca, "FPGA Digital Down Converter IP for SDR Terminals", Signals, Systems and Computers, 2002. Conference Record of the Thirty-Sixth Asilomar Conference, pp 1010- 1014 vol.2, Nov. 2002.
- [33] A. Silva, N. Horta, J.Guilherme, "Design of a Multimode Reconfigurable Sigma-DeltaConverter for 4G Wireless Receivers", Circuit Theory and Design, 2007. ECCTD 2007. 18th European Conference, pp 132 – 135, Aug 2007.
- [34] B. B. Carvalho, A. J. N. Batista, F. Patrício, M. Correia, H. Fernandes, J. Sousa, and C. A. F. Varandas," Multi-Rate DSP/FPGA-Based Real-Time Acquisition and Control on the ISTTOK Tokamak", Nuclear Science, IEEE Transactions
- [35] R. Abbiati, A. Di Odoardo, A. Geraci, G. Ripamonti," A Programmable A/D Sigma-Delta Converter for Pulse Digital Processing Setups", Nuclear Science, IEEE Transactions, pp1270- 1276, June 2004.
- [36] S. Toscher, T. Reinemann, R. Kasper, M. Hartmann," A Reconfigurable Delta-Sigma ADC", Industrial Electronics, 2006 IEEE International Symposium, pp 495-499, July 2006.
- [37] R. Schreier, J. Lloyd, L. Singer, D. Paterson, M. Timko, M. Hensley, G. Patterson, K. Behel, J. Zhou, "A 10-300-MHz IF-digitizing IC with 90-105-dB dynamic range and 15-333-kHz bandwidth", IEEE Journal of Solid-State Circuits, pp 1636- 1644, Dec 2002.
- [38] Xillinx, CIC Compiler v1.2, DS613, April 2008.
- [39] Altera, CIC MegaCore Function, 101 Innovation Drive San Jose, CA 95134, March 2009.