

Πολυτεχνείο Κρήτης

Τμήμα

Ηλεκτρονικών Μηχανικών & Μηχανικών Υπολογιστών

(ΗΜΜΥ)



ΔΙΠΛΩΜΑΤΙΚΗ ΕΡΓΑΣΙΑ

Πρόδρομος Προδρόμου

«Benchmarking Of MOSFET Compact Models In Cadence»

Εξεταστική Επιτροπή:

Ματτίας Μπούχερ (επιβλέπων)

Κωνσταντίνος Καλαϊτζάκης

Κώστας Μπάλας

Χανιά, Μάιος 2010

Περιεχόμενα

Κεφάλαιο 1 : Εισαγωγή.....	1
1.1 Benchmark.....	1
1.2 MOS μοντέλα.....	1
1.3 Σύντομη ιστορία των compact MOS transistor models.....	3
Κεφάλαιο 2 : Benchmarks για επιβεβαίωση της ορθής λειτουργίας μοντέλων MOSFET.....	7
2.1 CMC benchmarks για έλεγχο της ορθής λειτουργίας MOSFET μοντέλων[1].....	7
2.1.1 Κύκλωμα 1: επιβεβαίωση εξισώσεων του μοντέλου για απαλές μεταβάσεις κάτω και πάνω από το threshold.....	7
2.1.2 Κύκλωμα 2: επιβεβαίωση εξισώσεων του μοντέλου στη περιοχή του subthreshold για διαφορετικά μήκη καναλιού.(DIBL effect).....	8
2.1.3 Κύκλωμα 3: Επιβεβαίωση εξισώσεων του μοντέλου για long, short και deep submicron devices - επίδραση μήκους καναλιού στην τάση του threshold. (DIBL effect).....	9
2.1.4 Κύκλωμα 4: επιβεβαίωση εξισώσεων του μοντέλου για short channel effects.....	9
2.1.5 Κύκλωμα 5: επιβεβαίωση εξισώσεων κινητικότητας (mobility) του μοντέλου για short channel effects και πόσο ευαίσθητο είναι το μοντέλο στη αλλαγή της τάσης του drain στη γραμμική περιοχή.....	10
2.1.6 Κύκλωμα 6: επιβεβαίωση εξισώσεων του μοντέλου για χαμηλές	

θερμοκρασίες, στη subthreshold και γραμμική περιοχή.....	10
2.1.7 Κύκλωμα 7 επιβεβαίωση εξισώσεων για περιοχή τριόδου και κορεσμού.(CLM and DIBL effect).....	11
2.1.8 Κύκλωμα 8 επιβεβαίωση εξισώσεων υπό συνθήκες υψηλού πεδίου (velocity saturation,CLM and DIBL) στη περιοχή κορεσμού	12
2.1.9 Κύκλωμα 9 επιβεβαίωση εξισώσεων (mobility) σε χαμηλές θερμοκρασίες στη περιοχή του κορεσμού.....	12
2.1.10 Κύκλωμα 10 επιβεβαίωση των εξισώσεων για substate ρεύμα και οι συνέπειες του ionization effect.....	13
2.2 Διάφορα benchmarks για έλεγχο της ορθής λειτουργίας MOSFET μοντέλων.....	13
2.2.1 Διαχωριστικότητες.....	14
2.2.2 Συμμετρία μοντέλου σε Ac και Dc ανάλυση[2].....	14
2.2.2.1 Συμμετρία drain source σε Dc ανάλυση.....	15
2.2.2.2 Συμμετρία drain source σε Ac ανάλυση.....	16
2.2.3 Διαρέτης ρεύματος - R2R[3][4].....	17
2.2.4 Συντελεστής κλίσης (slope factor) n και τάσης pinch-off[5].....	18
2.2.4.1 Εξαγωγή του ειδικού ρεύματος Ispec [5].....	19
2.2.5 Γραμμικοποίηση διαφορικού ζεύγους.[6].....	21
2.2.6 Κανονικοποιημένες διαγωγιμότητες.[7].....	22
Κεφαλαίο 3 : Περιγραφή του εργαλείου TUC MOSFET Benchmark test suit.....	24
3.1 Το κύριο πρόγραμμα στο Cadence.....	24
3.2 Περιγραφή της «General setup form».....	24
3.3 Περιγραφή της «Option form».....	25

3.3.1 Περιγραφή της φόρμας «Initialize Benchmarks»	25
3.4 Περιγραφή του «test menu».....	28
3.5 Περιγραφή και λειτουργία των CMC tests.	28
3.6 Περιγραφή των υπολοίπων τεστ που βρίσκονται στο πρόγραμμα.....	31
3.6.1 Περιγραφή «Capacitance test».....	32
3.6.2 Περιγραφή « Current divider» (διαρέτη ρεύματος).....	32
3.6.4 Περιγραφή «Vp and slope factor test»	32
3.6.5 Περιγραφή «Ac/dc source-drain symmetry test».....	33
3.6.6 Περιγραφή του τεστ για το διαφορικό ζεύγος.....	34
3.6.7 Περιγραφή κανονικοποίησης gms (G(IC)) και gm.....	35
Κεφάλαιο 4 : Εφαρμογή των benchmarks και σύγκριση μοντέλων	38
4.1 Σύγκριση μοντέλων στο τεστ «Διαρέτης ρεύματος».....	39
4.2 Dc συμμετρία source-drain.....	39
4.3 Ac συμμετρία source-drain.....	42
4.4 Κανονικοποιημένη διαγωγιμότητα gms	45
4.5 Αποτελέσματα για το slope factor τεστ.....	47
4.6 Διάφορα αλλά τεστ σε σχέση με μετρήσεις από πραγματικό τρανζίστορ	48
Κεφαλαίο 5 : Συμπεράσματα- Μελλοντική εργασία.....	53
5.1 Απόδοση μοντέλων	53
5.2 Μελλοντική εργασία-Βελτίωση του προγράμματος.....	54
Παράρτημα.....	57
Εισαγωγικό εγχειρίδιο χρήσης της SKILL/OCEAN.....	57

Κατάλογος Σχημάτων

Εικόνα 1-1: Παρουσιάζει τον αριθμό των παραμέτρων για κάθε μοντέλο καθώς και την εξέλιξη τους στο χρόνο.....	5
Εικόνα 2-1 Τρανζίστορ NMOS πολωμένο με τέσσερις διακριτές πηγές τάσης.....	7
Εικόνα 2-2 Το κύκλωμα ανάλυσης της συμμετρίας ενός μοντέλου σε dc ανάλυση. 15	
Εικόνα 2-3 κύκλωμα ανάλυσης της συμμετρίας ενός μοντέλου σε ac ανάλυση.....	16
Εικόνα 2-4 Διαφρέτης ρεύματος σχεδιασμένος με MOSFET αντί για αντιστάσεις.....	18
Εικόνα 2-5 Παράδειγμα εύρεσης του I_{spec}	19
Εικόνα 2-6 Το διαφορικό ζεύγος.....	20
Εικόνα 3-1 μενού επίλογων του ciw στο Cadence.....	26
Εικόνα 3-2 General setup form.....	26
Εικόνα 3-3 Option form.....	27
Εικόνα 3-4 Initialize Benchmarks.....	27
Εικόνα 3-5 Test menu.....	28
Εικόνα 3-6 Το CMC test 2 θέτεται ως ενδεικτικό παράδειγμα.....	29
Εικόνα 3-7 Capacitance test.....	31
Εικόνα 3-8 το μενού για τον διαιρέτη ρεύματος.....	31
Εικόνα 3-9 V_p και slope factor test.....	33
Εικόνα 3-10 Dc symmetry test.....	33
Εικόνα 3-11 Ac symmetry test.....	36
Εικόνα 3- 12 Διαφορικό ζευγος.....	36
Εικόνα 3- 13 Κανονικοποιημένο gm.....	37
Εικόνα 3- 14 Κανονικοποιημένο gms.....	37

Εικόνα 4-1 Αποτελέσματα από το τεστ με το διαιρέτη ρεύματος. EKV2.6-Bsim4	40
Εικόνα 4-2 Το EKV3 δοκιμάζεται στο τεστ με το διαιρέτη ρεύματος.	40
Εικόνα 4-4 Το EKV2.6 στο τεστ συμμετρίας σε dc ανάλυση	40
Εικόνα 4-5 Το Bsim4 στο τεστ συμμετρίας σε dc ανάλυση.....	41
Εικόνα 4-6 Το EKV3 στο τεστ συμμετρίας σε dc ανάλυση.....	41
Εικόνα 4-8 Η χωρητικότητα C_g για το μοντέλο EKV2.6	42
Εικόνα 4-9 Η χωρητικότητα C_g για το μοντέλο Bsim4	43
Εικόνα 4-10 Η χωρητικότητα C_g για το μοντέλο EKV3	43
Εικόνα 4-11 Η συμμετρία source-gate στη AC ανάλυση. EKV2.6.....	43
Εικόνα 4-12 Η συμμετρία source-gate στη AC ανάλυση. Bsim4.....	44
Εικόνα 4-13 Η συμμετρία source-gate στη AC ανάλυση. EKV3	45
Εικόνα 4-14 Κανονικοποιημένη διαγωγιμότητα g_{ms} , $G(IC)$. EKV2.6 Bsim4.....	45
Εικόνα 4-15 Κανονικοποιημένη διαγωγιμότητα g_{ms} , EKV3-πραγματικές μετρήσεις	46
Εικόνα 4-16 V_p - V_g και το slope factor(n) για το EKV2.6.....	46
Εικόνα 4-17 V_p - V_g και το slope factor(n) για το Bsim4.....	47
Εικόνα 4-18 V_p - V_g και το slope factor(n) για το EKV3.....	47
Εικόνα 4-19 I_d - V_g , I_d (log axis)- V_g g_m - V_g για $V_s=0, 0.2, 0.4, 0.6$ για το EKV2.6	48
Εικόνα 4-20 I_d - V_g , I_d (log axis), g_m - V_g για $V_s=0, 0.2, 0.4, 0.6$ για το Bsim4	48
Εικόνα 4-21 I_d (log axis), g_m - V_g για $V_s=0, 0.2, 0.4, 0.6$ για το πραγματικό τρανζίστορ.....	48
Εικόνα 4-22 I_d - V_d , g_{md} - V_d , $1/g_{md}$ - V_d για το EKV2.6	49
Εικόνα 4-23 I_d - V_d , g_{md} - V_d , $1/g_{md}$ - V_d για το Bsim4.....	49
Εικόνα 4-24 I_d - V_d , g_{md} - V_d για το πραγματικό τρανζίστορ.....	49
Εικόνα 4-25 $1/g_{md}$ - V_d για το πραγματικό τρανζίστορ.....	50

Εικόνα 4- 26 I_d - V_s , g_{ms} - V_s για το EKV2.6.....	50
Εικόνα 4- 27 I_d - V_s , g_{ms} - V_s για το Bsim4.....	51
Εικόνα 4- 28 25 I_d - V_s , g_{ms} - V_s για το πραγματικό τρανζίστορ.....	51

Περίληψη

Η χρήση εργαλείων σχεδίασης με τη βοήθεια υπολογιστή (Computer aided design –CAD- tools) επιτρέπει την ταχεία αξιολόγηση των επιδόσεων ενός κυκλώματος χωρίς την δαπανηρή επιβάρυνση της κατασκευής ενός ολοκληρωμένου πρωτοτύπου. Η ακρίβεια των αποτελεσμάτων που παρέχονται από τον εξομοιωτή εξαρτάται από την «ποιότητα» των μοντέλων που χρησιμοποιούμε για τα διάφορα στοιχεία του κυκλώματος, έτσι τα μοντέλα παίζουν το ρόλο του συνδετικού κρίκου μεταξύ των σχεδιαστών κυκλωμάτων και της κατασκευής ενός ολοκληρωμένου κυκλώματος.

Για τον έλεγχο της ορθής λειτουργίας των MOSFET μοντέλων έχει δημιουργηθεί το εργαλείο «TUC MOSFET Benchmark Test Suite» στα πλαίσια του προσομοιωτή Cadence. Το πρόγραμμα έχει σκοπό να δώσει πληροφορίες στον σχεδιαστή κυκλωμάτων για την ποιότητα των μοντέλων, και ενδεχομένως για ελλείψεις ή δυσλειτουργίες αυτών. Αυτή η διαδικασία γίνεται με αυτοματοποιημένο τρόπο, με δυνατότητα επέμβασης του χρήστη.

Το εργαλείο αποτελείται από ένα σύνολο benchmark tests, που καλύπτουν όλες τις περιοχές της λειτουργίας ενός MOSFET (subthreshold, γραμμική και κορεσμό) καθώς επίσης της σωστής πρόβλεψης της συνοχής και της ομαλότητας μέσα και μεταξύ αυτών των περιοχών. Περιέχει επίσης μια συλλογή από benchmark test που αναδεικνύουν διάφορα προβλήματα των μοντέλων όπως συμμετρία drain-source, συνέχεια παραγωγών υψηλής τάξης (διαχωρητικότητες, διαγωγιμότητες) καθώς και κάποια κρίσιμα αναλογικά κυκλώματα. Η ορθότητα μερικών benchmark tests έχει αποδειχθεί και με πειραματικές μετρήσεις σε πραγματικά τρανζίστορ.

Κεφάλαιο 1

Εισαγωγή.

1.1 Benchmark.

Το Benchmark είναι ένα σημείο αναφοράς το οποίο χρησιμοποιείται σαν μέτρο σύγκρισης για την αξιολόγηση των διαφόρων πτυχών λειτουργίας ενός μοντέλου MOSFET.

Μας επιτρέπει να συγκρίνουμε ένα μοντέλο MOSFET τρανζίστορ με μια ιδανική περίπτωση μοντέλου, με μετρήσεις από ένα πραγματικό τρανζίστορ, με ένα άλλο μοντέλο ή και προηγούμενη έκδοση ενός μοντέλου. Συγκρίνοντας τα δύο μοντέλα μεταξύ τους βλέπουμε σε πια σημεία υστερεί/υπερτερεί ένα μοντέλο ή ποιο είναι κατάλληλο για να χρησιμοποιηθεί σε μια συγκεκριμένη εφαρμογή.

1.2 MOS μοντέλα

Τα εργαλεία σχεδίασης με τη βοήθεια υπολογιστή (Computer aided design – CAD- tools) αποτελούν ουσιώδη εργαλεία στο σχεδιασμό κυκλωμάτων. Η παραγωγικότητα των σχεδιαστών κυκλωμάτων είναι άρρηκτα συνδεδεμένη με την αποτελεσματικότητα των διαθέσιμων εργαλείων CAD. Ένα από τα πιο χρήσιμα κομμάτια των εργαλείων σχεδιασμού IC είναι η προσομοίωση του κυκλώματος, η οποία επιτρέπει στους χρήστες να κατανοήσουν σε βάθος ένα κύκλωμα και τις λεπτομέρειες της λειτουργίας του. Η χρήση των ηλεκτρικών προσομοιωτών επιτρέπει την ταχεία αξιολόγηση των επιδόσεων ενός κυκλώματος χωρίς την δαπανηρή επιβάρυνση της κατασκευής ενός ολοκληρωμένου πρωτοτύπου. Η ακρίβεια των αποτελεσμάτων που παρέχονται από τον εξομοιωτή εξαρτάται από την «ποιότητα» των μοντέλων που χρησιμοποιούνε για τα διάφορα στοιχεία του κυκλώματος. Έτσι τα μοντέλα παίζουν το ρόλο του συνδετικού κρίκου μεταξύ των σχεδιαστών κυκλωμάτων και της κατασκευής ενός ολοκληρωμένου κυκλώματος.

Έχουμε δύο κατηγορίες διατάξεων μοντέλων [4], [5], δηλαδή numerical

device simulation models (αριθμητική διάταξη μοντέλων προσομοίωσης) και τα compact models. Προσομοιωτές αριθμητικής διάταξης χρησιμοποιούνται για τη μελέτη της

φυσικής της διάταξης και για τη πρόβλεψη της ηλεκτρικής, οπτικής (optical) και θερμικής συμπεριφοράς μιας διάταξης.

Οι προσομοιωτές αριθμητικής διάταξης λύνουν μια σειρά (μερικών διαφορικών) εξισώσεων που συσχετίζονται με τη φυσική του μηχανισμού λειτουργίας της συσκευής, όμως οι πολύ μεγάλες απαιτήσεις που έχουν σε υπολογιστική ισχύ και μνήμη τους εμποδίζει να χρησιμοποιηθούν για προσομοίωση κυκλωμάτων.

Από την άλλη πλευρά, τα compact models ή μοντέλα ισοδύναμου κυκλώματος περιγράφουν τις τερματικές ιδιότητες (terminal properties) της συσκευής με ένα απλοποιημένο σύνολο εξισώσεων ή από ένα μοντέλο ισοδύναμου κυκλώματος.

Σκοπός του compact model είναι να δίνει απλές, γρήγορες και ακριβείς αναπαραστάσεις της συμπεριφοράς μιας MOS διάταξης. Τα compact models είναι αναγκαία για την αξιολόγηση των επιδόσεων και λειτουργία ολοκληρωμένων κυκλωμάτων που περιέχουν μια μεγάλη ποσότητα από τρανζίστορ.

Τα MOSFET compact models χωρίζονται σε τρεις κατηγορίες:

- (1) Physical models (φυσικών μοντέλων): βασίζονται στη φυσική του MOSFET,
- (2) Table lookup models: περιέχουν δεδομένα για τη διάταξη υπό τη μορφή πινάκων
- (3) Empirical models (εμπειρικά μοντέλα), τα οποία αναπαριστούν τα χαρακτηριστικά της συσκευής με εξισώσεις που ταιριάζουν δεδομένα.

Τα φυσικά μοντέλα παίρνουν αρκετό χρόνο να αναπτυχθούν αλλά μόλις γίνουν ώριμα, αποκτούν σημαντικά πλεονεκτήματα: οι παράμετροι έχουν φυσική έννοια δηλαδή οι επιπτώσεις από τη γεωμετρία της συσκευής, οι τεχνολογικές παράμετροι και η θερμοκρασία μπορούν να αποδοθούν. Μπορεί να εφαρμοστεί στατιστική μοντελοποίηση για πρόβλεψη της περιοχής

λειτουργιάς [6] και σε πολλές περιπτώσεις, το μοντέλο μπορεί να εφαρμοστεί σε διαφορετική γενιά τεχνολογιών Αλλάζοντας απλά τις τιμές των παραμέτρων.

1.3 Σύντομη ιστορία των compact MOS transistor models

Προς το τέλος της δεκαετίας του '60 και της αρχής της δεκαετίας του '70, άρχισαν να αναπτύσσονται προγράμματα προσομοίωσης που στόχευαν στην ανάλυση των μη γραμμικών κυκλωμάτων. Σκοπός αυτής της ανάπτυξης ήταν κυρίως για τη δοκιμή νέων κυκλωμάτων που διατεθέντα από το εκκολαπτόμενο, τότε, τομέα των ολοκληρωμένων κυκλωμάτων. Το SPICE (Simulation Program with Integrated Circuit Emphasis), που εκδίδεται το 1972, είναι το πιο απτό αποτέλεσμα της προσπάθειας στην ανάπτυξη των προγραμμάτων προσομοίωσης στο UC Berkeley [7]. Από την αρχή του, το SPICE ή ένα από τα πολλά παράγωγά του είναι ένα ανεκτίμητο στοιχείο συμπεριφοράς στην αξιολόγηση της απόδοσης ολοκληρωμένου κυκλώματος πριν από την ολοκλήρωσή (integration) του [8].

Απαραίτητα για κάθε προσομοιωτή τύπου SPICE είναι τα στοιχειώδη μοντέλα (element models) και συγκεκριμένα τα compact model για τα MOS transistor.

Το πρώτο MOSFET μοντέλο για τον προσομοιωτή κυκλωμάτων SPICE, το επίπεδο 1 μοντέλο (Level 1 model), αποκαλούμενο συχνά μοντέλο Shichman-Hodges model [9], είναι ένα απλουστευμένο προτοτάξιο μοντέλο κατάλληλο μόνο για transistors με μακρύ-κατά (long-channel). Το επίπεδο 1 περιγράφει την εξάρτηση του ρεύματος από τάσεις, για τάσεις της πύλης (gate) μεγαλύτερες από την τάση κατωφλίου (threshold voltage). Το ρεύμα, για τάση πύλης μικρότερη από τη τάση κατωφλίου, θεωρείται μηδέν και επιπλέον οι χωρητικότητες των τερματικών (terminal capacitances), που περιγράφονται από το μοντέλο Meyer [10], δεν συντηρούν το φορτίο (charge-conserving).

Το Level 2 model (επίπεδο 2) λύνει δευτεροτάξια φαινόμενα που συνδέονται με τις συσκευές μικρής-γεωμετρίας (small-geometry). Αντίθετα από το Level 1 model, το sub-threshold ρεύμα δεν είναι ίσο με μηδέν. Το χωρητικό μοντέλο μπορεί να είναι είτε το μοντέλο Meyer [10] είτε το μοντέλο Ward-Dutton model

[11], τα τελευταία συντηρούν τις φορτίσεις. Το Level 2 model είναι υπολογιστικά πολύ σύνθετο και αντιμετωπίζει συχνά προβλήματα σύγκλισης [5][12]. Τα πολλά μειονεκτήματα του επιπέδου 2 σχολιάζονται εκτενώς μέσα στο [3].

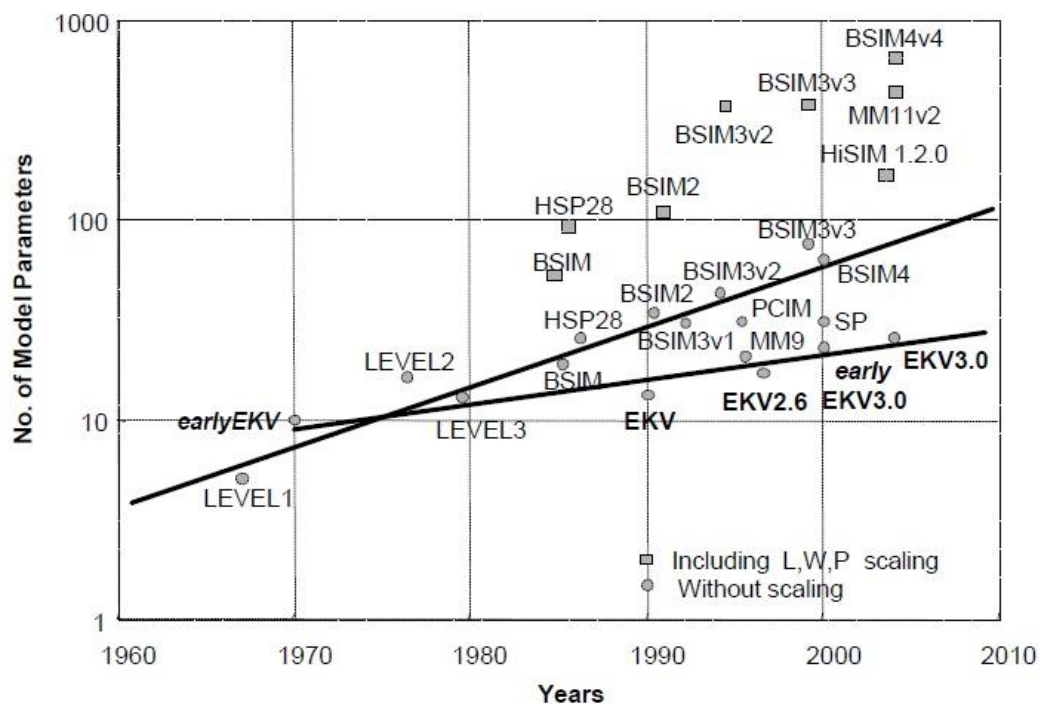
Η γρήγορη εξέλιξη της τεχνολογίας MOS στη δεκαετία του '80 έδειξε ότι τα μοντέλα Level 1 2, και δεν ήταν σαφώς κατάλληλα να προσομοιώνουν αποτελεσματικά κυκλώματα με μεγάλο αριθμό, πάντα μικρότερων γεωμετριών, transistor. Μια διαφορετική φιλοσοφία διαμόρφωσης από αυτή που χρησιμοποιήθηκε για τα μοντέλα πρώτης γενεάς υιοθετήθηκε έπειτα. Το BSIM (Berkeley Short-Channel IGFET Model) [13] εγκαινίασε τη δεύτερη γενεά της μοντελοποίησης MOS transistor, που έβαλε λιγότερη προσπάθεια στην ανάπτυξη φυσικών μοντέλων και επικεντρώθηκε στα μαθηματικά για γρηγορότερη και πιο ικανή (robust) προσομοίωση κυκλωμάτων [3]. Τα προβλήματα σύγκλισης και η αρνητική αγωγιμότητα εξόδου ήταν μερικά από τα προβλήματα που εμπόδισαν τη χρήση του BSIM για το σχεδιασμό αναλογικών κυκλωμάτων. Δύο μετέπειτα εξελίξεις, οι BSIM2 και HSPICE Level 28, με περιεκτικές τροποποιήσεις του BSIM, κατέστησαν τους προσομοιωτές δεύτερης γενεάς κατάλληλους για σχεδιασμό αναλογικών ολοκληρωμένων (IC) κυκλωμάτων [12]. Οι σημαντικότερες ανεπάρκειες των μοντέλων δεύτερης γενεάς είναι η εμπειρική και σύνθετη υλοποίηση τους, η οποία ενσωματώνει διάφορες παραμέτρους χωρίς σαφείς φυσικές έννοιες [12].

Το BSIM3 και η επέκταση της BSIM4, μαζί με το MOS Model 9, που παρουσιάστηκε στο δημόσιο τομέα από την Philips, άρχισε την τρίτη γενιά μοντέλων [12] τη δεκαετία του '90, η οποία επανεισήγαγε τη φυσική βάση στα μοντέλα. Η χρήση της λειτουργίας λείανσης συναρτήσεων (smoothing functions) στα μοντέλα τρίτης γενιάς παρέχει συνεχή και ομαλή συμπεριφορά των χαρακτηριστικών του transistor σε όλες τις περιοχές λειτουργίας του.

Το μοντέλο EKV είναι ένα μαθηματικό μοντέλο των Metal-Oxide Semiconductor τρανζίστορ πεδιακού φαινομένου (Field-Effect Transistors) [14]. Αναπτύχθηκε από τους C. C. Enz, F. Krummenacher, και E. A. Vittoz (εξού και τα αρχικά EKV) περί του 1995, βασισμένο εν μέρει σε εργασία που είχαν κάνει την δεκαετία του 1980 [16]. Το μοντέλο EKV είναι ακριβές ακόμα και όταν το

MOSFET λειτουργεί στην περιοχή κάτω από την τάση κατωφλίου (subthreshold region). Επιπλέον, περιγράφει πολλά ειδικά φαινόμενα που εμφανίζονται στη σχεδίαση ολοκληρωμένων κυκλωμάτων με υπομικρομετρικές (submicron) τεχνολογίες CMOS.

Το μοντέλο EKV2.6 [17] και EKV3 [18] είναι μοντέλα τέταρτης γενεάς, και ανήκουν στα «μοντέλα φορτίων», δηλαδή βασίζονται σε μια ακριβέστατη προσέγγιση των φορτίων αναστροφής συναρτήσει των τάσεων πόλωσης του τρανζίστορ. Είναι και οι δυο “charge conserving”, φυσικά μοντέλα. Το EKV2.6 μοντέλο έχει χρησιμοποιηθεί ευρέως στην και στην διδασκαλία λόγω της σχετικά απλής δομής του. Το EKV3 μοντέλο είναι προσανατολισμένο στη σχεδίαση αναλογικών και RF κυκλωμάτων έως και 45nm CMOS τεχνολογία πυριτίου [19]. Το EKV3 μοντέλο όπως και ο προκάτοχός του βρίσκονται σε πολλά πακέτα προσομοίωσης κυκλωμάτων, και χρησιμοποιούνται ευρέως από ερευνητικές ομάδες σχεδίασης. Τα μοντέλα EKV χρησιμοποιούν τον ακροδέκτη του bulk ως σημείο αναφοράς, και η δομή του είναι πλήρως συμμετρική. Ένα σημαντικό πλεονέκτημα των μοντέλων EKV είναι ο συγκριτικά μικρός αριθμός βασικών παραμέτρων που χρησιμοποιούν, βλέπε Εικόνα 1.1.



Εικόνα 1.1: Παρουσιάζει τον αριθμό των παραμέτρων για κάθε μοντέλο καθώς και την εξέλιξη τους στο χρόνο.

Βιβλιογραφία

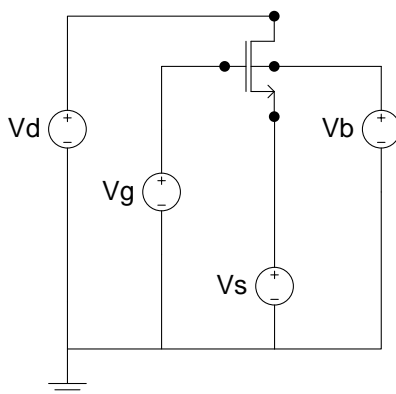
- [1] C. Mead and L. Conway, Introduction to VLSI Systems, Addison–Wesley, Reading, Mass., 1980.
- [2] Chih-Tang Sah, “Evolution of the MOS transistor – From conception to VLSI”, Proc. IEEE, vol. 76, no. 10, pp. 1280-1326, Oct. 1988.
- [3] D. P. Foty, MOSFET Modeling with SPICE - Principles and Practice, Prentice Hall, Upper Saddle River, NJ, 1997.
- [4] H. C. de Graaff and Francois M. Klaassen, Compact Transistor Modelling for Circuit Design, Springer-Verlag, Wien, 1990.
- [5] N. Arora, MOSFET Models for VLSI Circuit Simulation Theory and Practice, Springer-Verlag, Wien, 1993.
- [6] Y. Tsividis, Operation and Modeling of the MOS Transistor, 2nd ed., McGraw- Hill, Boston, 1999.
- [7] A. Vladimirescu, The SPICE Book, John Wiley & Sons, New York, 1994.
- [8] K. S. Kundert, The Designer’s Guide to SPICE & SPECTRE, Kluwer Academic Publishers, Boston, 1995.
- [9] H. Shichman and D. A. Hodges, “Modeling and simulation of insulated-gate field-effect transistor switching circuits,” IEEE J. Solid-State Circuits, vol. 3, no. 5, pp. 285-289, Sep. 1968.
- [10] J. E. Meyer, “MOS models and circuit simulation,” RCA Review, vol. 32, pp. 42- 63, Mar. 1971.
- [11] D. E. Ward and R. W. Dutton, “A charge-oriented model for MOS transistor capacitances,” IEEE J. Solid-State Circuits, vol. 13, no. 5, pp. 703-708, Oct. 1978.
- [12] W. Liu, “MOSFET Models for SPICE Simulation, Including BSIM3v3 and BSIM4”, John Wiley & Sons, New York, 2001.
- [13] B. J. Sheu, D. L. Scharfetter, P. Ko, and M. Jen, “BSIM: Berkeley Short-Channel IGFET Model for MOS transistors,” IEEE J. Solid-State Circuits, vol. 22, no. 4, pp. 558-566, Aug. 1987.
- [14] C. C. Enz, F. Krummenacher, and E. A. Vittoz, “An analytical MOS transistor model valid in all regions of operation and dedicated to low-voltage and low-current applications,” J. Analog Integr. Circuits Signal Process., vol. 8, pp. 83-114, July 1995.
- [15] J. Watts, C. McAndrew, C. Enz, C. Galup-Montoro, G. Gildenblat, C. Hu, R. van Langevelde, M. Miura-Mattausch, R. Rios, C. Sah, “Advanced compact models for MOSFETs,” Proc. Workshop on Compact Modeling, Nanotech 2005, pp. 3-12.
- [16] Enz, C. C.; Krummenacher, F. & Vittoz, E.A., "A CMOS Chopper Amplifier", IEEE Journal of Solid-State Circuits 22 (3): 335-342, June 1987.
- [17] M. Bucher, “Analytical MOS Transistor Modelling for Analog Circuit Simulation”, Ph.D. Thesis No 2114, Swiss Federal Institute of Technology, Lausanne (EPFL), Switzerland, 1999.
- [18] J.-M. Sallese, M. Bucher, F. Krummenacher, P. Fazan, “Inversion Charge Linearization in MOSFET Modeling and Rigorous Derivation of the EKV Compact Model”, Solid-State Electronics, Vol. 47, pp. 677-683, 2003.
- [19] M. Bucher, A. Bazigos, S. Yoshitomi, N. Itoh, “A Scalable Advanced RF IC Design-Oriented MOSFET Model”, Int. Journal of RF and Microwave Computer Aided Engineering, Vol. 18, No. 4, pp. 314-325, July 2008.

Κεφάλαιο 2

Benchmarks για επιβεβαίωση της ορθής λειτουργίας μοντέλων MOSFET.

2.1 CMC benchmarks για έλεγχο της ορθής λειτουργίας MOSFET μοντέλων[1]

Είναι μια διαδικασία δοκιμής για την επικύρωση MOSFET μοντέλων που χρησιμοποιούνται σε προσομοιωτές κυκλωμάτων. Αποτελείται από 10 τεστ που καλύπτουν όλες τις περιοχές της λειτουργίας ενός MOSFET (subthreshold, γραμμική και κορεσμό) καθώς επίσης της συνοχής και της ομαλότητας μέσα και μεταξύ αυτών των περιοχών. Επιπλέον, διάφορα τεστ ελέγχουν σημαντικά φαινόμενα όπως ο κορεσμός ταχύτητας (velocity saturation), η διαμόρφωση μήκους καναλιών (channel length modulation -CLM), punchthrough και drain induced barrier lowering (DIBL).



Εικόνα 2.11 Τρανζίστορ NMOS πολωμένο με τέσσερις διακριτές πηγές τάσης. Χρησιμοποιείται σε όλα τα CMC tests καθώς και σε μερικά από τα υπόλοιπα τεστ όπως την εύρεση του I_{spec} .

2.1.1 Κύκλωμα 1: επιβεβαίωση εξισώσεων του μοντέλου για απαλές μεταβάσεις κάτω και πάνω από το threshold.

Γραφικές : (I_d - V_{gs}) – ($\log I_d$ - V_{gs}) – (g_m - V_{gs})

Παράμετροι (ενδεικτικά)

V_{gs} = σάρωση από 0 έως 5 volt με βήμα 0.05 volt

V_{ds} = 0.1 V

$V_{bs} = 0, -1, -2, -3 \text{ V}$

Θερμοκρασία = 27 Co

$L = (\text{long device})$

$W = (\text{wide device})$

Επιθυμητά αποτελέσματα

- απαλή μετάβαση στο όριο του threshold, χωρίς να περιέχει ασυνέχειες ή απότομες μεταβολές.
- Η κορυφή του g_m πρέπει να ελαττώνεται με την αύξηση του V_{bs} .

2.1.2 Κύκλωμα 2: επιβεβαίωση εξισώσεων του μοντέλου στη περιοχή του subthreshold για διαφορετικά μήκη καναλιού.(DIBL effect)

Γραφικές: $(I_d - V_{gs}) - (\log I_d - V_{gs})$

Παράμετροι (ενδεικτικά)

V_{gs} σάρωση από -1 έως 1 volt με βήμα 0.05 volt

$V_{ds} = 0.1, 1, 2 \text{ V}$

$V_{bs} = 0$

Θερμοκρασία = 27 Co

$L = (\text{short έως long device})$

$W = (\text{wide device})$

Επιθυμητά αποτελέσματα

- Η ταλάντευση στη subthreshold περιοχή αυξάνεται όσο το μήκος του transistor μικραίνει (deep submicron.)
- Το subthreshold ρεύμα του drain των μακριών συσκευών (long device) είναι ανεξάρτητο από την τάση του drain με βήμα ενώ για τα deep submicron transistors ο διαχωρισμός των καμπυλών εμφανίζεται και γίνεται μεγαλύτερος καθώς η τάση του drain αυξάνεται.

2.1.3 Κύκλωμα 3: Επιβεβαίωση εξισώσεων του μοντέλου για long, short και deep submicron devices - επίδραση μήκους καναλιού στην τάση του threshold. (DIBL effect)

Γραφικές: (V_{th} -log L)

Παράμετροι (ενδεικτικά)

$V_{ds}=0.1, 1, 2 \text{ V}$

$V_{gs}=1 \text{ V}$

$V_{bs} = 0$

Θερμοκρασία = 27 Co

L = σάρωση από short έως long device με βήμα of 0.05u

W = (wide device)

Επιθυμητά αποτελέσματα

- Η τάση threshold μειώνεται όσο μειώνουμε το μήκος του καναλιού.
- Η τάση threshold εξαρτάται από το doping concentration και το junction depth.

2.1.4 Κύκλωμα 4: επιβεβαίωση εξισώσεων του μοντέλου για short channel effects.

Γραφικές: (V_{th} - W)

Παράμετροι (ενδεικτικά)

$V_{ds}=0.1, 1, 2 \text{ V}$

$V_{gs}=1 \text{ V}$

$V_{bs} = 0$

Θερμοκρασία = 27 C o

L= (long device)

W = σάρωση από narrow έως wide με βήμα 0.1u

Επιθυμητά αποτελέσματα

- Η τάση threshold αυξάνεται με τη μείωση του πλάτους του καναλιού.

- Η τάση threshold εξαρτάται από το doping concentration και το junction depth.

2.1.5 Κύκλωμα 5: επιβεβαίωση εξισώσεων κινητικότητας (mobility) του μοντέλου για short channel effects και πόσο ευαίσθητο είναι το μοντέλο στη αλλαγή τις τάσης του drain στη γραμμική περιοχή.

Γραφικές : (I_d - V_{gs}) – (g_m - V_{gs})

Παράμετροι (ενδεικτικά)

V_{gs} σάρωση από 0 έως 2 volt με βήμα 0.05 volt

V_{ds} σάρωση από 0.02 έως 0.1 volt με βήμα 0.02 volt

$V_{bs} = 0$ V

Θερμοκρασία = 27 Co

L =(short,long device)

W = (wide device)

Επιθυμητά αποτελέσματα

- Απαλή μετάβαση στο όριο του threshold, χωρίς να περιέχει ασυνέχειες η απότομες μεταβολές
- Η κορυφή του g_m πρέπει να ελαττώνεται με την αύξηση του V_{bs} .
- Πρέπει να σημειωθεί ότι το ποσοστό υποβάθμισης της transconductance στο deep submicron transistor αυξάνεται στις μεγαλύτερες τάσεις του drain.

2.1.6 Κύκλωμα 6: επιβεβαίωση εξισώσεων του μοντέλου για χαμηλές θερμοκρασίες, στη subthreshold και γραμμική περιοχή.

Γραφικές : (I_d - V_{gs}) – ($\log I_d$ - V_{gs}) – (g_m - V_{gs})

Παράμετροι (ενδεικτικά)

V_{gs} = σάρωση από 0 έως 2 volt με βήμα 0.02volt

$V_{ds}=0.05$ V

$V_{bs} = 0$ V

Θερμοκρασία = -100, -75, -50, -25, 0, 27 Co

L = (short, long device)

W = (wide device)

Επιθυμητά αποτελέσματα

- Ένα καλό μοντέλο θα παρουσιάζει απαλή και συνεχή αύξηση τις τάσης threshold και της μέγιστης τιμής της διαγωγιμότητας.
- Ένα καλό μοντέλο θα δείχνει την μείωση τις εναλλαγής του subthreshold στις χαμηλές θερμοκρασίες.
- Ο ρυθμός πτώσης τις διαγωγιμότητας (στο deep submicron) γίνεται πιο έντονος σε υψηλή τάση του gate.

2.1.7 Κύκλωμα 7 επιβεβαίωση εξισώσεων για περιοχή τριόδου και κορεσμού.(CLM and DIBL effect)

Γραφικές : (Id-Vds) – (Gd-Vds) – (Rout-Vds)

Παράμετροι (ενδεικτικά)

Vds =σάρωση από 0 έως 4 volt με βήμα 0.02 volt

Vgs = 2 V

Vbs = 0 V

Θερμοκρασία = - 27 Co

L = (short εως long device)

W = (wide device)

Επιθυμητά αποτελέσματα

- Ένα καλό μοντέλο θα παρουσιάζει ομαλή μετάβαση από την τριόδο στο κορεσμό, χωρίς ασυνέχειες ή μεγάλες μεταβολές.
- Η τάση κορεσμού (Vdsat) μειώνεται όταν μειώνεται και το μήκος του καναλιού.
- Δεν πρέπει να υπάρχει αρνητικό Gd

2.1.8 Κύκλωμα 8 επιβεβαίωση εξισώσεων υπό συνθήκες υψηλού πεδίου (velocity saturation, CLM and DIBL) στη περιοχή κορεσμού

Γραφικές : (Id-Vds) – (Gd-Vds) – (Rout-Vds)

Παράμετροι (ενδεικτικά)

Vds = σάρωση από 0 έως 4 volt με βήμα 0.02 volt

Vgs = 0, 1, 1.5, 2, 2.5, 3 V

Vbs = 0 V

Θερμοκρασία = 27 Co

L = (short medium long device)

W = (wide device)

Επιθυμητά αποτελέσματα

- Ένα καλό μοντέλο θα παρουσιάζει το ρεύμα κορεσμού του πολύ κοντού transistor να είναι γραμμικά εξαρτημένο από την τάση του gate, παρά ένα πολύ μακρύ transistor (quadratic dependency).
- Η αγωγιμότητα πρέπει να είναι ψηλότερη στις κοντές (short) συσκευές παρά στις μακριές (long) συσκευές.

2.1.9 Κύκλωμα 9 επιβεβαίωση εξισώσεων (mobility) σε χαμηλές θερμοκρασίες στη περιοχή του κορεσμού

Γραφικές : (Id-Vds) – (Gd-Vds) – (Rout-Vds)

Παράμετροι (ενδεικτικά)

Vds σάρωση από 0 έως 4 volt με βήμα 0.02 volt

Vgs = 2 V

Vbs = 0 V

Θερμοκρασία = -100, -75, -50, -25, 0, 27 Co

L = (short long device)

W = (wide device)

Επιθυμητά αποτελέσματα

- Ένα καλό μοντέλο θα παρουσιάζει ομαλή και συνεχή αύξηση του σημείου κορεσμένου του ρεύματος drain.
- Δεν θα έχει περιοχές αρνητικού G_d

2.1.10 Κύκλωμα 10 επιβεβαίωση των εξισώσεων για substrate ρεύμα και οι συνέπειες του ionization effect.

Γραφικές : ($I_{sub}-V_{gs}$) – ($\log I_{sub}-V_{gs}$)

Παράμετροι (ενδεικτικά)

V_{gs} σάρωση από 0 έως 5 volt με βήμα 0.02 volt

$V_{ds} = 2.5, 3, 3.5, 4 \text{ V}$

$V_{bs} = 0 \text{ V}$

Θερμοκρασία = 27 Co

L =(long device)

W =(wide device)

Επιθυμητά αποτελέσματα

Το I_{sub} πρέπει να έχει σχήμα καμπάνας, με κορυφή το σημείο που το V_{ds} είναι μισό.

2.2 Διάφορα benchmarks για έλεγχο της ορθής λειτουργιάς MOSFET μοντέλων

Μια συλλογή από διάφορα benchmark τεστ που αναδεικνύουν διάφορα προβλήματα των μοντέλων όπως τα τεστ συμμετρίας drain-source, χωρητικότητες και διαγωγιμότητες. Επίσης κάποια τεστ ελέγχουν κάποια κυκλώματα τα οποία λειτουργούν στη πράξη αλλά έχουν προβλήματα στη μοντελοποίηση.

2.2.1 Διαχωρητικότητες

Βάση των φορτίων στους ακροδέκτες της διάταξης υπολογίζονται οι διαχωρητικότητες της διάταξης.

Εφόσον η διάταξη έχει 4 ακροδέκτες, ορίζονται 16 διαχωρητικότητες.

$$\begin{aligned} C_{GG} &= +\frac{\partial Q_G}{\partial V_G} & C_{GS} &= -\frac{\partial Q_G}{\partial V_S} & C_{GD} &= -\frac{\partial Q_G}{\partial V_D} & C_{GB} &= -\frac{\partial Q_G}{\partial V_B} \\ C_{SG} &= -\frac{\partial Q_S}{\partial V_G} & C_{SS} &= +\frac{\partial Q_S}{\partial V_S} & C_{SD} &= -\frac{\partial Q_S}{\partial V_D} & C_{SB} &= -\frac{\partial Q_S}{\partial V_B} \\ C_{DG} &= -\frac{\partial Q_D}{\partial V_G} & C_{DS} &= -\frac{\partial Q_D}{\partial V_S} & C_{DD} &= +\frac{\partial Q_D}{\partial V_D} & C_{DB} &= -\frac{\partial Q_D}{\partial V_B} \\ C_{BG} &= -\frac{\partial Q_B}{\partial V_G} & C_{BS} &= -\frac{\partial Q_B}{\partial V_S} & C_{BD} &= -\frac{\partial Q_B}{\partial V_D} & C_{BB} &= +\frac{\partial Q_B}{\partial V_B} \end{aligned} \quad (2.1)$$

Θέτουμε $V_{ds}=0V$

Κάνουμε τη ανάλυση σε ημιστατική λειτουργία (quasi-static (QS)), δηλαδή λειτουργά σε χαμηλές συχνότητες ώστε να αποφύγουμε φαινόμενα καθυστέρησης και θεωρούμε ότι σε αυτή τη λειτουργία η αντίδραση των φορτίων είναι ακαριαία στις εξωτερικές μεταβολές των τάσεων.

Παίρνουμε πληροφορίες που αφορούν τη συμμετρία της διάταξης σε φυσικό αλλά και σε ηλεκτρικό επίπεδο (οι διαχωρητικότητες σε αυτό το τεστ δεν είναι κοινωνικοποιημένες με το όριο $C'_{ox} \cdot W_{eff} \cdot L_{eff}$).

Αρνητικές τιμές πρέπει να εμφανίζουν μόνο οι C_{ds} και C_{gs} .

2.2.2 Συμμετρία μοντέλου σε AC και DC ανάλυση [2]

Σε αρκετά MOSFET υπάρχει συμμετρία, σε φυσικό επίπεδο, μεταξύ drain-source οπότε και τα μοντέλα τους πρέπει να είναι ηλεκτρικός συμμετρικά γύρω από το $V_{ds}=0$.

Αρκετά από τα compact μοντέλα δίδουν το επιθυμητό $I_{ds}=0$ για $V_{ds}=0$ αλλά όχι και για την πρώτη παράγωγο (derivative) η οποία δίνει διαφορετικά όρια ($\lim V_{ds} \rightarrow 0$) δεξιά και αριστερά του $V_{ds}=0$.

Είναι σημαντικό να έχουμε μια ομαλή μετάβαση των ρευμάτων και φορτίων στη περιοχή που αλλάζει το πρόσημο της τάσης του V_{ds} . (δηλ. κοντά στο $V_{ds}=0$)

Το κλασσικό τεστ που χρησιμοποιείται για έλεγχο της λειτουργίας του τρανζίστορ σε αυτή τη περιοχή είναι το Gummel symmetry test (GST). Όμως παρουσιάζει σημαντικά μειονεκτήματα καθώς μπορεί να ελέγξει μόνο την DC λειτουργία ενός

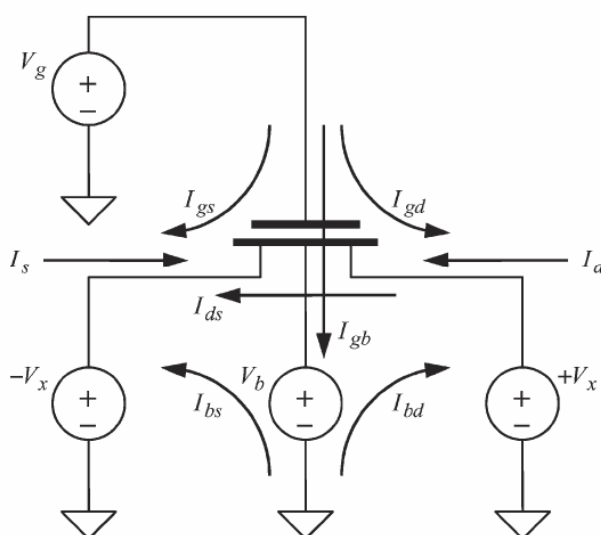
μοντέλου. Αλλά ακόμα και για αυτή δίνει λάθος δεδομένα όταν το μοντέλο μας περιέχει gate-drain και bulk-drain ρεύματα.

Το τεστ αυτό ακολουθεί τη γενική ιδέα του GST, δημιουργώντας μια συνάρτηση μιας μεταβλητής (διαφορά δυναμικού μεταξύ drain-source) η οποία θα πρέπει να είναι μονή συνάρτηση. Εξετάζοντας αυτή τη συνάρτηση μπορούμε να μελετήσουμε τη συμμετρία του MOSFET.

2.2.2.1 Συμμετρία drain source σε DC ανάλυση.

Διαφέρει από το GST επειδή το drain-source είναι διαφορεικά τοποθετημένα γύρω από το 0, ενώ στο GST είναι διαφορεικά τοποθετημένα γύρω από μια κοινή τάση (common DC offset).

Αυτό πετυχαίνεται προσαρμόζοντας τις τάσεις του gate και bulk ώστε το δυναμικό μεταξύ drain-source να είναι 0.



Εικόνα 2.2 Το κύκλωμα ανάλυσης της συμμετρίας ενός μοντέλου σε DC ανάλυση. Παρουσιάζονται οι πολώσεις καθώς και τα ρεύματα που διέπουν το τρανζιστορ. Ενδιαφέρον προκαλούν τα ρεύματα που προέρχονται από τους ακροδέκτες gate και bulk, που διαφοροποιούν αυτό το τεστ από το GST.

Η ποσότητα $I_x = (I_d - I_s)/2$ είναι μόνη συνάρτηση του V_x . Μας δίνει $I_x(V_x=0)=0$.

Αυτό το βελτιωμένο τεστ ισχύει και στην περίπτωση παρουσίας ρευμάτων στο bulk και gate.

Λειτουργία του τεστ

Σαρώνουμε το V_x από αρνητικές τιμές σε θετικές (κοντά στη περιοχή του $V_x=0$).

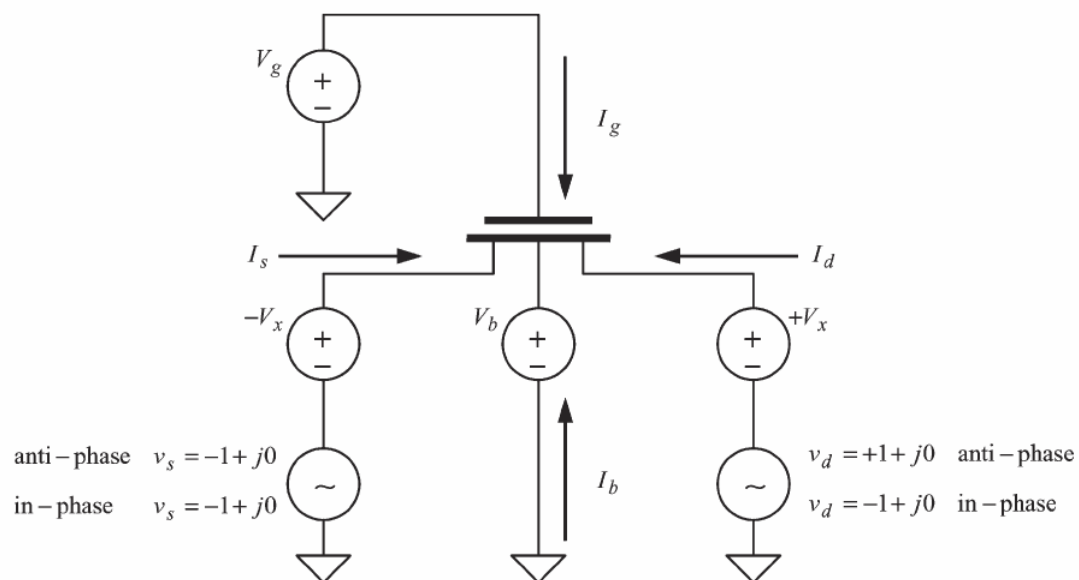
Παίρνουμε το ρεύμα I_x (δηλ το $(I_d - I_s)/2$) και τις παραγώγους του σχηματίζοντας τις γραφικές $I_x - V_x$, $\delta I_x / \delta V_x - V_x$ μέχρι τη Ν παράγωγο του I_x .

Επιθυμητά αποτελέσματα.

Το ρεύμα I_x και οι παράγωγοι του πρέπει να είναι συνεχείς και λείες συναρτήσεις της μεταβαλλόμενης τάσης V_x .

Σημείωση : απουσία ρευμάτων bulk και gate το τεστ είναι ισοδύναμο με το GST.

2.2.2.2 Συμμετρία drain source σε AC ανάλυση



Εικόνα 2.3 3 Κύκλωμα ανάλυσης της συμμετρίας ενός μοντέλου σε AC ανάλυση.

Κάνουμε ανάλυση μικρού σήματος σε quasi-static λειτουργία. Η AC τάση είναι σε συχνότητα $f = \frac{1}{2} \pi$. Αλλάζοντας τη φάση των AC τάσεων παίρνουμε τιμές $ig_- = \text{img}(I_g)$ (με αντίθετη φάση) και $ig_+ = \text{img}(I_g)$ (με τη ίδια φάση).

Από αυτά βγάζουμε τις εξής εξισώσεις

$$\frac{i_g}{i_{g+}} = \frac{C_g}{C_g + C_{gs}} \quad (2.2)$$

$$\frac{i_{b-}}{i_{b+}} = \frac{C_{gs-} C_{gd-}}{C_{gs+} C_{gd+}} \quad (2.3)$$

Όπου οι ποσότητες delta cg και delta cb είναι μόνες συναρτήσεις του Vx

Το MOSFET όμως έχει 4 ακροδέκτες και με έλεγχο μόνο των 2 είναι δύσκολο να πάρουμε σωστή μονή συνάρτηση.

$$\frac{i_{b-}}{i_{b+}} = \frac{C_{gs-} C_{gd-}}{C_{gs+} C_{gd+}} \quad (2.4)$$

$$\frac{i_{b-}}{i_{b+}} = \frac{C_{gs-} C_{gd-}}{C_{gs+} C_{gd+}} \quad (2.5)$$

$$\frac{i_{b-}}{i_{b+}} = \frac{C_{gs-} C_{gd-}}{C_{gs+} C_{gd+}} \quad (2.6)$$

Λειτουργία του τεστ

Σαρώνουμε το Vx απο αρνητικές τιμές σε θετικές (κοντά στη περιοχή του Vx=0).

Περνούμε τα Ig-Is-Id με τις 2 AC πηγές αρχικά σε φάση και αργότερα με αντίθετη φάση.

Σχεδιάζουμε τις γραφικές δscg και δcsd καθώς και τις παραγώγους τους μέχρι N τάξη.

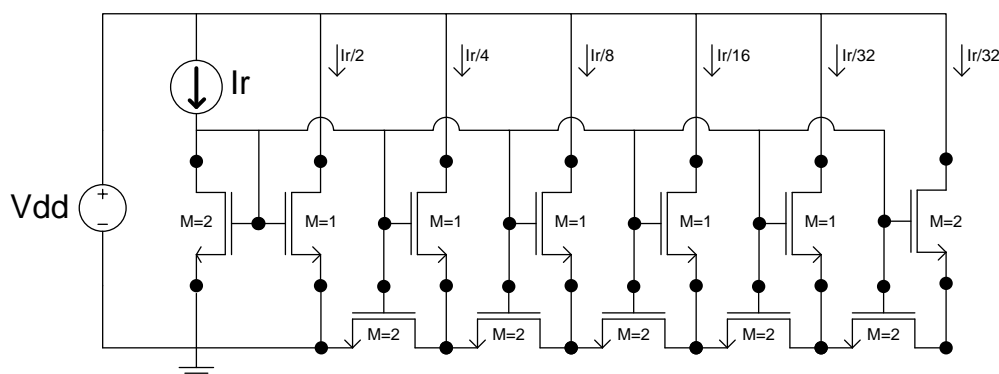
Αποτελέσματα

Ελέγχουμε μέχρι ποια τάξη υπάρχει παράγωγος. Όσο μεγαλύτερη η τάξη τόσο καλύτερο είναι το μοντέλο.

2.2.3 Διαιρέτης ρεύματος - R2R[3][4]

Είναι ένα κλασικό κύκλωμα της ηλεκτρονικής. Σκοπός του είναι η δημιουργία ρευμάτων που είναι υποπολλαπλάσια ενός ρεύματος αναφοράς. Όταν είχε πρωτοδοκιμαστεί, σε επίπεδο προσομοιώσεων, είχε φανεί ότι δεν λειτουργούσε ορθά. Αιτία για αυτό ήταν η λάθος μοντελοποίηση των κυκλωμάτων της εποχής.

Ακόμη και σήμερα τα περισσότερα μοντέλα δεν μπορούν να αποδώσουν το διαιρέτη ρεύματος με επάρκεια.



Εικόνα 2.4 4 Διαιρέτης ρεύματος σχεδιασμένος με MOSFET αντί για αντιστάσεις.
Αποτελείται από τρανζίστορ δυο γεωμετριών. Οι διατάξεις που συμβολίζονται με M=2 έχουν διπλάσιο πλάτος (δυο παράλληλα τρανζίστορ) από αυτές με πολλαπλασιαστή M=1.

Το κύκλωμα αποτελείται από MOSFET, αντί για αντιστάσεις, δυο μεγεθών. Οι διατάξεις με M=2 έχουν διπλάσιο πλάτος από αυτές με M=1, δηλαδή πιο συγκεκριμένα, τα τρανζίστορ με M=2 (πολλαπλασιαστής =2) είναι δυο τρανζίστορ ενωμένα παράλληλα. Το κύκλωμα δημιουργεί υποπολλαπλάσια ρεύματα σε σχέση με ένα ρεύμα αναφοράς, με συντελεστές ανάστροφους των ακέραιων δυνάμεων του 2 ($I_1 = \frac{I_r}{2}, I_2 = \frac{I_r}{4} \dots$). Η τελευταία περίπτωση $I_6 = \frac{I_r \cdot 2}{64} = \frac{I_r}{32}$ μπορεί να αγνοηθεί καθώς είναι 2 τρανζίστορ παράλληλα (M=2), που προσφέρουν περισσότερο περιθώριο λάθους.

$$I_n = \frac{I_r}{2^n} \quad (2.7)$$

2.2.4 Συντελεστής κλίσης (slope factor) n και τάσης pinch-off [5]

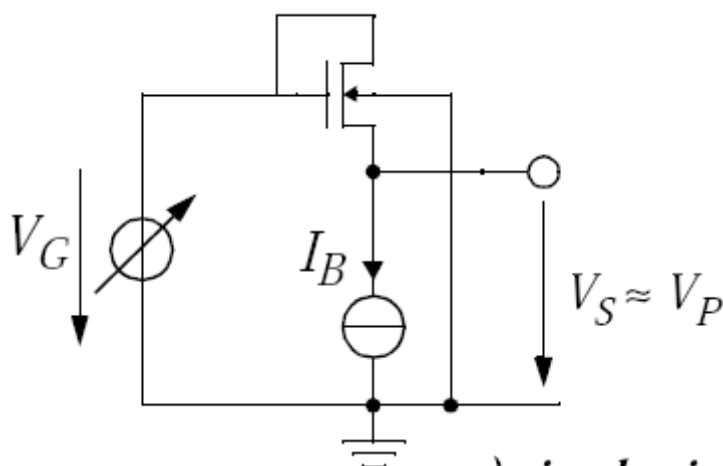
Η τάση κατωφλίου V_{to} , που συνεπώς επίσης αναφέρεται στο Bulk, ορίζεται ως η τάση της πύλης για την οποία η τάση αντιστροφής που διαμορφώνει το κανάλι είναι μηδέν, στην ισορροπία δυνάμεων (at equilibrium). Η pinch-off τάση V_P

αντιστοιχεί στην τάση του δυναμικού του καναλιού V_{ch} για το οποίο η τάση αντιστροφής γίνεται μηδέν σε μια κατάσταση μη ισορροπίας (non-equilibrium)

Σύμφωνα με [χ], η pinch-off τάση μπορεί να μετρηθεί στην πηγή(source), όταν είμαστε σε κορεσμό, για μια ιδιαίτερη αξία του ρεύματος του drain περίπου ίσο με το μισό το I_{spec} . Το τρανζίστορ είναι επομένως, αναγκαστικά, στη μέση της μέτρησης περιοχής αντιστροφής (MI). Το $V_p - V_g$ λαμβάνεται απλά με σάρωση της τάσης της πύλης(gate) και τη μέτρηση της τάσης της πηγής (source).

$$I_B \cong \frac{I_s}{2} \quad (2.8)$$

Ο συντελεστής κλίσης είναι απλά η κλίση της τάσης pinch-off από τη γραφική $V_p - V_g$.

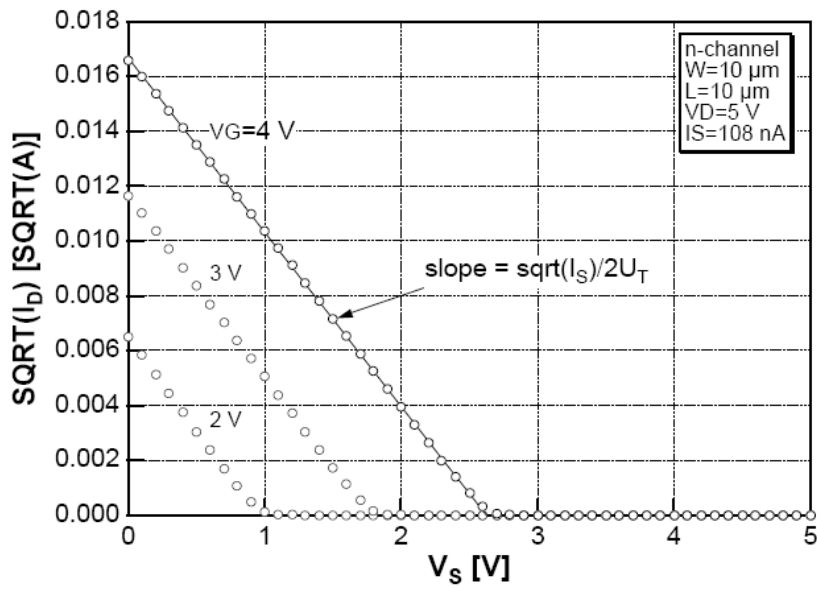


Εικόνα 2.5 5 Κύκλωμα εύρεσης της τάσης pinch-off η οποία είναι αντίστοιχη με τη τάση V_s όταν το τρανζίστορ πολωθεί με ρεύμα αντίστοιχο με το μισό I_{spec} .

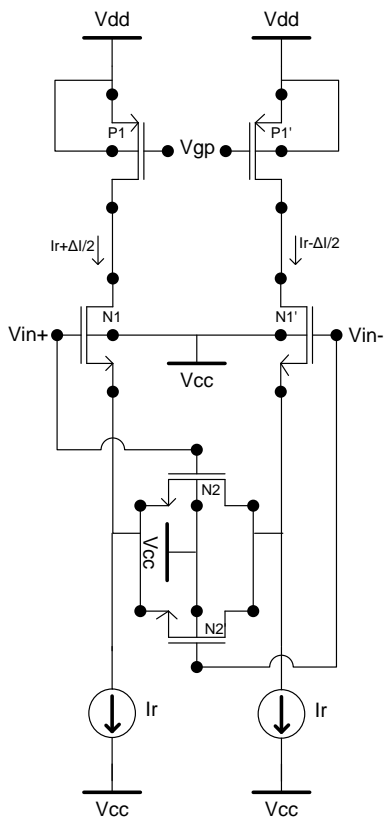
2.2.4.1 Εξαγωγή του ειδικού ρεύματος I_{spec} [5]

Το I_{spec} εξαρτάται από το μέγεθος της συσκευής οπότε πρέπει να καθορίζεται για οποιαδήποτε συσκευή πριν τη μέτρηση της τάσης pinch-off. Για μια δεδομένη τάση της πύλης (δηλ. μια σταθερή pinch-off τάση), μπορεί να καθοριστεί από την κλίση, σε ισχυρή αντιστροφή, της χαρακτηριστικής $\sqrt{I_d} - V_s$, που προέρχεται από την έκφραση του ρεύματος του drain στον κορεσμό :

$$\sqrt{I_d} = \frac{\sqrt{I_s}}{2J} (V_p - V_s) \quad (2.9)$$



Εικόνα 2.6 6 Παράδειγμα εύρεσης του Ispec. Για τη παραγωγή της γραφικής sqrt (Id)-Vs χρησιμοποιείται το κύκλωμα που παρουσιάζεται στη εικόνα 2.1.



Εικόνα 2.7- 7 Το διαφορεικό ζεύγος. Κύριο σημείο είναι η ένωση των ακροδεκτών source, του ζεύγους, με δυο τρανζίστορ που επεκτείνουν τη γραμμική περιοχή λειτουργίας του ζεύγους.

2.2.5 Γραμμικοποίηση διαφορικού ζεύγους.[6]

Το διαφορικό ζεύγος είναι ένα από τα πιο βασικά δομικά στοιχεία στα ολοκληρωμένα κυκλώματα. Στο συγκεκριμένο κύκλωμα παρατηρούμε κάποιες διαφορές σε σχέση με ένα κλασικό διαφορικό ζεύγος. Έχουμε 2 πηγές ρεύματος (I_p) για την πόλωση του διαφορικού ζεύγους ($N1, N1'$) καθώς επίσης και 2 τρανζίστορ ($N2, N2'$) που μεταβάλλουν τη πόλωση. Ουσιαστικά βοηθούν το διαφορικό ζευγάρι ώστε να μένει στη γραμμική περιοχή για μεγαλύτερο εύρος τάσης.

Στο τεστ αυτό μπορούμε να διακρίνουμε τη συμμετρία του μοντέλου μας (πώς συμπεριφέρεται κοντά στη περιοχή $V_{in} \approx 0$)

Τα τρανζίστορ PMOS ($P1, P1'$) έχουν τάση πύλης $V_g = V_{dd} - V_{th} - V_{ds}$ ώστε να δίνουν ρεύμα I_c στη μέτρια προς ισχυρή ανάστροφη.

Εύρεση γεωμετρίας

$$I_c = \frac{I_d}{I_o \cdot \frac{W}{L}} \Rightarrow W = \frac{I_d \cdot L}{I_o \cdot I_c} \quad (2.10)$$

Για τεχνολογία $0.25\mu m$ έχουμε ενδεικτικά $I_c = 10\mu A$ (M/SI), I_o (NMOS) $= 0.5\mu A$, $L_{min} = 0.24\mu m$

$$W = \frac{I_d \cdot L}{I_o \cdot I_c} \quad (2.11)$$

$$B = \mu C \alpha \frac{W}{L} \quad (2.12)$$

$$\frac{B_{N1}}{B_{N2}} = \frac{\frac{W_{N1}}{L_{N1}}}{\frac{W_{N2}}{L_{N2}}} \quad (2.13)$$

Στη καλύτερη περίπτωση [6] έχουμε $\frac{B_{N1}}{B_{N2}} = 8.5$ (2.14)

Γενικώς πρέπει

$$\frac{W_{N1}}{L_{N1}} = 8.5 \frac{W_{N2}}{L_{N2}} \quad (2.15)$$

2.2.6 Κανονικοποιημένες διαγωγιμότητες. [7] [8]

Η συνάρτηση $G(IC)$ είναι ο ιδανικός (κανονικοποιημένος) λόγος της διαγωγιμότητας ως προς ρεύμα.

$$G(IC) = \frac{1}{\frac{1}{2} + \sqrt{\frac{1}{4} + K}} \quad (2.16)$$

$$\text{Οπού } IC = \frac{I_d}{I_{spec}} \quad (2.17)$$

Χαρακτηρίζει όλες τις τεχνολογίες CMOS, είναι ανεξάρτητο από W, L (εκτός από short-channel τρανζίστορ), θερμοκρασία και από τις τάσεις V_g, V_d και V_s (σε λειτουργία κορεσμού)

Η «πειραματική» μορφή της μπορεί να διαφέρει λίγο από τη ιδανική λόγω της μείωσης της κινητικότητας, με το κάθετο πεδίο. Στα short-channel τρανζίστορ λόγω των φαινομένων velocity saturation και της επιρροής DIBL.

$$G = \frac{g_m \cdot U_t}{I_d} \quad (2.18)$$

Η αντίστοιχη κανονικοποίηση για το gate είναι

$$G_g = \frac{g_m \cdot U_t}{I_d} \quad (2.19)$$

Και σχετίζεται με τη κανονικοποιημένη διαγωγιμότητα του source μέσω του slope factor.

$$\frac{g_m \cdot U_t}{I_d} = \frac{g_m \cdot U_t}{I_d} \cdot r \quad (2.20)$$

Βιβλιογραφία

- [1] The Compact Model Council
see <http://www.eigroup.org/cmc/>
see <http://www.geia.org/index.asp?bid=597>
- [2] C.C. McAndrew, "Validation of MOSFET Model Source-Drain Symmetry", IEEE Trans. Electron Devices, vol. 53, no. 9, pp. 2202-2206, September 2006.
- [3] M. Bucher, F. Théodoloz, F. Krummenacher, "The EKV MOSFET Model for Circuit Simulation", October 1998, 1st HP MOS RF Workshop -15 -16 February 1999, Munich, Germany.
- [4] Antonios Bazigos, PhD Thesis, "Modelling of the MOS Transistor at. High Frequencies", National Technical University of Athens, 2008.
- [5] M. Bucher, C. Lallement, C. Enz, "An Efficient Parameter Extraction Methodology for the EKV MOST Model", Proc.1996 IEEE Int. Conf. on Microelectronic Test Structures, Vol. 9, pp. 145-150, March 1996
- [6] N. Joehl, PhD Thesis No997 (1992), EPFL.
- [7] M. Bucher, C. Lallement, C. Enz, F. Théodoloz, F. Krummenacher, "Scalable GM/I Based MOSFET Model", Proc. Int. Semicond. Device Research Symp., pp. 615-618, Charlottesville, VA, December 10-13, 1997.
- [8] M. Bucher, D. Kazazis, F. Krummenacher, D. Binkley, D. Foty, Y. Papananos, "Analysis of Transconductances at All Levels of Inversion in Deep Submicron CMOS", Proc. 9th IEEE Conf. on Electronics on Circuits & Systems (ICECS 2002), Vol. III, pp. 1183-1186, Dubrovnik, Croatia, September 15-18, 2002.

Κεφαλαίο 3

Περιγραφή του εργαλείου TUC MOSFET Benchmark test suite

Το πρόγραμμα έχει σκοπό να βοηθήσει στη σχεδίαση ολοκληρωμένων κυκλωμάτων καθώς και στην ανάπτυξη ή βελτίωση μοντέλων MOSFET. Προσφέρει βασικά τεστ για την λειτουργία των τρανζίστορ με απλό και αυτοματοποιημένο τρόπο.

Έχει δοκιμαστεί στα Cadence IC 5.1.41 , 5.1.41R5 και 6.13. Συνιστάται η έκδοση 6.10 (ή μεγαλύτερη) καθώς προσφέρει σημαντική αύξηση στη ταχύτητα προσομοίωσης.

3.1 Το κύριο πρόγραμμα στο Cadence

Στο CIW menu του Cadence [εικόνα 3-1] υπάρχει το TBTS όπου ομαδοποιούνται οι επιλογές του προγράμματος.

Αρχικά υπάρχουν οι ρυθμίσεις που χρησιμοποιούν όλα τα benchmarks, (αναλόγως την παράμετρο που χρειάζεται το κάθε test για να τρέξει, ειδικές ρυθμίσεις περιέχονται στη φόρμα του εκάστοτε τεστ.)

3.2 Περιγραφή της «General setup form»

Στη φόρμα για το general setup [Εικόνα 3- 2] περιέχονται οι βασικές ρυθμίσεις που απαιτεί το μοντέλο. Στο **Model file path** εισάγεται το μονοπάτι που βρίσκεται το μοντέλο (ή το spectre model card.). Η εισαγωγή μπορεί να γίνει με πληκτρολόγιο ή μέσω γραφικού περιβάλλοντος με το κουμπί **Unix Browse**.

Κάθε μοντέλο απαιτεί ένα όνομα, **Model Name**, το οποίο πρέπει να περικλείεται από διπλά εισαγωγικά. Στο πρόγραμμα υπάρχει η ενδεικτική τιμή "nmos". Κάποια μοντέλα έχουν πολλές περιοχές λειτουργιάς όπως typical, corner κτλ. Αυτό δηλώνεται στο **Model type (optional)** που είναι προαιρετικό σε κάποιες τεχνολογίες και μένει κενό.

Το πρόγραμμα περιέχει τεστ για NMOS η PMOS τρανζίστορ. Αυτό επιλέγεται από το **Mos selection** με αρχική τιμή «NMOS».

Στο τμήμα MOS parameter definition υπάρχουν οι βασικές επιλογές που χρησιμοποιούνται στα περισσότερα τεστ. Υπάρχει ο **Multiplier** όπου είναι ο

πολλαπλασιαστής του transistor, δηλ. αριθμό των transistor που είναι ενωμένα παράλληλα (δίνοντας μεγαλύτερο πλάτος με λιγότερο θόρυβο) με ελάχιστη επιλογή το 1. Η θερμοκρασία (σε βαθμούς Celsius) στην οποία λειτουργεί το τρανζίστορ, ορίζεται στο **Temperature**. Οι επιλογές **Ddrs (drain diffusion res square)** και **Sdrs (Source diffusion res square)** είναι προαιρετικές και εξαρτώνται από την τεχνολογία. Τέλος υπάρχει η εισαγωγή περεταίρω παραμέτρων, με ετικέτα **Other parameters**, όπου εισάγονται παράμετροι που δεν έχουν επιλεχτεί να βρίσκονται στις φόρμες. Χρήση των τρανζίστορ κάνουν και οι Rf εφαρμογές. Στο τμήμα Rf MOSFET definition γίνεται η ενεργοποίηση της υποστήριξης των fingers. Αυτομάτως, σε όλα τα τεστ, τα πεδία **Length** και **Width** [υποκεφάλαιο 3.5] προσαρμόζουν τις τιμές τους για μήκος και πλάτος ανά finger. Θέτοντας την επιλογή **Enable Rf mos** στο On ενεργοποιείται το πεδίο **Number of fingers** όπου ορίζεται ο αριθμός των fingers. Το τμήμα **Total width (M)** ορίζει το μέγιστο πλάτος που υποστηρίζει το τρανζίστορ (δηλαδή Number of fingers * Width) και είναι προαιρετικό καθώς ορίζεται και στις παραμέτρους του μοντέλου.

3.3 Περιγραφή της «Option form»

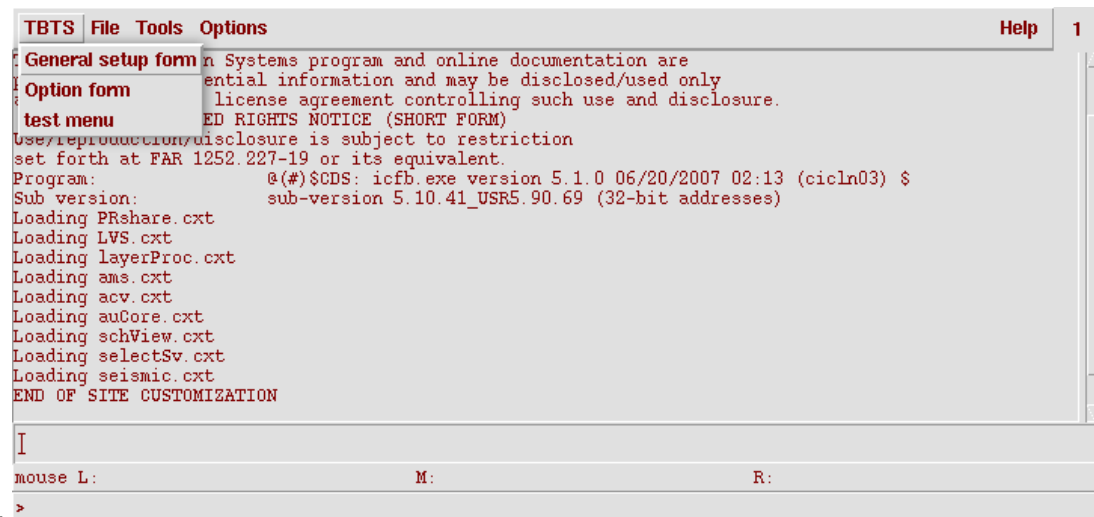
Στο Option form [εικόνα 3-3] επιλέγεται το εργαλείο που θα προβάλει τις κυματομορφές των προσομοιώσεων. Η επιλογή γίνεται μεταξύ του awd και wavescan.

Το awd έχει ποιο εύχρηστο περιβάλλον και συχνά η λειτουργία του κατανοείται ευκολότερα από τους σχεδιαστές. Το wavescan μπορεί να διαχωρίσει περισσότερα δεδομένα (larger data sets) και να τα προβάλει με μεγαλύτερη ταχύτητα. Επίσης έχει περισσότερες λειτουργίες διαθέσιμες.

3.3.1 Περιγραφή της φόρμας «Initialize Benchmarks»

Το πρόγραμμα δίνει τη δυνατότητα για αρχικοποίηση των τεστ. Επιλέγοντας τη τεχνολογία του τρανζίστορ [Εικόνα 3- 1], βάση των τάσεων αναφοράς bulk και source, αρχικοποιούνται όλα τα τεστ.

Οι τιμές των αρχικοποιήσεων είναι καθαρά ενδεικτικές για την αντίστοιχη τεχνολογία, αφού υπάρχουν διαφορετικές παραλλαγές για διαφορετικές χρήσεις και δίνουν στον καινούργιο χρήστη μια πρώτη γνωριμία με το εργαλείο.

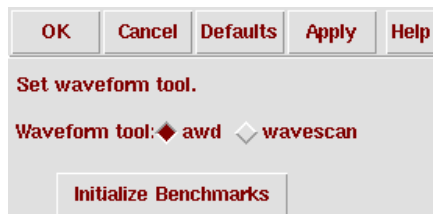


Εικόνα 3-21 μενού επίλογων του ciw στο Cadence.

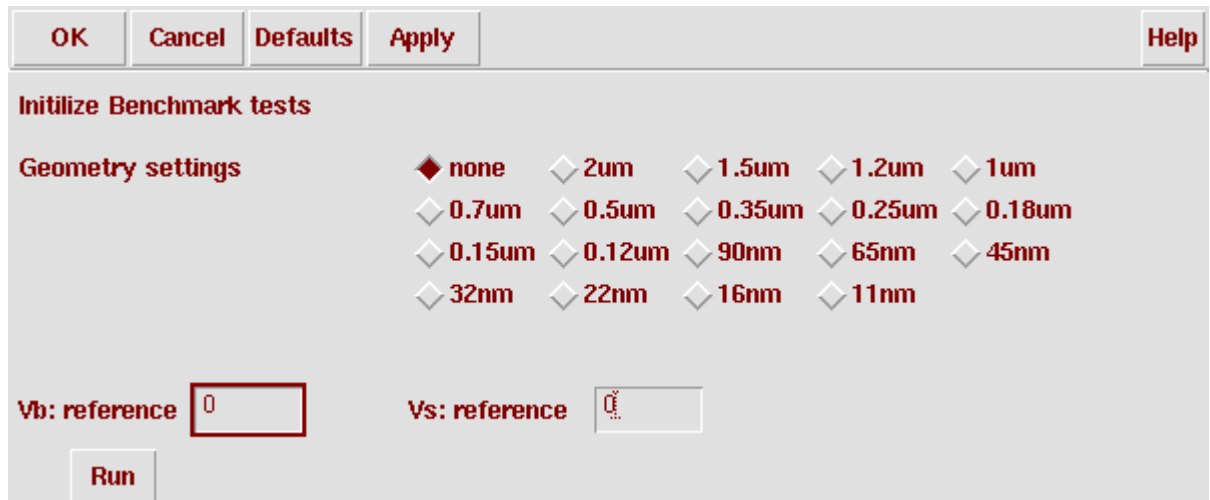
The screenshot shows the General setup form dialog box with the following fields and options:

- Model File Path:** A text field with a Unix Browse button.
- Model type(opt.):** A dropdown menu.
- Model Name:** A text field containing "nmos".
- Mos selection:** Radio buttons for nMos (selected) and pMos.
- Mos Parameters Definition:**
 - Ddrs:** A text field containing "0".
 - Multiplier:** A text field containing "1".
 - Sdrs:** A text field containing "0".
 - Temperature (C):** A text field containing "27".
- Other Parameters:** A text field.
- RF mosfet Definition:**
 - enable Rf mosf:** Radio buttons for off (selected) and on.
 - Number of fingers:** A text field containing "0".
 - Total width (M):** A text field containing "24u".
- Note:** If "enable Rf mosfet choises" -> on ,width/length options are about width/length per finger (in meters)

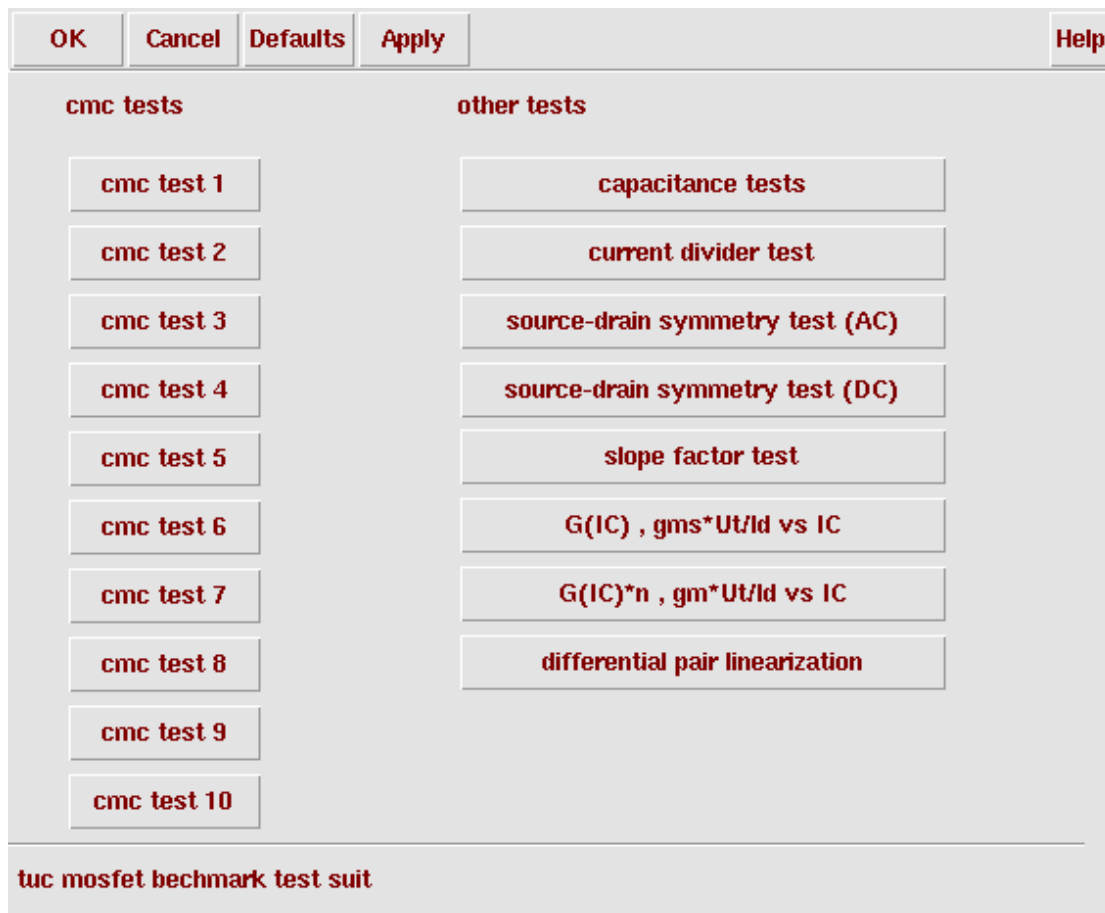
Εικόνα 3-2 3 General setup form, όπου υπάρχουν οι βασικές ρυθμίσεις για το μοντέλο όπως το όνομα, ο πολλαπλασιαστής, η θερμοκρασία λειτουργιάς του και η λειτουργία RF.



Εικόνα 3-3 Option form όπου επιλέγεται το εργαλείο που προβάλλει τις κυματομορφές καθώς και η επιλογή αρχικοποίησης των τεστ.



Εικόνα 3-4 4 Initilize Benchmarks όπου γίνεται μια ενδεικτική αρχικοποίηση των τεστ.



Εικόνα 3-5 5 test menu όπου γίνεται η επιλογή των τεστ. Μετά την επιλογή ενός τεστ προβάλλεται η φόρμα του σε καινούργιο παράθυρο.

3.4 Περιγραφή του «test menu»

Στο test menu [Εικόνα 3- 6] βρίσκονται όλα τα Benchmark του εργαλείου. Αναλόγως της επιλογής που γίνεται στο **Mos selection** [υποκεφάλαιο 3.2] προβάλλονται τα αντίστοιχα τεστ για NMOS ή PMOS.

Για περισσότερες πληροφορίες για το κάθε τεστ υπάρχουν στο κεφαλαίο 2, όπου περιγράφονται με λεπτομέρεια.

3.5 Περιγραφή και λειτουργία των CMC tests.

Όλα τα τεστ είναι παρόμοια στη χρήση οπότε δίνονται γενικές οδηγίες που ισχύουν, με μερικές διαφοροποιήσεις ανά τεστ [εικόνα 3-5].

Ενδεικτικό παράδειγμα για τα CMC tests είναι το τεστ 2. Στην πρώτη γραμμή υπάρχουν τα Analysis options. Πρόκειται για τη βασική ανάλυση που γίνεται στο κύκλωμα. Η τάση (Vg start/stop στο παράδειγμα) σαρώνεται από την αρχική τιμή

OK Cancel Defaults Apply Help

Vg: start stop total steps (analysis options)

Vd: start stop step (param analysis options)

Vs Vb

Width(m)

Length choice (m) ☒ One ☐ Two ☐ Three (run test for multiple lengths)

Length One

Run

Test info:

validation of model equations in subthreshold region
for different channel lengths -DIBL effect.

Plots (Id-Vgs) (log axis Id-Vgs)

limitations:

Total steps : 200 =< value =< 10000

step: step value =< stop value-start value

Εικόνα 3-6 7 Το CMC test 2 θέτεται ως ενδεικτικό παράδειγμα.

(πεδίο **start**) μέχρι την τελική (πεδίο **stop**) για ένα συνολικό αριθμό βημάτων **Total step**. Το Total step έχει ελάχιστη τιμή 200 και μεγίστη 10.000. Η τιμή κάθε βήματος (η διάφορα της τιμής ενός βήματος από το επόμενο) με τον τύπο

$$\frac{stop - start}{total steps} \quad (3.1)$$

Σε κάποια τεστ υπάρχει η επιλογή για παραμετρική ανάλυση (Param. analysis options) η οποία είναι υποχρεωτική για αυτά τα τεστ. Δίνει τη δυνατότητα στο χρήστη να τρέχει μια ανάλυση για διαφορετικές τιμές μιας παραμέτρου του κυκλώματος (στο συγκεκριμένο παράδειγμα γίνεται η ανάλυση Id-Vgs για διαφορετικές τιμές του Vds). Η τάση (Vd start/stop στο παράδειγμα) σαρώνεται από

την αρχική τιμή (πεδίο **start**) μέχρι την τελική (πεδίο **stop**) με βήμα **Step** (και όχι αριθμό βημάτων όπως στο analysis options) .

Ακολουθούν τα πεδία για εισαγωγή των υπολοίπων τάσεων και παραμέτρων οι οποίες παραμένουν σταθερές σε όλη τη διάρκεια του τεστ (στο παράδειγμα οι τάσεις **Vs**, **Vb** και **width**).

Τα πεδία **Width** και **Length** δέχονται τη τιμή του πλάτους και μήκους του τρανζιστορ αντίστοιχα, σε μέτρα.

Σε κάποια από τα τεστ δίνεται η επιλογή το τεστ να τρέχει και για διάφορες τιμές κάποιας δεύτερης παραμέτρου. Στο παράδειγμα το τεστ (Id-Vgs για πολλαπλές τιμές του Vds) μπορεί να τρέξει για μέχρι τρεις διαφορετικές τιμές του μήκους του τρανζίστορ, όπως φαίνεται στον τομέα Run test for multiple lengths. Στο **Length Choice** δίνεται η επιλογή να τρέξει η όλη προσομοίωση χρησιμοποιώντας διαφορετική τιμή για τη συγκριμένη παράμετρο. Αλλάζοντας την επιλογή εμφανίζονται περισσότερες θέσεις για εισαγωγή τιμής για αυτήν τη μεταβλητή. Μπορούν να τεθούν από μια μέχρι τρεις τιμές.

Για τα CMC tests ισχύουν γενικώς

- Total steps: Ελάχιστη τιμή 200 και μέγιστη 10.000
- Step (Param. analysis options): $\text{step value} \leq \text{stop value} - \text{start value}$
- όλες οι τάσεις που χρησιμοποιούν σε αυτά τα τεστ κανονικοποιούνται αυτόματα στον κώδικα του τεστ σε σχέση με το Vs. Πχ $V_d=3 \text{ Vs}=1 \Rightarrow V_{ds}=2$.
- Στην εισαγωγή τιμής των τάσεων δεν χρησιμοποιούμε σύμβολα ορισμού όπως V(volt) A(ampere).
- Μπορούμε να χρησιμοποιήσουμε αριθμούς με υποδιαστολή, σύμβολα SI prefix (π.χ. u p M G) ή επιστημονική μορφή (π.χ. 1.00E-002).

OK	Cancel	Defaults	Apply	Help	
Vg: start	<input type="text"/>	stop	<input type="text"/>	total steps	<input type="text"/> (analysis options)
Vd	<input type="text"/>	Vs	<input type="text"/>	Vb	<input type="text"/>
width(m)	<input type="text"/>				
length(m)	<input type="text"/>				
vsin options					
Ac magnitude	<input type="text"/>				
Amplitude	<input type="text"/>				
Ac phace	<input type="text"/>				
dc	<input type="text"/>				
Ac freq	<input type="text"/>				
Run					
Test info:					
capacitance test					
Plots All capacitance					
*limitations:					
Total steps : 200 =< value =< 10000					

Εικόνα 3-7 8 Capacitance test, επιλογές για το τεστ για τις χωρητικότητες. Στο πεδίο Vsin options δίνονται οι επιλογές για τη ρύθμιση της πηγής εναλλασσόμενης τάσης.

OK	Cancel	Defaults	Apply	Help	
i ref: start	<input type="text"/>	stop	<input type="text"/>	total steps	<input type="text"/>
v reference	<input type="text"/>				
length(m)	<input type="text"/>				
Width(m)	<input type="text"/>				
Run					

Εικόνα 3-8 9 το μενού για τον διαιρέτη ρεύματος.

3.6 Περιγραφή των υπολοίπων τεστ που βρίσκονται στο πρόγραμμα.

Και εδώ ισχύουν οι ίδιοι περιορισμοί που ισχύουν και για τα CMC tests εκτός του ότι οι τάσεις δεν κανονικοποιούνται αυτόματα στον κώδικα.

Τα πεδία που δεν περιγράφονται εδώ έχουν περιγραφεί στο υποκεφάλαιο 3.5 CMC tests οπότε και παραλείπονται.

3.6.1 Περιγραφή «Capacitance test»

Στο Vsin options [εικόνα 3-6] δίνονται οι επιλογές για την AC πηγή ρεύματος. Στο πεδίο **Amplitude** καθορίζεται η μέγιστη τιμή που παίρνει η πηγή εναλλασσόμενης τάσης. Στο **AC phase** καθορίζεται η φάση που βρίσκεται η πηγή εναλλασσόμενης τάσης. Το πεδίο **DC** καθορίζει τη DC τάση που θα έχει η πηγή εναλλασσόμενης τάσης.

Το πεδίο **AC Freq** είναι σημαντικό καθώς ζητά τη συχνότητα της πηγής εναλλασσόμενης τάσης. Σε χαμηλή συχνότητα γίνεται ημιστατική ανάλυση (quasi-static (QS)) ενώ σε μεγαλύτερες συχνότητες μη-ημιστατική ανάλυση (non-quasi-static (NQS)) όπου εμφανίζονται φαινόμενα καθυστέρησης και οι αλλαγές των φορτίων δεν είναι ακραίες στην επίδραση των εξωτερικών τάσεων.

3.6.2 Περιγραφή « Current divider» (διαίρεση ρεύματος)

Γίνετε σάρωση του ρεύματος αναφοράς **I reference** [εικόνα 3-7]. Για απόδοση μικρού εύρους σφάλματος οι τιμές του ρεύματος πρέπει να είναι μέσα στα πλαίσια της λειτουργίας του τρανζίστορ καθώς και η τάση πόλωσης του κυκλώματος **V reference** να το φέρνει στα όρια της ισχυρής αναστροφής. Τέλος το **Width/ Length** επιλέγεται να είναι wide/long δηλαδή τουλάχιστον $10 \cdot W_{min}$ και $10 \cdot L_{min}$.

3.6.4 Περιγραφή «Vp and slope factor test»

Το τεστ χωρίζεται σε 2 κομμάτια [εικόνα 3-8]. Το Is setup όπου υπολογίζεται το ρεύμα Ispec που είναι απαραίτητο για να τρέξει το Vp test setup. Τα πεδία **Width/ Length** είναι κοινά καθώς το Ispec πρέπει να υπολογίζεται για τη συγκεκριμένη τεχνολογία. Κοινό είναι και το Vb.

OK	Cancel	Defaults	Apply			Help
Is setup						
Vs: start	<input type="text"/>	stop	<input type="text"/>	total steps	<input type="text"/>	
Vg: start	<input type="text"/>	stop	<input type="text"/>	step	<input type="text"/>	
Vd	<input type="text"/>	Vb	<input type="text"/>			
<hr/>						
Width(m)	<input type="text"/>					
Length choice (m)	<input checked="" type="radio"/> One <input type="radio"/> Two <input type="radio"/> Three					
Length One	<input type="text"/>					
<hr/>						
Vp test setup						
Vg: start	<input type="text"/>	stop	<input type="text"/>	total steps	<input type="text"/>	
<hr/>						
<input type="button" value="Run"/>						

Εικόνα 3-9 10 Vp και slope factor test. Αρχικά υπολογίζεται το Ispec και αργότερα το Vp-Vg

OK	Cancel	Defaults	Apply			Help
Vx: start	<input type="text" value="-300mV"/>	stop	<input type="text" value="300mV"/>	total steps	<input type="text" value="300"/>	
Vg	<input type="text"/>	Vb	<input type="text"/>			
Width(m)	<input type="text"/>					
length(m)	<input type="text"/>					
<hr/>						
<input type="button" value="Run"/>						

Εικόνα 3-10 11 DC symmetry test

3.6.5 Περιγραφή «AC/DC source-drain symmetry test»

Εισάγονται τιμές στο **Vx start stop** [εικόνα 3-9] [εικόνα 3-10] συμμετρικές γύρω από το μηδέν (συνήθως -50m με +50 m).

Τα τεστ υπολογίζουν τις παραγώγους του ρεύματος οπότε προτείνεται η χρήση μεγάλου αριθμού **Total step** (πάνω από 1000 είναι επαρκές).

Στην περίπτωση του AC DC source-drain symmetry test τα τμήματα που βρίσκονται κάτω από τη ετικέτα Drain vsin δεν πρέπει να αλλαχτούν γιατί αλλοιώνουν το τεστ.

3.6.6 Περιγραφή του τεστ για το διαφορικό ζεύγος.

Το τεστ για το διαφορικό ζεύγος [εικόνα 3-11] είναι το πιο δύσκολο στην υλοποίηση και απαιτεί ιδιαίτερη προσοχή στην επιλογή των παραμέτρων.

Η τάση **V_{In}** πρέπει να είναι γύρω από το μηδέν (συνήθως **start**=-100m, **stop**=100m, **Total step**=1000) και με όρια μέχρι ισχυρή αναστροφή.

Το ρεύμα **I_{reference}** δεν πρέπει να φέρνει τα τρανζίστορ γρήγορα στο κόρο καθώς το αποτέλεσμα θα είναι μια ευθεία γραμμή και ανεξάρτητο της τάσης. Θεμιτό αποτέλεσμα θα είναι το ρεύμα του διαφορικού ζεύγους να αρχίζει από αρνητική τιμή και να καταλήγει σε θετική με γραμμικό τρόπο.

Οι τάσεις **V_{dd}** και **V_{cc}** πρέπει να έχουν διαφορά (**V_{dd}-V_{cc}**) μέσα στα όρια λειτουργίας των τρανζίστορ. Η τάση **V_{cc}** ορίζεται στο κύκλωμα σαν **vcc=gnd-V_{cc}**, οπότε έχοντας θετική τιμή στη φόρμα [εικόνα 3-11] είναι αντίστοιχο με αρνητική τιμή **vcc** στο κύκλωμα.

Ο **tuning Mult.** ρυθμίζει τη γεωμετρία μεταξύ του διαφορικού ζεύγους και των δυο τρανζίστορ που ρυθμίζουν τη γραμμική περιοχή. Συνήθως παίρνει την τιμή 8.5, αυτό όμως προκύπτει από τις εξισώσεις στο κεφάλαιο 2.2.5. Σε περιπτώσεις όπως rf transistor θα μπορούσε να είναι χαμηλότερη λόγω των περιορισμών στο μήκος και πλάτος τους. Σε καμιά περίπτωση δεν πρέπει να είναι μεγαλύτερο (**tuning Mult *W_{min}**) (**tuning Mult *L_{min}**) από το μέγιστο μήκος και πλάτος του τρανζίστορ.

Το πεδίο **V_{dd}-(V_t+50m)** αφορά την πόλωση στο gate για τα PMOS τρανζίστορ. Όπως φαίνεται και από το όνομα πρόκειται για την τάση **V_{dd}-(V_t+50m)** όπου **V_t** είναι η τάση κατωφλίου των PMOS τρανζίστορ.

Εισαγωγή των **W_{min}** και **L_{min}** για τα NMOS και PMOS τρανζίστορ, δηλαδή του ελάχιστου πλάτους και μήκους που υποστηρίζει το μοντέλο.

Τέλος βρίσκεται το τμήμα για τα PMOS τρανζίστορ [υποκεφάλαιο 3.2]. Το **Model name**, πιθανώς ένα model file που είναι το μονόπατι, στο δίσκο, που βρίσκεται το μοντέλο (ή το spectre model card.). Αν είναι το ίδιο με το NMOS στο «General setup form» [υποκεφάλαιο 3.2] αφήνουμε το **enable model p** στην επιλογή off.

3.6.7 Περιγραφή κανονικοποίησης gms (G(IC)) και gm

Και στα δύο τεστ πρέπει να υπολογιστεί το ρεύμα Ispec προτού υπολογίσουν οι παράγοντες gms (G(IC)) [εικόνα 3.12] και gm [εικόνα 3.13]. Αυτό γίνεται στον τομέα Is setup options.

Στο τεστ gms (G(IC)) οι ίδιες μεταβλητές που χρησιμοποιούνται στο υπολογισμό του ρεύματος Ispec χρησιμοποιούν και για το τεστ. Στο τεστ για την εύρεση του gm οι μεταβλητές του τεστ βρίσκονται στο τομέα test options.

OK	Cancel	Defaults	Apply	Help
Vx: start	<input type="text"/>	stop	<input type="text"/>	total steps
Vg	<input type="text"/>	Vb	<input type="text"/>	
Width(m)	<input type="text"/>			
length(m)	<input type="text"/>			
Drain vsin (optional/leave default)				
	Ac magnitude	<input type="text"/>	Amplitude	<input type="text"/>
Source vsin (optional/leave default)				
	Ac magnitude	<input type="text"/>	Amplitude	<input type="text"/>
Source-Drain vsin (optional/leave default)				
	frequency	<input type="text"/>		
Ac analysis freq				
	frequency	<input type="text"/>		
Run				

Εικόνα 3-11 12 AC symmetry test

OK	Cancel	Defaults	Apply	Help
v In: start	<input type="text"/>	stop	<input type="text"/>	total steps
i reference	<input type="text"/>	Vdd	<input type="text"/>	Vss:(Gnd-Vss)
tuning Mult.	<input type="text"/>	Vdd-(Vt+50m)	<input type="text"/>	
Lmin nmos(M)	<input type="text"/>	Wmin nmos(M)	<input type="text"/>	
Lmin Pmos(M)	<input type="text"/>	Wmin Pmos(M)	<input type="text"/>	
Model Name <input type="text"/>				
enable model p: <input checked="" type="checkbox"/> off <input type="checkbox"/> on				
Pmos Model File <input type="text"/>				
Model type(opt.) <input type="text"/>				
Run				

Εικόνα 3- 12 Διαφορικό ζευγος. Περιέχει NMOS και PMOS τρανζίστορ.

OK	Cancel	Defaults	Apply				Help
Is setup options (SI)							
Vs: start	<input type="text" value="0"/>	stop	<input type="text" value="1"/>	total steps	<input type="text" value="500"/>		
Vg: start	<input type="text" value="0.8"/>	stop	<input type="text" value="1.2"/>	step	<input type="text" value="0.2"/>		
Vd	<input type="text" value="1.7"/>	Vb	<input type="text" value="0"/>				
geometry options							
Width(m)	<input type="text" value="3u"/>						
Length(m)	<input type="text" value="1u"/>						
test options							
Vg: start	<input type="text" value="0"/>	stop	<input type="text" value="1.5"/>	total steps	<input type="text" value="500"/>		
Vs: start	<input type="text" value="0"/>	stop	<input type="text" value="0.4"/>	step	<input type="text" value="0.2"/>		
Vd	<input type="text" value="1.7"/>	Vb	<input type="text" value="0"/>				
<input type="button" value="Run"/>							

Εικόνα 3- 13 Κανονικοποιημένο gm. Στο πρώτο τμήμα είναι η εύρεση του Ispec, χρησιμοποιείται αργότερα στο IC.

OK	Cancel	Defaults	Apply				Help
Is setup options (SI)							
Vs: start	<input type="text" value="0"/>	stop	<input type="text" value="1"/>	total steps	<input type="text" value="500"/>		
Vg: start	<input type="text" value="0.8"/>	stop	<input type="text" value="1.2"/>	step	<input type="text" value="0.2"/>		
Vd	<input type="text" value="1.5"/>	Vb	<input type="text" value="0"/>				
geometry options							
Width(m)	<input type="text" value="3u"/>						
Length(m)	<input type="text" value="1u"/>						
<input type="button" value="Run"/>							

Εικόνα 3- 14 Κανονικοποιημένο gms. Το Ispec και το τεστ χρησιμοποιούν τα ίδια «δεδομένα».

Κεφάλαιο 4

Εφαρμογή των benchmarks και σύγκριση μοντέλων

Στα προηγούμενα κεφάλαια, έχουν περιγραφεί τα τεστ και η λειτουργία του εργαλείου. Σε αυτό το κεφάλαιο ελέγχεται η αποτελεσματικότητα τριών μοντέλων στα τεστ που περιέχονται στο εργαλείο. Πρόκειται για τα μοντέλα EKV2.6, EKV3 και BSIM4v4.

Για καλύτερη σύγκριση χρησιμοποιούνται μετρήσεις από πραγματικό τρανζίστορ τεχνολογίας CMOS 0.18 μ m και διαστάσεων 10xWmin/10xLmin οι οποίες έχουν γίνει στο Εργαστήριο Ηλεκτρονικής του Πολυτεχνείου Κρήτης.

Χρησιμοποιήθηκε αφενός το μοντέλο EKV2.6 για τεχνολογία CMOS 0.18 μ m.

Πρόκειται για το μοντέλο EKV2.6 που είναι ενσωματωμένο στο Cadence IC51.41R5 και χρησιμοποιεί model card με παραμέτρους της εν λόγω τεχνολογίας 0.18 μ m.

Αφετέρου χρησιμοποιήθηκε το μοντέλο EKV3 επίσης για τεχνολογία 0.18 μ m. Είναι γραμμένο σε Verilog-AMS κώδικα και χρησιμοποιεί ένα πειραματικό model card, για χρήση στο Spectre της έκδοσης IC6.13, καθώς δεν υπάρχει διαθέσιμη τεχνολογία ειδικά για το Cadence IC51.41R5 και IC6.13. Αυτή η προσαρμογή δημιουργεί κάποια προβλήματα όπως θόρυβος και πρόβλημα στη σύγκλιση των αλγορίθμων σε αριθμητικές πράξεις (όπως τη παραγωγή). Επίσης έχει προσαρμοστεί μέρος του κώδικα του εργαλείου για να είναι συμβατό με το συγκεκριμένο model card. Δεν ήταν δυνατό να αλλαχτεί όλος ο κώδικας, οπότε έχουν παρθεί μόνο κάποιες βασικές προσομοιώσεις. Στην έκδοση 7 του Cadence, το EKV3 είναι ενσωματωμένο οπότε αποφεύγονται αυτά τα προβλήματα.

Για το BSIM4v4 χρησιμοποιείται η τεχνολογία «TSMC 90nm CMOS LP». Είναι ένα RF μοντέλο με ελάχιστο/μέγιστο length 100nm/240nm και μέγιστο width 24 μ m.

4.1 Σύγκριση μοντέλων στο τεστ «Διαιρέτης ρεύματος».

Στο τεστ με το διαιρέτη ρεύματος τα τρανζίστορ πρέπει να είναι long/wide. Θεμιτό αποτέλεσμα είναι να υπάρχει όσο πιο μικρό σφάλμα γίνεται με σημείο αναφοράς το ένα.

Όπως φαίνεται στις [εικόνες 4-1 και 4-2] το EKV2.6 παρουσιάζει σφάλμα μικρότερο του 1.5%. Το EKV3 έχει μέγιστο σφάλμα 5% στα 10mA (στη περιοχή του ρεύματος αναφοράς 1mA μεχρι 7mA έχει σφάλμα μεχρι 2.5%). Το BSIM4 παρουσιάζει σφάλμα της τάξεως του 40% (13% για ρεύμα αναφοράς 8mA μεχρι 10mA)

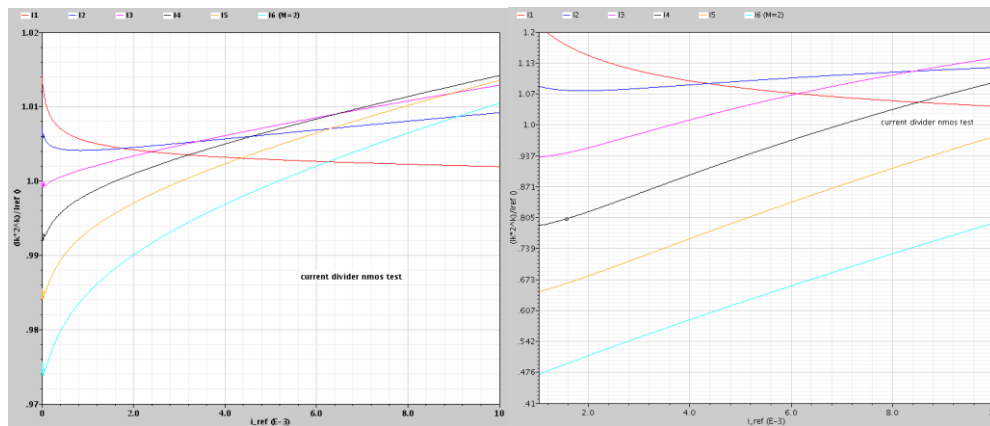
Η περίπτωση του ρεύματος I_6 δεν είναι σημαντική καθώς πρόκειται για τρανζίστορ με πολλαπλασιαστή δυο. Στα μοντέλα EKV2.6 και ειδικά στο EKV3 παρουσιάζεται με μικρό σφάλμα ενώ στο BSIM4 παρουσιάζει πολύ μεγάλο σφάλμα.

4.2 DC συμμετρία source-drain

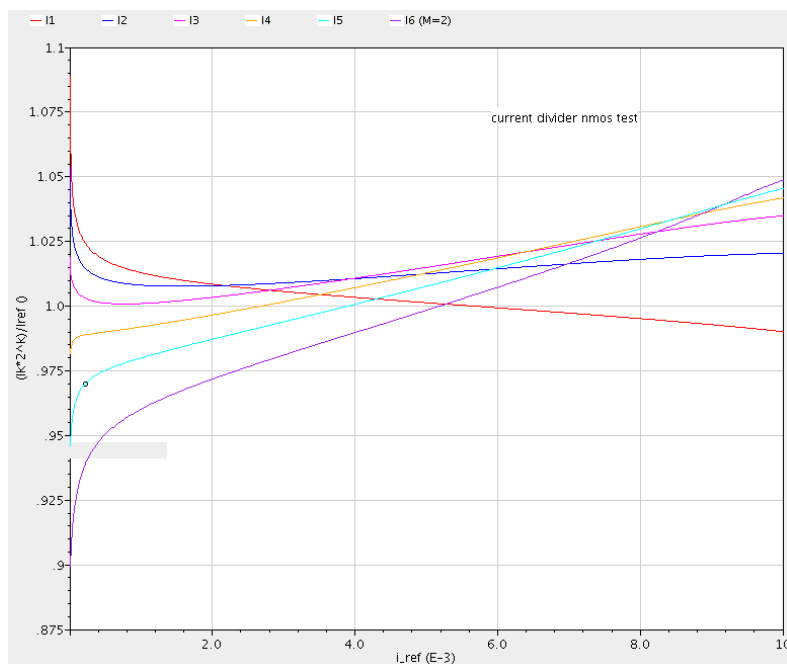
Στο τεστ της συμμετρία source-drain του MOSFET σε DC ανάλυση πρέπει το ρεύμα I_x να είναι γραμμικό σε σχέση με την τάση V_x . Αυτό δίνει παραγώγους μέχρι N τάξη οι οποίες δεν παρουσιάζουν ασυνέχειες.

Το EKV2.6 [Εικόνα 4- 3] δίνει παράγωγο πρώτης τάξεως. Το BSIM4 [Εικόνα 4-4] παρουσιάζει ελαφρό πρόβλημα συμμετρίας στην παράγωγο πρώτης τάξης και απέτυχαν πλήρως στις παραγώγους ανώτερης τάξης. Αντιθέτως το EKV3 [Εικόνα 4-5] φτάνει μέχρι την παράγωγο τρίτης τάξης, παρουσιάζοντας ένα πρόβλημα στις παραγώγους δεύτερης και τρίτης τάξης που οφείλεται στη σύγκλιση αλγορίθμων της εντολής deriv του Cadence. Το πρόβλημα οφείλεται στην πειραματική προσαρμογή του μοντέλου EKV3 στο Spectre (της έκδοσης IC6.13)

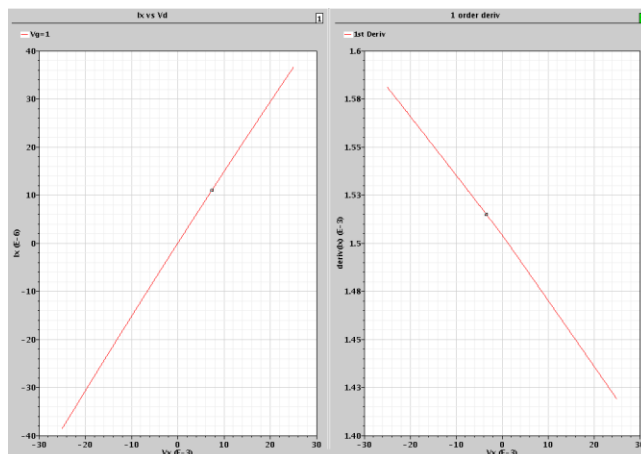
Στον αντίποδα παρουσιάζονται μετρήσεις από πραγματικό τρανζίστορ [Εικόνα 4-6]. Παρουσιάζονται οι παράγωγοι μέχρι τέταρτη τάξη.



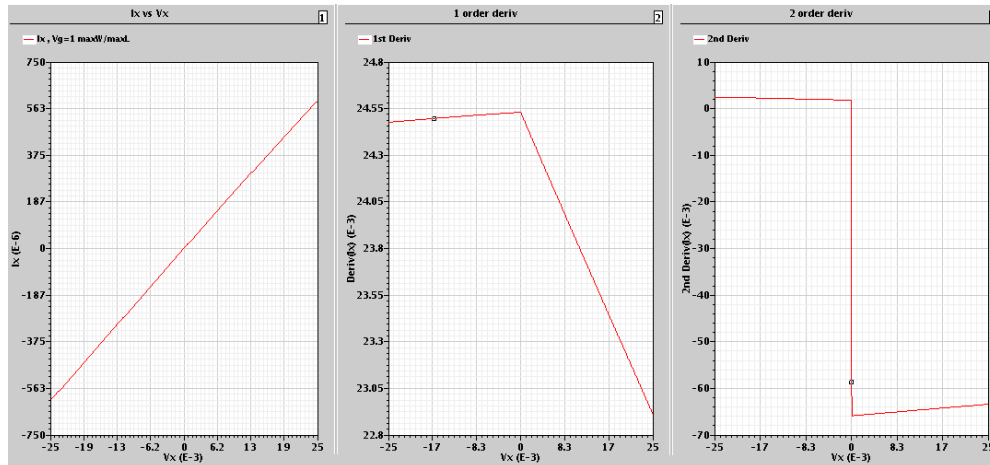
Εικόνα 4-1 Αποτελέσματα από το τεστ με το διαιρέτη ρευματος. Αριστερά είναι το EKV2.6 και δεξιά το BSIM4. Τα τεστ γίνονται με ρεύμα αναφοράς απο 1uA μέχρι 10mA



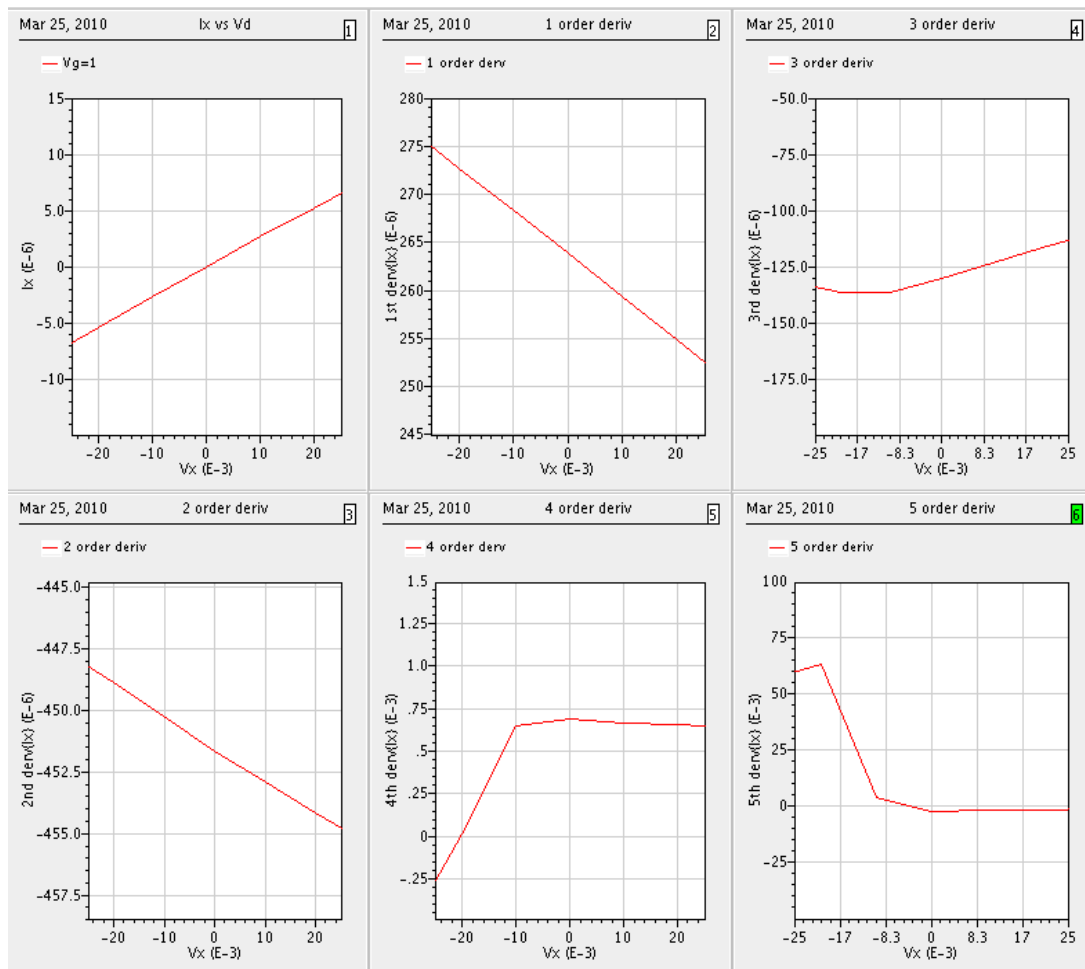
Εικόνα 4-2 Το EKV3 δοκιμάζεται στο τεστ με το διαιρέτη ρεύματος.



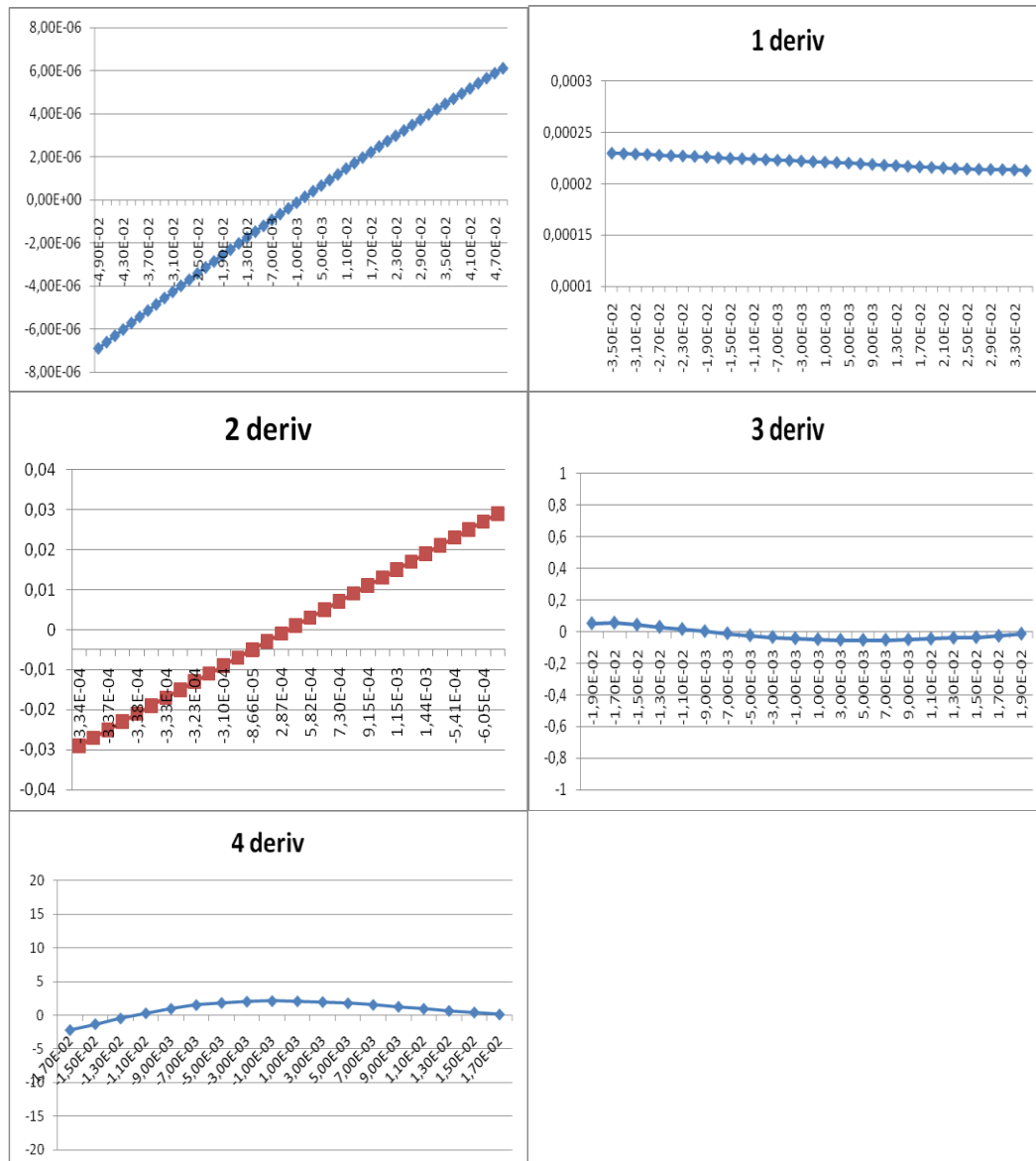
Εικόνα 4-4 Το EKV2.6 φτάνει μέχρι την παράγωγο πρώτης τάξης στο τεστ συμμετρίας σε DC ανάλυση



Εικόνα 4-5 Το BSIM4 δείχνει ότι παρουσιάζει πρόβλημα συμμετρίας στην παράγωγο πρώτης τάξης και αποτυγχάνει πλήρως στις παραγώγους ανώτερης τάξης.



Εικόνα 4-6 Το EKV3 φτάνει μέχρι την παράγωγο τρίτης τάξης.

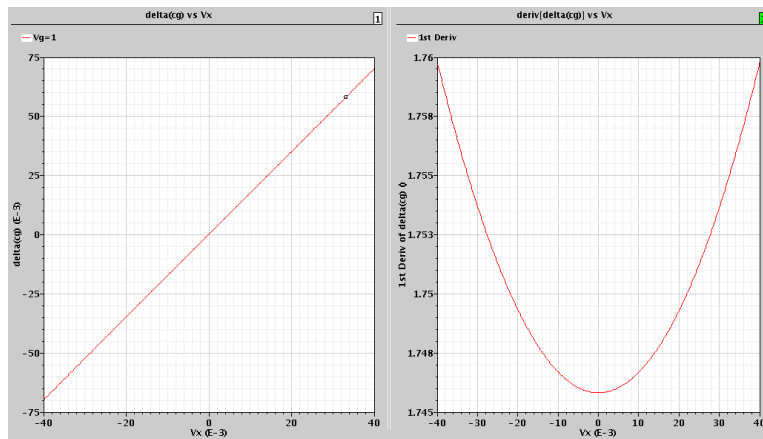


Εικόνα 4-7 DC συμμετρία πραγματικού τρανζίστορ μέχρι τη τέταρτη παράγωγο.

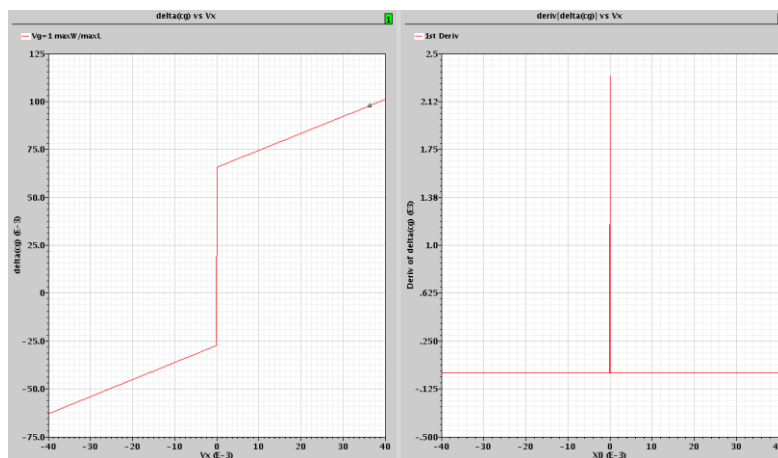
4.3 AC συμμετρία source-drain

Το πρώτο μέρος της συμμετρίας αφορά τη χωρητικότητα C_g .

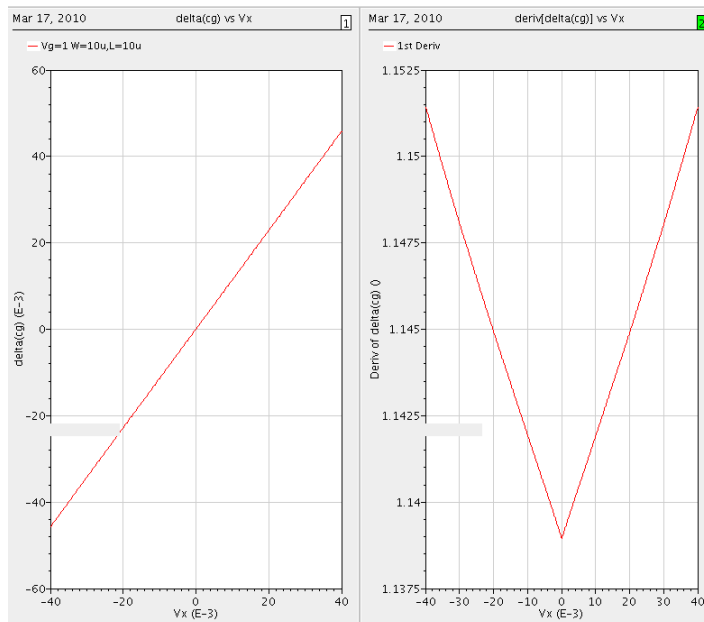
Το ΕΚV2.6 [Εικόνα 4-8] και ΕΚV3 [Εικόνα 4-10] παρουσιάζουν καλή συμμετρία όπως φαίνεται και στην παράγωγο του δcg . Το BSIM4 [Εικόνα 4-9] μοντέλο αποτυγχάνει καθώς δεν έχει καλή μεταγωγή στην περιοχή κοντά στο σημείο $V_x=0$



Εικόνα 4-8 Η χωρητικότητα C_g για το μοντέλο EKV2.6 .



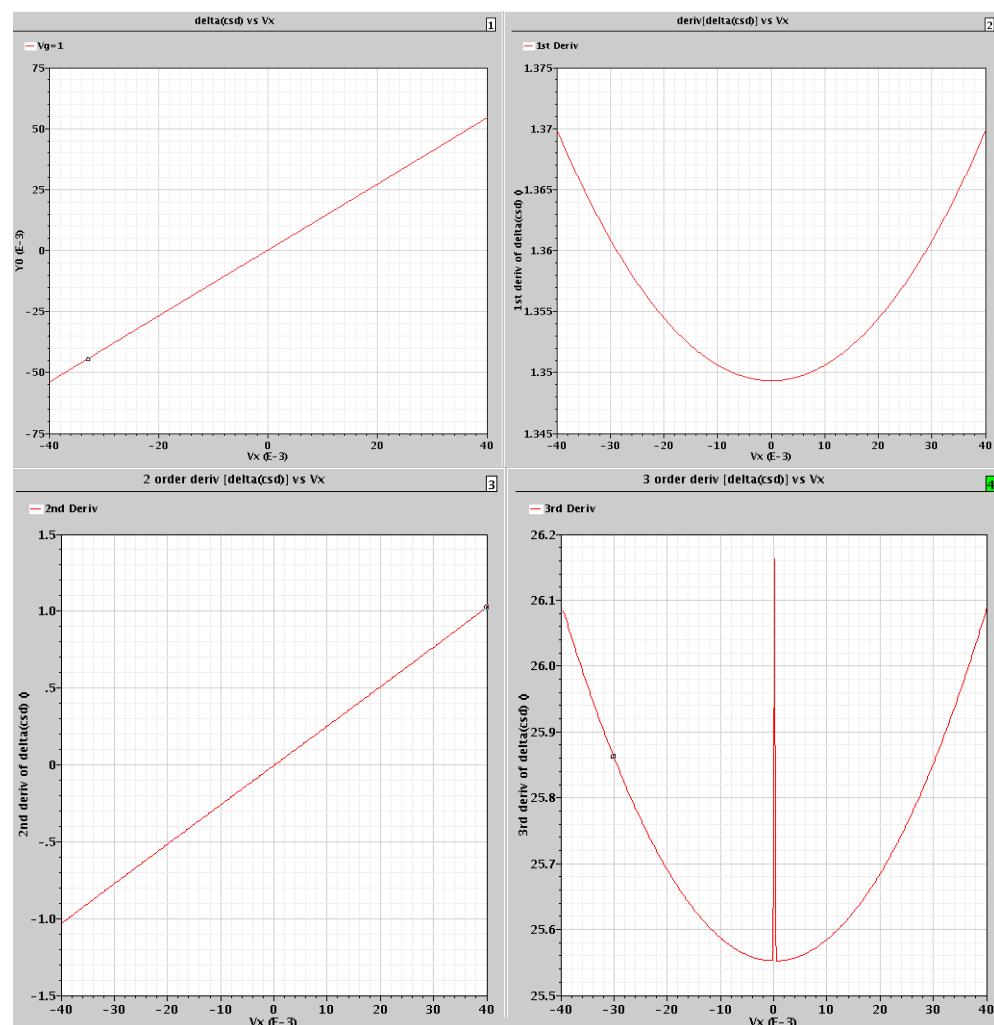
Εικόνα 4-9 Η χωρητικότητα C_g για το μοντέλο BSIM4 .



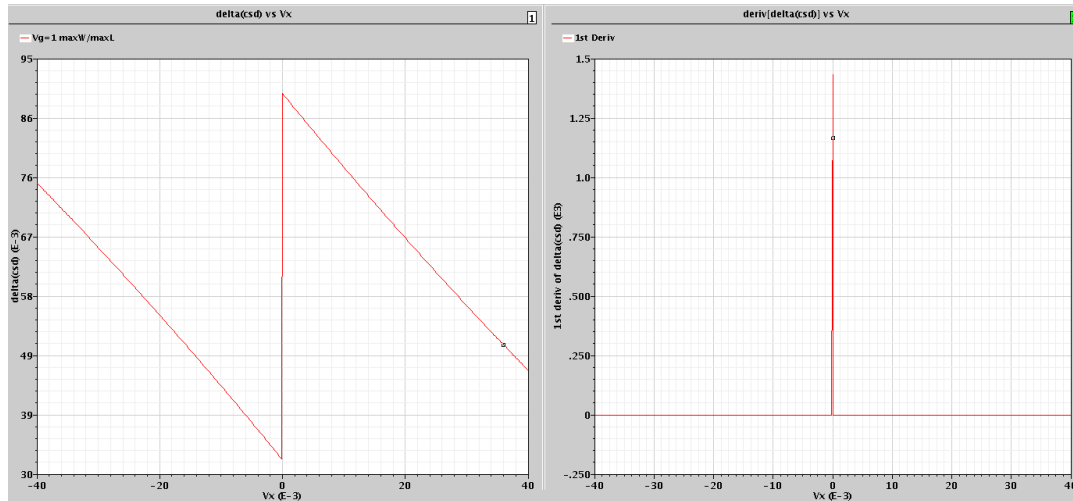
Εικόνα 4- 10 Η χωρητικότητα C_g για το μοντέλο EKV3 .

Το δεύτερο και σημαντικότερο μέρος του τεστ της συμμετρίας αφορά τη χωρητικότητα C_{ad} . Εδώ είναι σημαντικό να υπάρχει παράγωγος N τάξης. Το μοντέλο EKV2.6 φτάνει μέχρι τη δεύτερη παράγωγο. Το EKV3 φτάνει μέχρι την πρώτη (πιθανό λόγω των προβλημάτων προσαρμογής του μοντέλου στο Spectre και το πρόβλημα με τις παραγώγους που παρουσιάζεται.)

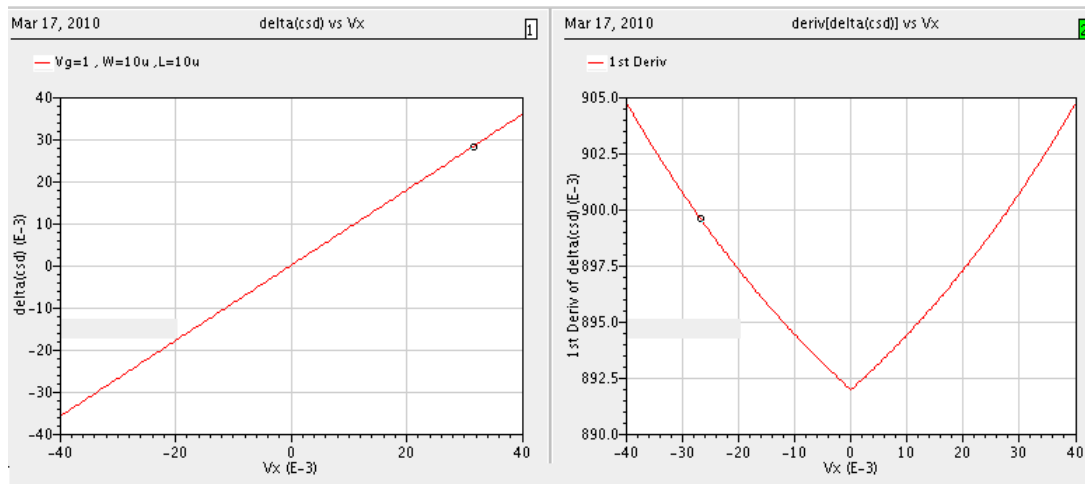
Το BSIM4 μοντέλο αποτυγχάνει από τη αρχή του τεστ καθώς δεν έχει καλή μεταγωγή στη περιοχή κοντά στο σημείο $V_x=0$



Εικόνα 4- 11 Η συμμετρία source-gate στη AC αναληση. Το EKV2.6 παρουσιάζει ασυνέχεια στην τρίτη παράγωγο.



Εικόνα 4- 12 Η συμμετρία source-gate στη AC ανάλυση. Το BSIM4 αποτυγχάνει πλήρως στο τεστ. Δεν παρουσιάζει ούτε την πρώτη παράγωγο.



Εικόνα 4-13 Η συμμετρία source-drain στη AC ανάλυση. Το EKV3 προβάλλει την πρώτη παράγωγο.

4.4 Κανονικοποιημένη διαγωγιμότητα gms

Το IC (άξονας χ) εξαρτάται από τον υπολογισμό του ρεύματος Ispec (που είναι διαφορετικό για κάθε γεωμετρία και υπολογίζεται στην αρχή του τεστ). Το ιδανικό gms έχει κλίση ένα στην ασθενή αναστροφή και $1/Ispec$ στη μέτρια.

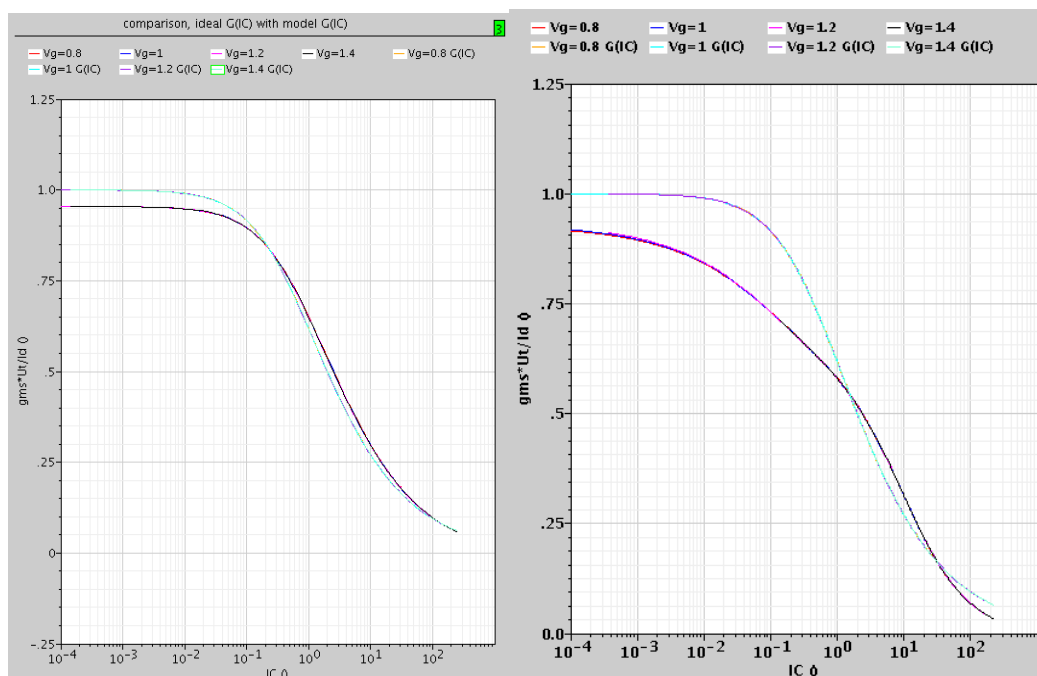
Το EKV2.6 παρουσιάζει αρκετά καλή μέτρια/ισχυρή αναστροφή και έχει ένα σφάλμα 5% στην ασθενή αναστροφή (όπου έχει τιμή 0.95 αντί ένα, αυτό ίσως οφείλεται στην ακρίβεια των δεδομένων της προσομοίωσης καθώς οι τιμές που λαμβάνουν είναι αρκετά μικρές.).

Το EKV3 παρουσιάζει ιδανική μέτρια/ισχυρή αναστροφή. Στην ασθενή αναστροφή παρουσιάζει το ίδιο φαινόμενο με το EKV2.6.

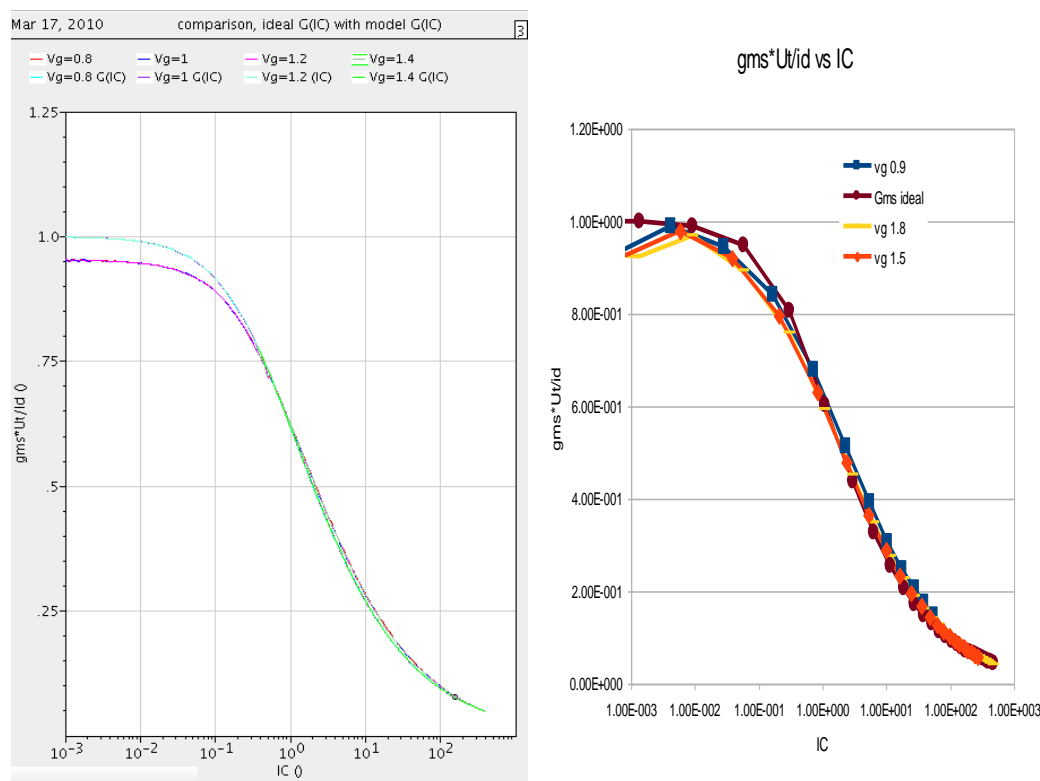
Όπως παρουσιάζεται και στις πραγματικές μετρήσεις λόγω της ακρίβειας των πολύ

μικρών αριθμών και της απόστασης των σημείων που μετριοούνται, παρουσιάζεται ένα μικρό σφάλμα στην ασθενή αναστροφή.

Το BSIM4 μοντέλο αποτυγχάνει το τεστ καθώς παράγει πολύ μεγάλο σφάλμα στην ασθενή αναστροφή αλλά και στη μέτρια/ισχυρή επίσης.



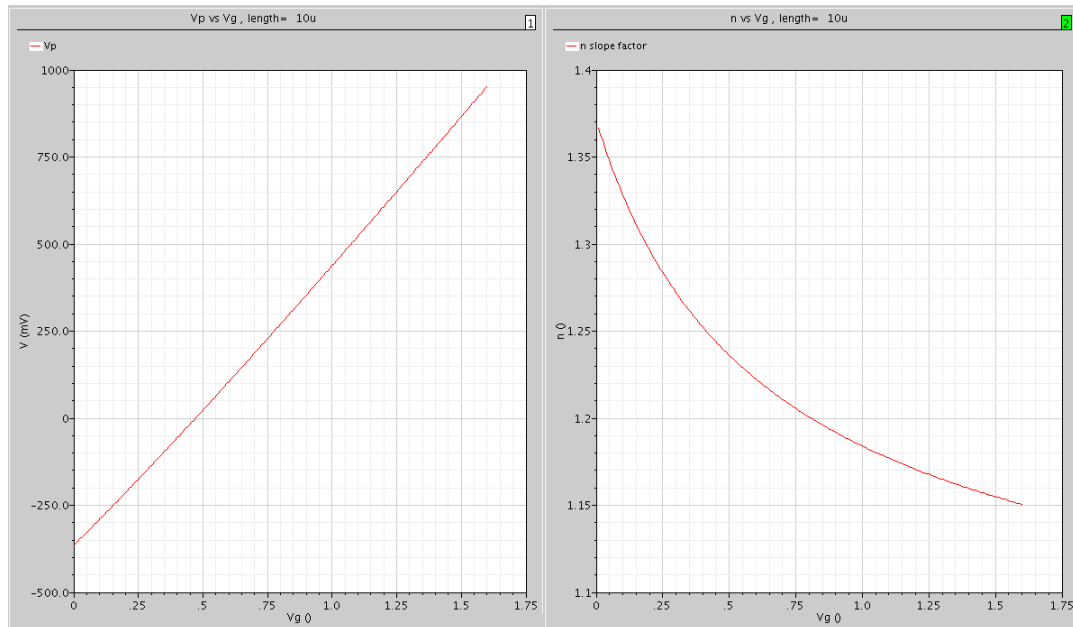
Εικόνα 4- 14 Κανονικοποιημένη διαγωγιμότητα g_{ms} , $G(IC)$. Αριστερά είναι το τεστ για το EKV2.6 και δεξιά για το BSIM4.



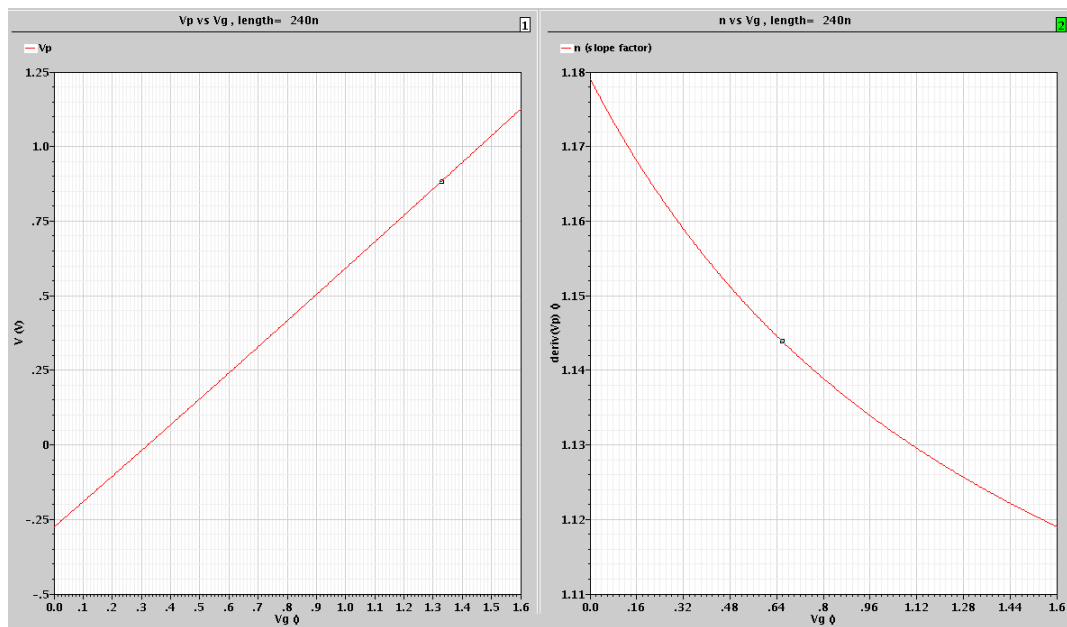
Εικόνα 4- 15 Κανονικοποιημένη διαγωγιμότητα g_{ms} , $G(IC)$. Αριστερά είναι το τεστ για το EKV3 και δεξιά από πραγματικές μετρήσεις.

4.5 Αποτελέσματα για το slope factor τεστ.

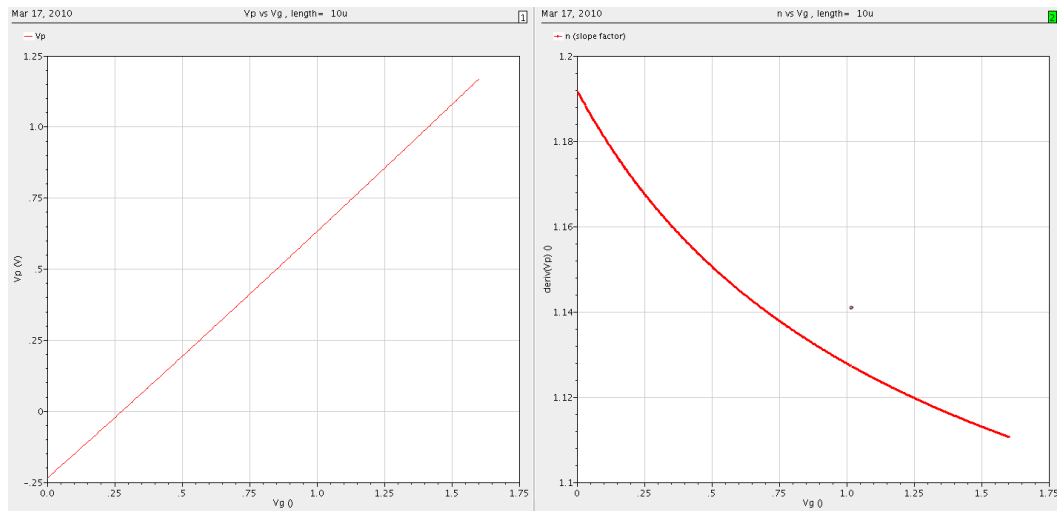
Και τα τρία μοντέλα παρουσιάζουν πολύ καλά αποτελέσματα στη γραφική V_p - V_g όπως φαίνεται και από την κλίση n , η οποία δεν παρουσιάζει ασυνέχειες.



Εικόνα 4- 16 V_p - V_g και το slope factor(n) για το EKV2.6



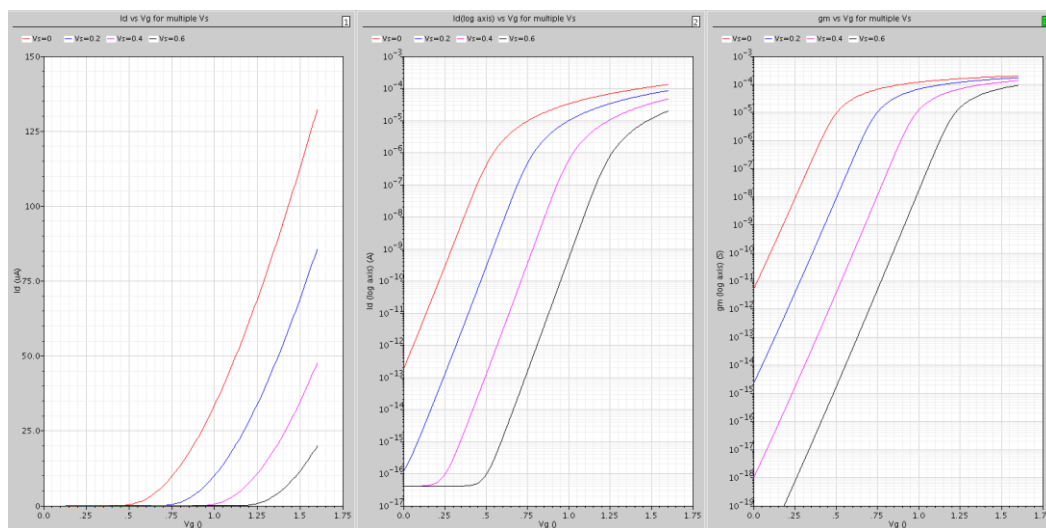
Εικόνα 4- 17 V_p - V_g και το slope factor(n) για το BSIM4.



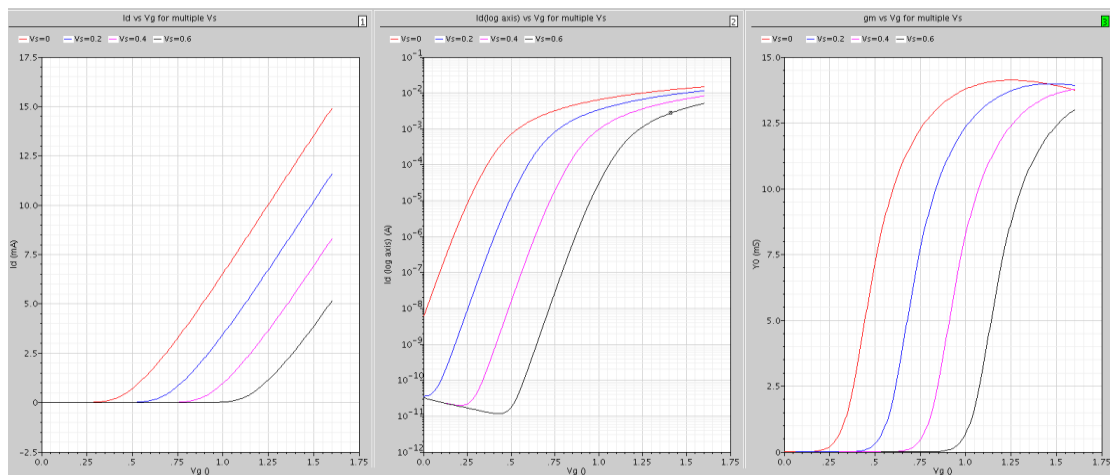
Εικόνα 4- 18 V_p - V_g και το slope factor(n) για το EKV3

4.6 Διάφορα αλλά τεστ σε σχέση με μετρήσεις από πραγματικό τρανζίστορ

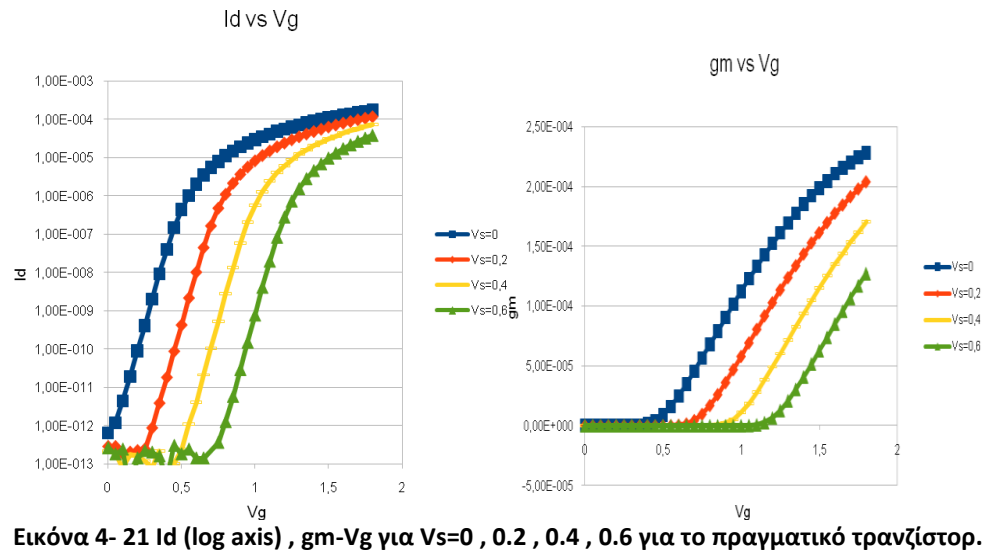
Γράφηκες I_d - V_g , g_m - V_g για τιμές $V_s=0$, 0.2 , 0.4 , 0.6V



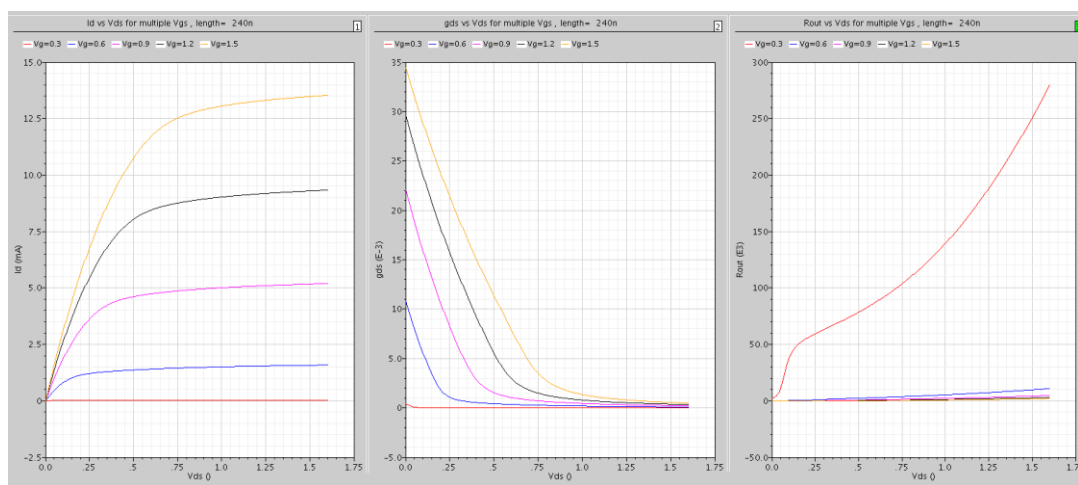
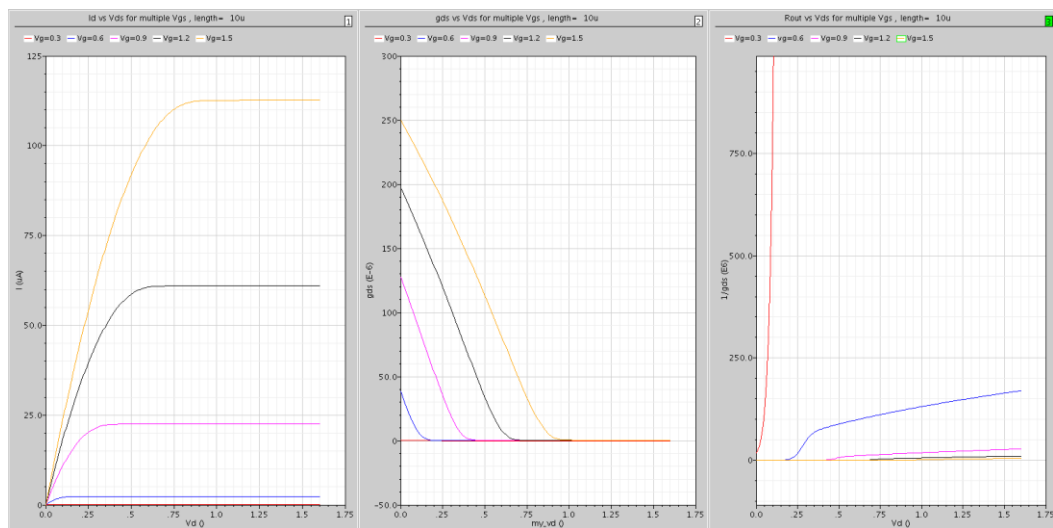
Εικόνα 4- 19 I_d - V_g , I_d (log axis)- V_g g_m - V_g για $V_s=0$, 0.2 , 0.4 , 0.6 για το EKV2.6

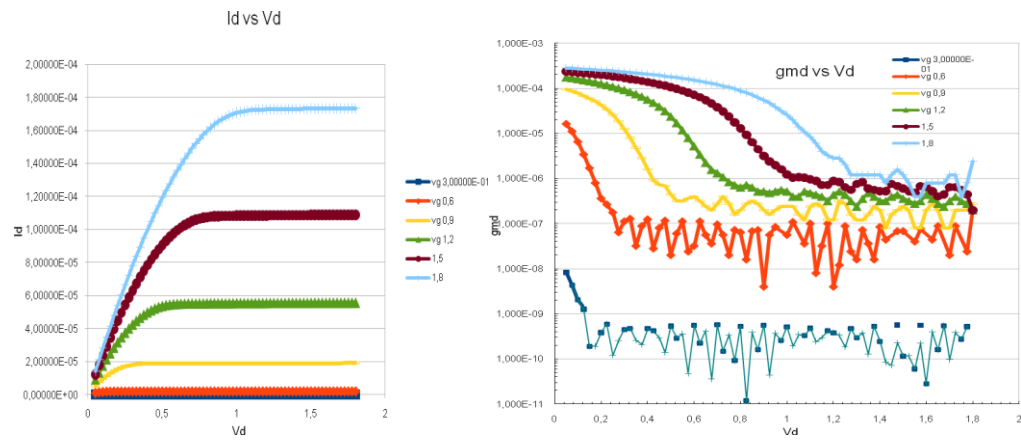


Εικόνα 4- 20 I_d - V_g , I_d (log axis) , g_m - V_g για $V_s=0$, 0.2 , 0.4 , 0.6 για το BSIM4

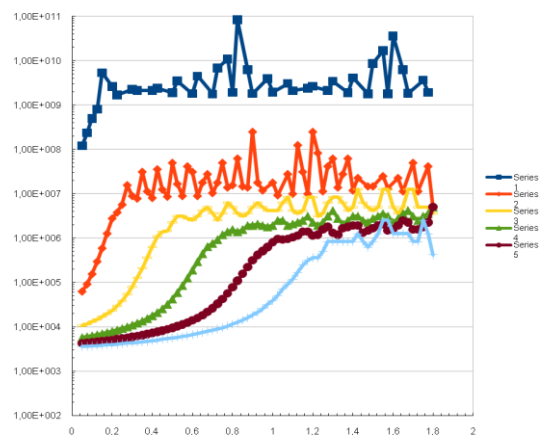


Γράφηκες Id-Vd , gmd-Vd , 1/gmd-Vd για Vg=0.3 , 0.6 , 0.9 , 1.2 , 1.5 V



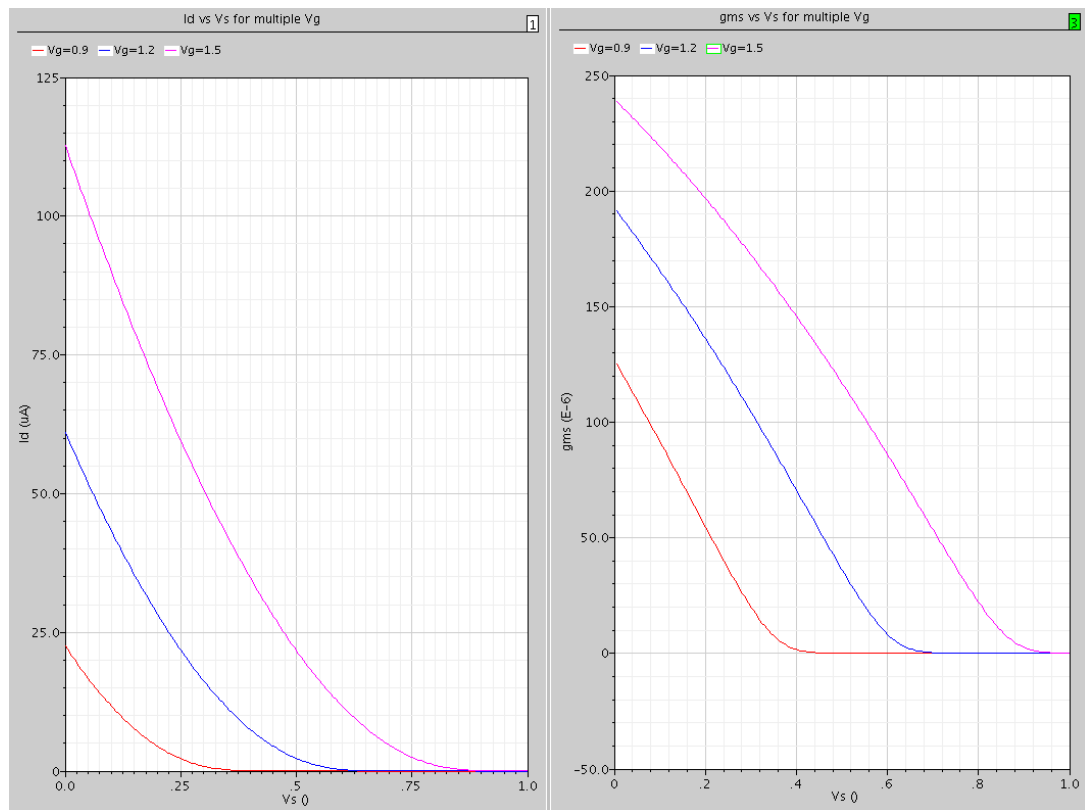


Εικόνα 4- 24 I_d - V_d , g_{md} - V_d για το πραγματικό τρανζίστορ.

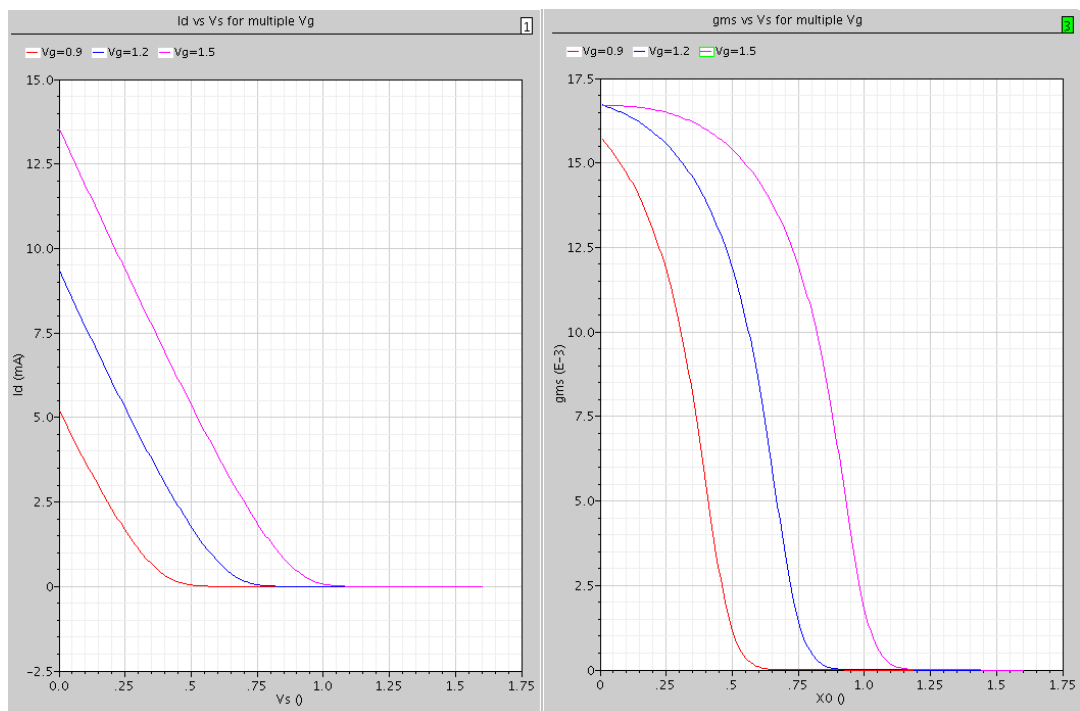


Εικόνα 4- 25 $1/g_{md}$ - V_d για το πραγματικό τρανζίστορ

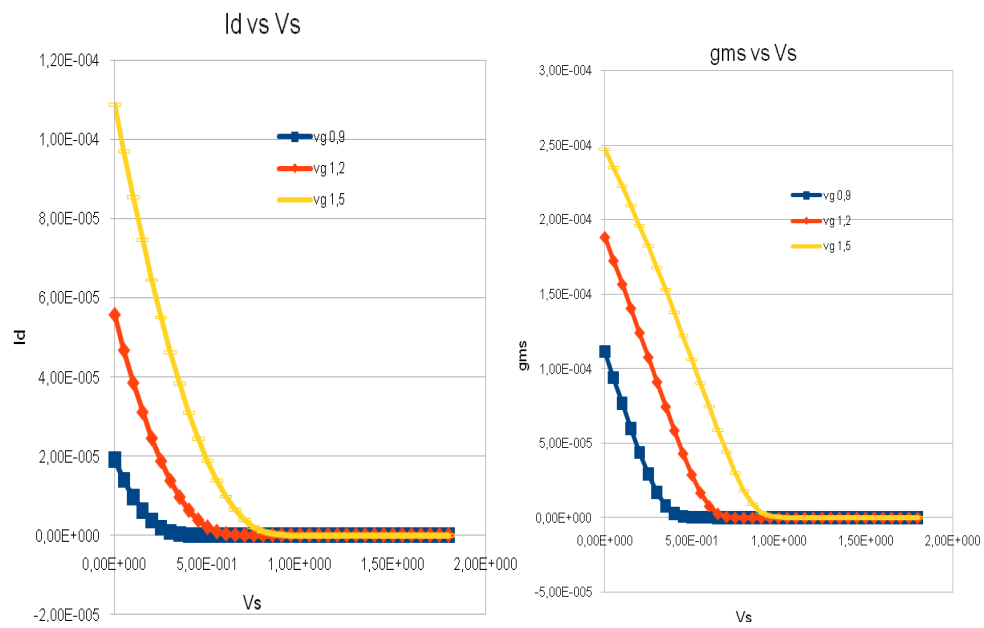
Γράφηκες I_d - V_s , g_{ms} - V_s για $V_g=0.9$, 1.2 , 1.5 V



Εικόνα 4- 26 I_d - V_s , g_{ms} - V_s για το EKV2.6



Εικόνα 4- 27 I_d - V_s , g_{ms} - V_s για το BSIM4



Εικόνα 4- 28 25 I_d - V_s , g_{ms} - V_s για το πραγματικό τρανζίστορ

Κεφαλαίο 5

Συμπεράσματα - Μελλοντική εργασία

5.1 Απόδοση μοντέλων

Ο συνοπτικός πίνακας δίνει τα αποτελέσματα των τριών μοντέλων (EKV2.6, EKV3, BSIM4) στα κύρια τεστ του εργαλείου. Στα τεστ της DC ανάλυσης και AC ανάλυσης για το Csd δίνετε η τάξη της παραγώγου που επιτυγχάνει το μοντέλο. Στη AC ανάλυση για το Cg το τεστ φτάνει μόνο μέχρι τη πρώτη παράγωγο όποτε είναι της μορφής pass/failed. Στο διαιρέτη ρεύματος είναι σε μορφή σφάλματος για όλο το εύρος του τεστ.

ΤΕΣΤ		EKV2.6	EKV3	BSIM4
Συμμετρία drain-source	DC ανάλυση	1 st derivative	3 rd derivative	failed
	AC ανάλυση Cg	pass	pass	failed
	AC ανάλυση Csd	2 nd derivative	1 st derivative	failed
Διαιρέτης ρεύματος (ποσοστό σφάλματος)		1.5%	5%	>40%
Συντελεστής κλίσης (slope factor) n και τάσης pinch-off		pass	pass	pass
Γραμμικοποίηση διαφορικού ζεύγους		failed	N/A	pass
Καν. διαγωγιμότητες G(IC)		pass	pass	failed

5.2 Μελλοντική εργασία-Βελτίωση του προγράμματος.

Καθώς πρόκειται για την πρώτη έκδοση του προγράμματος (και λόγω των περιορισμών που έχει η έκδοση IC51.41 του Cadence όπου αναπτύχτηκε) είναι φυσικό να μπορεί να δεχτεί πολλές βελτιώσεις.

Το πρόγραμμα περιέχει αρκετά βασικά τεστ και κυκλώματα με MOSFET τρανζίστορ, όμως υπάρχουν ακόμη αρκετά- βασικά και μη- τεστ που θα μπορέσουν να προστεθούν, όπως λειτουργία με θόρυβο (θερμικός, μη στατικός, χαμηλών συχνοτήτων και βολής), περισσότερα τεστ για λειτουργία σε μεγάλες συχνότητες (RF) και περισσότερα κυκλώματα με βασικές διατάξεις.

Το περιβάλλον χρήσης μπορεί να βελτιωθεί περισσότερο, να γίνει δηλαδή ακόμα πιο φιλικό προς τον χρήστη και να αποκτήσει περισσότερες δυνατότητες. Το πρόγραμμα, από την πρώτη έκδοσή του, προσφέρει στο χρήστη τη δυνατότητα, σε ορισμένα τεστ, να τρέξει τη παραμετρική ανάλυση για μέχρι τρεις διαφορετικές τιμές μιας μεταβλητής (συνήθως του μήκους του τρανζίστορ). Αυτό θα μπορούσε να γίνει για περισσότερες τιμές ή και για περισσότερες μεταβλητές.

Ο κώδικας του προγράμματος θα μπορούσε να χωριστεί περισσότερο (σε περισσότερες συναρτήσεις) καταναλώνοντας λιγότερη μνήμη και κάνοντας τις αλλαγές/βελτιώσεις του ευκολότερες. Επίσης θα μπορούσε να τρέχει τις προσομοιώσεις για 2 ή περισσότερα τρανζίστορ (σε σειρά καθώς η γλώσσα SKILL δεν υποστηρίζει multithreading)

Αν και δεν ήταν σκοπός της εργασίας παράλληλα με το πρόγραμμα αναπτύχτηκε και ένα εισαγωγικό εγχειρίδιο για τη γλώσσα SKILL/OCEAN (με παραδείγματα απλά και πιο προχωρημένα προγράμματα) για νέους χρήστες, με συγκέντρωση πληροφοριών και εντολών από διάφορα εγχειρίδια του Cadence και από τη εμπειρία της ανάπτυξης του προγράμματος, καθώς απαιτούνται αρκετές εντολές από πολλαπλές πηγές και η σωστή χρήση τους για τη ολοκλήρωση μιας προσομοίωσης. Το εγχειρίδιο αυτό μπορεί να προχωρήσει μαζί με το πρόγραμμα, ευκολύνοντας όλους τους νέους και παλαιούς χρήστες του Cadence καθώς ευκολύνει τη προσομοίωση και επεξεργασία των δεδομένων και δίνοντας «έτοιμες»

πληροφορίες σε όποιο θα συνεχίσει την ανάπτυξη του προγράμματος ώστε να μειωθεί ο χρόνος εκμάθησης των γλωσσών αυτών και να δοθεί περισσότερη βαρύτητα στην ανάπτυξη του εργαλείου καθιστώντας το ένα πολύτιμο εργαλείο στη ανάπτυξη ολοκληρωμένων κυκλωμάτων.

Παράρτημα

Εισαγωγικό εγχειρίδιο χρήσης της SKILL/OCEAN.

Γλώσσα προγραμματισμού «SKILL»

Η γλώσσα προγραμματισμού SKILL είναι μια υψηλού επιπέδου διαδραστική (interactive) γλώσσα προγραμματισμού ,βασισμένη στη γνωστή γλώσσα τεχνίτης νοημοσύνης, Lisp. Όμως προσφέρει και υποστήριξη στην πιο διαδεδομένη σύνταξη της γλώσσας C. Αυτό δίνει τη δυνατότητα γρήγορης εκμάθησης και σε αρχάριους χρήστες ενώ παράλληλα δίνει στους έμπειρους χρήστες τη δυνατότητα να εκμεταλλευτούν όλες τις δυνατότητες που μπορεί να προσφέρει η Lisp (π.χ. δυναμική δημιουργία και εκτέλεση κώδικα). Αρχίζοντας από το απλό επίπεδο η SKILL είναι εύκολη στη χρήση, προχωρώντας όμως σε υψηλότερο επίπεδο αντιλαμβανόμαστε ότι είναι μια ισχυρή γλώσσα προγραμματισμού με απεριόριστες δυνατότητες.

Συγκεκριμένα, η γλώσσα προγραμματισμού SKILL δίδει την δυνατότητα παραμετροποίησης και επέκτασης του περιβάλλοντος σχεδιασμού του Cadence. Η γλώσσα προγραμματισμού SKILL παρέχει ένα ασφαλές, υψηλού επιπέδου περιβάλλον προγραμματισμού, που διαχειρίζεται αυτόματα πολλές από τις λειτουργίες του συστήματος, όπως τη διαχείριση της μνήμης. Τα προγράμματα στη γλώσσα προγραμματισμού SKILL μπορούν να εκτελεστούν απευθείας στο περιβάλλον του cadence.

Η SKILL είναι ιδανική για την ταχεία εκπόνηση πρωτοτύπων. Μπορούμε να επικυρώσουμε, βήμα προς βήμα, κομμάτια του προγράμματος ή του αλγόριθμου μας πριν από την ενσωμάτωσή τους σε ένα ευρύτερο πρόγραμμα.

Τα σφάλματα διαχείρισης αποθήκευσης ο κοινός λόγος καθυστέρησης στη παραδοσιακή ανάπτυξη λογισμικού. Η SKILL απαλλάσσει το πρόγραμμά μας από το βάρος της ρητής αποθηκευτικής διαχείρισης, με αποτέλεσμα να αποκτά ο χρήστης τον έλεγχο του χρονοδιαγράμματος της ανάπτυξης του λογισμικού του.

Η SKILL ελέγχει επίσης τις επιρρεπή σε σφάλματα, αρμοδιότητες προγραμματισμού συστήματος, όπως διαχείριση των λιστών και τη πολύπλοκη διαχείριση των

εξαιρέσεων (exception handling). Έτσι μας επιτρέπει να επικεντρωθούμε στις σχετικές λεπτομέρειες του αλγόριθμου ή της διεπαφής σχεδιασμού του χρήστη.

Το περιβάλλον του cadence επιτρέπει τη δημιουργία προγραμμάτων σε SKILL όπως αλλαγής της διεπαφής του χρήστη. Το περιβάλλον ανάπτυξης της SKILL περιέχει ισχυρά εργαλεία εντοπισμού, διόρθωσης λαθών (debugging), που βοηθούν στη δημιουργία πιο φιλόδοξων εργασιών (projects).

Η SKILL, προσφέρει καινούργιες δυνατότητες στην τεχνολογία του cadence, γιατί μπορεί να συνδυάσει τις υφιστάμενες λειτουργίες με την προσθήκη καινούργιων δυνατοτήτων από τον χρήστη.

Η SKILL επιτρέπει στο χρήστη την πρόσβαση και τον έλεγχο όλων των λειτουργιών και υποσυστημάτων του Cadence: Τη διεπαφή διαχείρισης του συστήματος από το χρήστη, τη σχεδιαστική βάση δεδομένων (Design Database), καθώς και πρόσβαση στις εντολές όλων των εργαλείων που περιέχονται στο Cadence. Μπορούμε ακόμη να προσθέσουμε άλλα εργαλεία, τα οποία θα συνεργάζονται με τα υπάρχοντα σαν ξεχωριστές διεργασίες, μέσω της διεπαφής επικοινωνίας μεταξύ διεργασιών (interprocess communication).

Open Command Environment for Analysis (OCEAN)

Η Ocean είναι μια scripting γλώσσα που δίνει την δυνατότητα να δημιουργήσουμε, προσομοιάσουμε και να αναλύσουμε δεδομένα του κυκλώματος. Επίσης, είναι μια textbased διαδικασία που μπορεί να τρέχει από ένα Unix περίβλημα (shell) ή από το command interpreter window (ciw). Μπορούμε να τρέξουμε εντολές της Ocean μέσω ενός αμφίδρομου περιβάλλοντος (interactive session,), ή μπορούμε να δημιουργήσουμε scripts που να περιέχουν τις εντολές και να τα φορτώσουμε στη Ocean. Η Ocean μπορεί να χρησιμοποιηθεί σε κάθε προσομοιωτή που είναι ενσωματωμένος στο αναλογικό περιβάλλοντος σχεδιασμού (Analog Design Environment) του cadence.

Συνήθως, χρησιμοποιούμε το αναλογικό περιβάλλοντος σχεδιασμού (Analog Design Environment) cadence όταν δημιουργούμε δικά μας κυκλώματα (στο Composer) ή όταν βρίσκουμε τα προβλήματα (debugging) του κυκλώματος. Όταν το κύκλωμα έχει τις επιδόσεις που θέλουμε, μπορούμε να χρησιμοποιήσουμε την ocean για να

τρέχουμε scripts για έλεγχο του κύκλωματος μας υπό διάφορες συνθήκες.

Γενικώς η Ocean προσφέρει

- Δημιουργία scripts για έλεγχο και επιβεβαίωση της λειτουργίας του κυκλώματος.
- Ευκολία στη δημιουργία μακροσκελών και πολύπλοκων προσομοιώσεων όπως παραμετρική ανάλυση (parametric analyses), ανάλυση ακραίων καταστάσεων (Corners Analyses), και στατιστική ανάλυση (statistical analyses), κάνοντας τις πιο παραγωγικές.
- Τρέχουμε μεγάλες προσομοιώσεις χωρίς να χρειάζεται να φορτώσουμε το cadence, μεσο του OCEAN shell.
- Προσομοιώσεις μέσω ενός μη γραφικού, απομακρυσμένου τερματικού (remote terminal)

Εισαγωγή στη SKILL/OCEAN.

Χρήσιμα εγχειρίδια του Cadence που θα χρειαστεί κάποιος αρχάριος χρήστης.
Μπορούν να βρεθούν στο help ή στο \$CDS_INST_DIR/doc/

Όνομα pdf	Όνομα εγχειριδίου	περιεχόμενα
oceanref	OCEAN Reference	Εισαγωγή στην OCEAN
skhelp	SKILL Development Help	Περιγραφή των εργαλίων χρήσης της SKILL
sklanguser	SKILL Language User Guide	Εισαγωγή στη SKILL
sklangref	SKILL Language Reference	Περιγραφή των περισσότερων συναρτήσεων και εντολών της SKILL
skuiref	SKILL UI reference	Περιγραφή των εντολών δημιουργίας γραφικού περιβάλλοντος

Πιθανόν να χρειαστούν γνώσεις και από άλλα εγχειρίδια για λεπτομέριες και περεταίρω περιγραφή κάποιων συναρτήσεων ή εντολών.

Αρχεία που αρχίζουν με το πρόθεμα sk- αναφέρονται στη γλώσσα SKILL

Με spectre- αναφέρονται για το spectre (που χρησιμοποιείται στην περιγραφή του κώδικα καθώς και στο πρόγραμμα)

Χρειάζονται βασικές γνώσεις σχεδιασμού κυκλωμάτων καθώς και γνώση χρήσης του Analog Design Environment όπου γίνονται οι προσομιώσεις του κυκλώματός μας.

Προσοχή, κάποια από τις περιγραφές ίσως να χρειάζονται προσαρμογή όταν γινετε χρηση του X-term ,δηλαδή το cadence τρεχει πανω κάποιο server. Οι οδηγίες είναι για τρέξιμο απευθείας από το υπολογιστή. Επίσης χρειάζεται σωστή ρύθμιση των μοντέλων και των τεχνολογιών τους. Δεν μπορώ να δώσω περιγραφή για αυτό, καθώς κάθε τεχνολογία απαιτεί ίσως διαφορετικές ρυθμίσεις.

Όλες οι εντολές έχουν πάρα πολλές επιλογές. Περεταίρω πληροφορίες και παραμέτρους μπορούμε να βρούμε στα εγχειρίδια.

Φόρτωση κώδικα SKILL./ OCEAN στο CWI.

Load("/file_path/filename_skillCode.il")

Load("/file_path/filename_oceanCode.ocn")

Λειτουργία του OCEAN shell

Αφού φορτώσουμε το C shell (συνήθως μέσω της εντολής csh στο command line του unix/linux) γράφουμε την εντολή ocean.

Μετά από αυτό μπορούμε να τρέχουμε απευθείας κώδικα ή αρχεία κώδικα χωρίς να χρειάζεται να φορτώσουμε το cadence.

Load("/file_path/filename_skillCode.il")

Load("/file_path/filename_oceanCode.ocn")

Γενικές εντολές και συναρτήσεις

cdfParseFloatString(γραμματοσειρά ή μεταβλητή που περιέχει γραμματοσειρά)

μετατροπή γραμματοσειράς (string) σε αριθμό (πχ "0.1" -> 0.1 , "1n" -> 1n)

Συνάρτηση

procedure(procedure_name())

κώδικας συνάρτησης...

)

Με το procedure_name θέτουμε το όνομα της συνάρτησής μας. Για να εκτελεστεί ο κώδικας της το μόνο που έχουμε να κάνουμε είναι να την καλέσουμε procedure_name()

let()

μεταβλητές ή εντολές που βρίσκονται στη παρένθεση θεωρούνται τοπικές και χρησιμοποιούνται μόνο εντός του let()

π.χ. ***procedure(myProc())***

let((myVar1 myVar2 myVar3)

myVar1=1

myVar2=2

```
myVar3= myVar1 + myVar2
```

```
)
```

);επιστρέφει την τιμή της τελευταίας εντολής που εκτελέστηκε.

strcat("γραμματοσειρά 1" "γραμματοσειρά 2")

ένωση 2 γραμματοσειρών

getShellEnvVar("PATH")

μας επιστρέφει μια environmental variable που έχουμε ορίσει στο Shell που χρησιμοποιούμε.(π.χ. δήλωσης στο file .cshrc setenv PATH /home/user_name/sim...)

Εντολές και συναρτήσεις για τη προσομίωση

simulator('spectre')

δηλώνουμε ποιο προσομιωτή θα χρησιμοποιήσουμε

design("/path_to_sim_folder/cell_name/spectre/schematic/netlist/netlist")

δηλώνουμε το path για το netlist του cell που χρησιμοποιούμε.

modelFile(model_name)

θέτουμε το path για το μοντέλο που χρησιμοποιούμε.

Εδώ έχουμε αρκετές επιλογές

1. ο απλός τρόπος

```
model_name= list("/model_path/model_name")
```

2. δήλωση μοντέλου και saveop. Τα path δηλώνονται σαν στοιχεία λίστας με χρήση του «'»

```
modelFile(
```

```
'("/opt/Cadence/sgb25vd/tech/spectre/models.typ")
```

```
'("/home/pro2105p/my_cadence_examples/my_skill/saveop.scs"))
```

3. δήλωση path μοντέλου από application form.

```
model_file=list(form_name->form_comp->value)
```

```
modelFile(model_file)
```

μπορούμε επίσης να δηλώσουμε και ποιο κομμάτι λειτουργίας του μοντέλου θέλουμε να χρησιμοποιήσουμε.

model_name= list("/model_path/model_name" "part")

resultsDir("/path_to_sim_folder/cell_name/spectre/schematic")

δήλωση του μονοπατιού που βρίσκονται τα αποτελέσματα της προσομοίωσης

desVar("variable_name" value)

εισαγωγή τιμών στις μεταβλητές που θέσαμε πριν στο κύκλωμά μας.

Προσοχή πρέπει να δηλώσουμε τιμή ακόμα και σε όλες όσες έχουμε δηλώσει στο κύκλωμα.

analysis('type ?param "variable_name" ?start start_value ?stop stop_value ?lin lin_value)

εδώ δηλώνουμε τον τύπο της ανάλυσης (dc,ac...) που θα κάνουμε και τις μεταβλητές/παραμέτρους που θα χρησιμοποιήσουμε στη ανάλυση.

Περισσότερες πληροφορίες θα βρούμε στο εγχειρίδιο της ocean.

paramAnalysis("variable_name" ?start start_value ?stop stop_value ?step step_value)

εδώ δηλώνουμε τις μεταβλητές/παραμέτρους για παραμετρική ανάλυση.

Περισσότερες πληροφορίες θα βρούμε στο εγχειρίδιο της ocean.

save('all')

διαλέγουμε ποιες τασεις ή ρεύματα θα παραχθούν από τη προσομοίωση και θα είναι έτοιμα για χρήση από εμάς.

Run()

Τρέχει η προσομοίωση μας. Χρησιμοποιείται μόνο όταν έχουμε κανονική ανάλυση.

paramRun()

Τρέχει η παραμετρική προσομοίωση μας. Χρησιμοποιείται μόνο όταν έχουμε παραμετρική ανάλυση. Πολύ σημαντικό είναι ότι τα δεδομένα μας πρέπει να είναι

αριθμοί και όχι γραμματοσειρά (π.χ. 0.0000240 , 240n και όχι «240 n» ή «0.0000240»).

selectResults('type')

Επιλέγουμε το είδος των αποτελεσμάτων. Αυτό εξαρτάται από το είδος της προσομοίωσης(dc,ac,dcOp ...)

newWindow()

δημιουργούμε ένα νέο παράθυρο το οποίο θα περιέχει τη γραφική μας.

plot()

εντολή για προβολή της γραφικής

graphicsOff()

plot()

plot()

.. .

graphicsOn()

όλες οι εντολές plot που περιέχονται δεν θα εμφανιστούν στη οθόνη μας μέχρι τη εκτέλεση της εντολής graphicsOn()

είναι χρήσιμο σε περίπτωση που περιμένουμε αποτελέσματα και από άλλες προσομοιώσεις,

getData("/device_name/device_pin")

η εντολή μας επιστρέφει συγκεκριμένα δεδομένα για τη συσκευή που ορίζουμε π.χ. getData("/M0/D") δηλαδή από το transistor με όνομα M0 μας δίνει το ρεύμα του drain.

log(variable)

επιστρέφει το λογάριθμο της μεταβλητής μας.

delete('analysis 'type')

είναι πολύ σημαντικό να αφαιρέσουμε τα δεδομένα της ανάλυσης από την μνήμη.

Ειδικά όταν έχουμε πολλές διαδοχικές αναλύσεις.

Εντολές και συναρτήσεις για δημιουργία γραφικού περιβάλλοντος

hiCreateStringField(

?name 'myVg ;ονομα πεδιου

?prompt "Vg" ;ονομα που εμφανιζεται

)

Δημιουργία πεδίου για είσοδο γραμματοσειράς.

hiCreateButton(

?name 'runTest ;όνομα κουμπιού

?buttonText "Run" ;όνομα που εμφανίζεται

?callback " procedure_name();" ;όνομα συνάρτησης που θα καλέσει

)

Δημιουργία κουμπιού. Όταν ενεργοποιηθεί καλεί τη συνάρτηση που δηλώνουμε.

hiCreateSeparatorField(?name 'sep1)

δημιουργία οριζόντιας γραμμής διαχωρισμού.

hiCreateAppForm(

?name 'myForm

?formTitle "a title"

?fields

list(

; x:y width:height x_promptBoxWidth

list(myVg 0:0 150:30 90)

list(sep1 0:215 550:0)

list(runTest 30:220 45:30)

)

)

Εδώ δημιουργούμε τη φόρμα που θα εμφανίζετε. Είναι πολύ σημαντικό το όνομα

που δίνουμε στη φόρμα να μην ορίζεται κάπου αλλού (ούτε στο let). Στο ?fields ορίζουμε τα περιεχόμενα της φόρμας καθώς και τις παραμέτρους τους, δηλαδή list(name x_coor:y_coor width:height x_promptBoxWidth). Με το απλό τύπο width-x_promptBoxWidth πέρνουμε το πλάτος που θα έχει το κουτί που εισάγουμε τα δεδομένα μας.

Για χρήση δεδομένων από τη φόρμα μας (Αφού έχουμε καλέσει τη συνάρτηση που την περιέχει, αν υπάρχει, βλέπετε πώς καλούμε και δείχνουμε τη φόρμα)

form_name->form_comp->value

π.χ. myForm->myVg->value

Σημείωση1: Τα δεδομένα επιστρέφονται σαν γραμματοσειρά.

Σημείωση2:Αφού έχει εκτελεστεί ο κώδικας της φόρμας μπορούμε να χρησιμοποιήσουμε τα δεδομένα της από το CIW, από άλλες συναρτήσεις ή και από άλλα scripts. Υπάρχει μόνο όσο διαρκεί το συγκεκριμένο session.

Γι' αυτό είναι πολύ σημαντικό το όνομα του να είναι μοναδικό.

Σημείωση3: Πρέπει να κληθεί μόνο μια φορά στο συγκεκριμένο session.

Σημείωση4:Η φόρμα περιέχει από μόνη της κάποιες επιλογές όπως OK, cancel,apply...)

hiDisplayForm(Form_name)

Προβάλλει τη φόρμα που δημιουργήσαμε στη οθόνη.

hiCreateLabel(

?name 'lab

?labelText "my lable name"

)

Δημιουργία λεζάντας.

Παράδειγμα απλής ανάλυσης.

```
simulator('spectre)
design("/path/sim/four_sourses_nmos/spectre/schematic/netlist/netlist")
modelFile(
  ('/model_path.../tech/spectre/models.typ")
  ('/path.../saveop.scs"))
resultsDir("/path/sim/four_sourses_nmos/spectre/schematic")

;input parametes
input_temp_c=27 ;temperature in C
input_Vg_start=0
input_Vg_stop=3
input_Vg_lin=2000

;parameters
desVar("my_vb" 0)
desVar("my_vs" 0)
desVar("my_vd" 2)
desVar("my_vg" 1)
desVar("my_width" 330.00n)
desVar("my_length" 240.00n)
desVar("my_ddrs" 0)
desVar("my_sdrs" 0)
desVar("my_mult" 1)

analysis('dc ?param "my_vg" ?start input_Vg_start ?stop input_Vg_stop ?lin input_Vg_lin )
save('all)
run()

selectResults('dc)

newWindow()
graphicsOff()
;απευθείας δεδομένα
plot(getData("/M0/D"))
graphicsOn()

Id=getData("/M0/D")
logId=log(Id)
newWindow()
graphicsOff()
;δεδομένα μέσο μεταβλητής.
plot(logId)
graphicsOn()

newWindow()
graphicsOff()
plot(getData("M0:gm"))
graphicsOn()

delete('analysis 'dc)
```

Τρέχουμε μια απλή Dc ανάλυση που μας δίνει γραφική για Id vs Vg , log(Id) vs Vg και gm vs Vg. Επίσης βλέπουμε διάφορους τρόπους που πέρνουμε δεδομένα.

Παράδειγμα παραμετρικής ανάλυσης.

```
simulator('spectre)
design("/path/sim/four_sourses_nmos/spectre/schematic/netlist/netlist")
modelFile(
  ('/model_path.../tech/spectre/models.typ")
  ('/path.../saveop.scs"))
resultsDir("/path/sim/four_sourses_nmos/spectre/schematic")

;input parametes
input_temp_c=27 ;temperature in C
input_Vb_start=0
input_Vb_stop=-3
input_Vb_step=-1
input_Vg_start=0
input_Vg_stop=3
input_Vg_lin=2000

;desing variables.
desVar("my_vb" 0)
desVar("my_vs" 0)
desVar("my_vd" 0.1)
desVar("my_vg" 1)
desVar("my_width" 330.00n)
desVar("my_length" 240.00n)
desVar("my_ddrs" 0)
desVar("my_sdrs" 0)
desVar("my_mult" 1)

analysis('dc ?param "my_vg" ?start input_Vg_start ?stop input_Vg_stop ?lin input_Vg_lin )
paramAnalysis("my_vb" ?start input_Vb_start ?stop input_Vb_stop ?step input_Vb_step)
save('all)
paramRun()

selectResults('dc)

newWindow()
graphicsOff()
plot(getData("/M0/D"))
graphicsOn()

Id=getData("/M0/D")
logId=log(Id)
newWindow()
graphicsOff()
plot(logId)
graphicsOn()

newWindow()
graphicsOff()
plot(getData("M0:gm"))
graphicsOn()

delete('analysis 'dc)
```

Τρέχουμε μια παραμετρική ανάλυση Dc που μας δίνει γραφική για Id vs Vg , log(Id) vs Vg και gm vs Vg (για Vb=0,-1,-2,-3). Επίσης βλέπουμε διάφορους τρόπους που πέρνουμε δεδομένα.

Παράδειγμα για δημιουργία γραφικού περιβάλλοντος και προσομοίωσης. (Με προχωρημένες επιλογές)

```
/* **** */
* ;κώδικας γραφικού περιβάλλοντος *
* ;plot Id-Vgs , logId-Vgs , gm-Vgs *
* *
* *
**** */
procedure(t1createForm()
  let((sep1 sep2 sep3 width length vgStart vgStop vgTotalStep vbStart vbStop vbStep vs vd runTest
my_test)
  vgStart=hiCreateStringField(
    ?name 'vgStart
    ?prompt "Vg: start"
  )
  vgStop=hiCreateStringField(
    ?name 'vgStop
    ?prompt "stop"
  )
  vgTotalStep=hiCreateStringField(
    ?name 'vgTotalStep
    ?prompt "total steps"
  )
  vbStart=hiCreateStringField(
    ?name 'vbStart
    ?prompt "Vb: start"
  )
  vbStop=hiCreateStringField(
    ?name 'vbStop
    ?prompt "stop"
  )
  vbStep=hiCreateStringField(
    ?name 'vbStep
    ?prompt "step"
  )
  vs=hiCreateStringField(
    ?name 'vs
    ?prompt "Vs"
  )
  vd=hiCreateStringField(
    ?name 'vd
    ?prompt "Vd"
  )
    width=hiCreateStringField(
    ?name 'width
    ?prompt "Width(m)"
  )
  length=hiCreateStringField(
    ?name 'length
    ?prompt "length(m)"
  )
runTest=hiCreateButton(
  ?name 'runTest
  ?buttonText "Run"
  ?callback "t1RunTest()"
)
```

```

sep1=hiCreateSeparatorField(?name 'sep1)
sep2=hiCreateSeparatorField(?name 'sep2)
sep3=hiCreateSeparatorField(?name 'sep3)
my_test=hiCreateAppForm(
  ?name 't1Test1Form
  ?formTitle "cmc Test1"
  ?fields
  list(
    ; x:y width:height x_promptBoxWidth
    list(vgStart 0:0 150:30 90)
    list(vgStop 200:0 100:30 40)
    list(vgTotalStep 350:0 150:30 90)
    list(vbStart 0:35 150:30 90)
    list(vbStop 200:35 100:30 40)
    list(vbStep 350:35 150:30 90)
    list(sep1 0:70 550:0)
    list(vs 0:75 150:30 90)
    list(vd 200:75 100:30 40)
    list(sep2 0:110 550:0)
    list(width 0:145 350:30 90)
    list(length 0:180 350:30 90)
    list(sep3 0:215 550:0)
    list(runTest 30:220 45:30)
  )
)
)
)
)
/*****
* ;κώδικας παραμετρικής ανάλυσης *
* ;plot Id-Vgs , logId-Vgs , gm-Vgs *
* * *
* * *
*****/

procedure(t1RunTest()
  let((otherPar myModelPath myMult myDdrs mySdrs model_file)

    simulator('spectre)
    ;relative paths
    desingPath=strcat(getShellEnvVar("SIM_PATH")
"/cell_name/spectre/schematic/netlist/netlist")
    opPath=strcat(getShellEnvVar("SIM_PATH") " /saveop/saveop.scs")
    resPath=strcat(getShellEnvVar("SIM_PATH") "/cell_name /spectre/schematic")
    design(desingPath)
    ;models declaration , DATA from other forms
    model_file=list(otherForm->filename->value otherForm->gsModelpart->value)
    modelFile(model_file
    opPath )
    resultsDir(resPath)
;ορισμος ονοματος του μοντελου
    desVar("mymodel" otherForm->gsModelName->value)

    ;other_form variables used here.
    myMult=otherForm->gsMultiplier->value
    myDdrs=otherForm->gsDdrs->value

```

```

mySdrs=otherForm->gsSdrs->value
temp(otherForm->gsTemperature->value)
desVar("my_ddrs" myDdrs)
desVar("my_sdrs" mySdrs)
desVar("my_mult" myMult)
)

```

;desing variables ακόμα και αυτές που αλλάζουν τιμή, πρέπει να πάρουν και εδώ τιμή

```

desVar("my_vbs" 0)
desVar("my_vs" t1Test1Form->vs->value)
desVar("my_vds" cdfParseFloatString(t1Test1Form->vds->value)-cdfParseFloatString(t1Test1Form->vs->value))
desVar("my_vgs" 1)
desVar("my_width" t1Test1Form->width->value)
desVar("my_length" t1Test1Form->length->value)

```

;input parametes κανονικοποιημένες ως προς Vs (πχ Vgs=Vg-Vs)

```

input_Vbs_start=cdfParseFloatString(t1Test1Form->vbsStart->value)-cdfParseFloatString(t1Test1Form->vs->value)
input_Vbs_stop=cdfParseFloatString(t1Test1Form->vbsStop->value)-cdfParseFloatString(t1Test1Form->vs->value)
input_Vbs_step=cdfParseFloatString(t1Test1Form->vbsStep->value)-cdfParseFloatString(t1Test1Form->vs->value)
input_Vgs_start=cdfParseFloatString(t1Test1Form->vgsStart->value)-cdfParseFloatString(t1Test1Form->vs->value)
input_Vgs_stop=cdfParseFloatString(t1Test1Form->vgsStop->value)-cdfParseFloatString(t1Test1Form->vs->value)
input_Vgs_lin = t1Test1Form->vgsTotalStep->value

```

```

analysis('dc ?param "my_vgs" ?start input_Vgs_start ?stop input_Vgs_stop ?lin input_Vg_lin )

```

```

paramAnalysis("my_vbs" ?start input_Vbs_start ?stop input_Vbs_stop ?step input_Vbs_step)
save('all')
paramRun()

```

```

selectResults('dc')

```

```

newWindow()
graphicsOff()
plot(getData("/M0/D"))
addWindowLabel( list( 0.75 0.75 ) "Id vs Vgs" )
addTitle("Id vs Vgs")
graphicsOn()

```

```

Id=getData("/M0/D")
logId=log(Id)
newWindow()
graphicsOff()
plot(logId)
graphicsOn()

```

```

newWindow()
graphicsOff()
plot(getData("M0:gm"))
graphicsOn()

delete('analysis 'dc)
))

/*****
*
*          t1UiMenu()
*
*          Main entry point
*
*****/

procedure(t1UiMenu()
  unless(boundp('t1Test1Form)
    t1CreateForm()
  )
  hiDisplayForm(t1Test1Form)
)
t1UiMenu()

```