



ΠΟΛΥΤΕΧΝΕΙΟ ΚΡΗΤΗΣ

ΤΜΗΜΑ ΗΛΕΚΤΡΟΝΙΚΩΝ ΜΗΧΑΝΙΚΩΝ ΚΑΙ ΜΗΧΑΝΙΚΩΝ ΥΠΟΛΟΓΙΣΤΩΝ

ΤΟΜΕΑΣ ΗΛΕΚΤΡΟΝΙΚΗΣ ΚΑΙ ΑΡΧΙΤΕΚΤΟΝΙΚΗΣ ΥΠΟΛΟΓΙΣΤΩΝ

Χαρακτηρισμός και Μοντελοποίηση jfet τρανζίστορ

ΔΙΠΛΩΜΑΤΙΚΗ ΕΡΓΑΣΙΑ

του

ΣΙΔΕΡΗ ΔΗΜΗΤΡΗ

Επιβλέπων: Matthias Bucher

Επίκουρος Καθηγητής Πολυτεχνείου Κρήτης

ΕΡΓΑΣΤΗΡΙΟ ΗΛΕΚΤΡΟΝΙΚΗΣ

Χανιά, Μάρτιος 2013



Πολυτεχνείο Κρήτης
Τμήμα Ηλεκτρονικών Μηχανικών και Μηχανικών Υπολογιστών
Τομέας Ηλεκτρονικής και Αρχιτεκτονικής Υπολογιστών
Εργαστήριο Ηλεκτρονικής

Χαρακτηρισμός και Μοντελοποίηση jfet τρανζίστορ

ΔΙΠΛΩΜΑΤΙΚΗ ΕΡΓΑΣΙΑ

του

Σιδέρη Δημήτρη

Επιβλέπων: Matthias Bucher

Επίκουρος Καθηγητής Πολυτεχνείου Κρήτης

Εγκρίθηκε από την τριμελή εξεταστική επιτροπή την 5 Μαρτίου 2013.

(Υπογραφή)

(Υπογραφή)

(Υπογραφή)

.....
Matthias Bucher

Επίκουρος Καθηγητής

.....
Κουτρούλης Ευτύχιος

Επίκουρος Καθηγητής

.....
Καλαϊτζάκης Κωνσταντίνος

Καθηγητής

Χανιά, Μάρτιος 2013



Πολυτεχνείο Κρήτης

Τμήμα Ηλεκτρονικών Μηχανικών και Μηχανικών Υπολογιστών

Τομέας Ηλεκτρονικής και Αρχιτεκτονικής Υπολογιστών

Εργαστήριο Ηλεκτρονικής

Ευχαριστίες

Θα ήθελα να ευχαριστήσω τον επιβλέποντα καθηγητή μου κ. Μπούχερ για τη βοήθεια και καθοδήγηση που μου παρείχε, τους καθηγητές κ. Κουτρούλη και Καλαϊτζάκη για το χρόνο που αφιερώναν για την μελέτη της διπλωματικής μου, καθώς και όλα τα παιδιά από το εργαστήριο ηλεκτρονικής, τους Νίκους, τον Άγγελο και ιδιαίτερα τον Κώστα που ότι και αν τους ζήτησα μου το προσέφεραν παρόλο που τους 'έκλεβα' πολύτιμο χρόνο από τα καθήκοντα και τις δουλειές τους!

Σε όλη αυτή τη διαδρομή δε θα ήμουν ο ίδιος άνθρωπος και ήταν ευτυχία που είχα κοντά μου τον Αποστόλη, τον Παναγιώτη, τον Στάθη, τον Κουτσούκο, τον Πάνο, τον Νίκο, τον Μιχάλη, τον 5Φ, τον Λάμπρο, τον Μήτσο και τους παλιότερους, τον Θωμά και τον Φουντούλη.

Ένα μεγάλο ευχαριστώ στον Γιάννη, τη Λίτσα και τον Βασίλη που με προσέχαν και με νοιαζόντουσαν σαν οικογένεια.

Το μεγαλύτερο ευχαριστώ το αξίζει η οικογένεια μου (ο Θέμης, η Μαριάννα, η Βίκυ) και η Ελεάνα! Ξέρουν αυτοί γιατί!

Πως όμως μπορώ να ευχαριστήσω μια συλλογικότητα και συντρόφους που με σημάδεψαν τόσο βαθιά και ανεξίτηλα για ολόκληρη τη ζωή μου; Τη συλλογικότητα της ενωτικής πρωτοβουλίας και τους ανά περιόδους συντρόφους, που μου δίδαξαν τη ζωή την ίδια, τις αξίες και τα ιδανικά ενός ελεύθερου, μαχητή ανθρώπου, ενός ανθρώπου που βάζει στόχους να μην πάψει ποτέ να παλεύει για την απελευθέρωση της κοινωνίας και την κατάργηση της εκμετάλλευσης.

Η μόνη απάντηση που βρήκα είναι ότι δεν μπορώ να την ευχαριστήσω, παρά να υποσχεθώ. Να υποσχεθώ ότι, από άλλο μετερίζι πια, θα συνεχίζω να δίνω τη μάχη ενάντια σε αυτό το βάρβαρο σύστημα, που και στη χώρα μας στέλνει ανθρώπους στη φτώχεια, στην πείνα, στην εξαθλίωση και νέους ανθρώπους στην ανεργία, στην απελπισία, στο φασισμό ακόμη και στην αυτοκτονία. Δε θα συμβιβαστώ ποτέ μ' αυτό το σύστημα που κάθε θύμα του πρέπει να παραμένει στις καρδιές μας περήφανη ανοιχτή πληγή που ζητάει δικαίωση. Δικαίωση για μια ελεύθερη ζωή σε μια κοινωνία αλληλεγγύης, δικαιοσύνης και αξιοπρέπειας! Αυτή η υπόσχεση είναι το δικό μου ευχαριστώ στην ενωτική πρωτοβουλία και στα τωρινά παιδιά της, που θα με δένουν συντροφικοί δεσμοί για πάντα!

Ψηλά το κεφάλι! Θα νικήσουμε!

Περίληψη

Η τεχνολογία τρανζίστορ JFET (τύπου FET διεπαφής) έχει μια σειρά από δομικά πλεονεκτήματα, όπως ο ιδιαίτερα χαμηλός θόρυβος, που την καθιστά ιδιαίτερα χρήσιμη σε εφαρμογές ανίχνευσης σημάτων με χαμηλό θόρυβο. Από την άλλη, πρόσφατα έχει αποδειχθεί ιδιαίτερα αποδοτική ως δομή για την παραγωγή τρανζίστορ υψηλής ισχύς, για εφαρμογές ηλεκτρονικών ισχύος. Από την άλλη παρατηρείται έλλειψη συμπαγών μοντέλων (compact models) των στοιχείων αυτών, καθιστώντας την ανάπτυξη προϊόντων πιο δύσκολη.

Η παρούσα διπλωματική εργασία έχει ως στόχο τον πειραματικό χαρακτηρισμό και την συμπαγούς τύπου μοντελοποίηση τρανζίστορ τύπου JFET. Επιλέχθηκε μια σειρά από εμπορικά διαθέσιμων ειδών τρανζίστορ. Μέσα από μία πειραματική διαδικασία μετρήσεων των τρανζίστορ και με καθοδήγηση της θεωρίας χαρακτηρίζουμε τα τρανζίστορ και με τη βοήθεια δύο μοντέλων σε Verilog-A κώδικα, γίνεται μοντελοποίηση των τρανζίστορ μας ώστε να μπορούμε να εξαγάγουμε τις παραμέτρους μοντελοποίησης που είναι χρήσιμοι, για το σχεδιασμό και επανασχεδιασμό κυκλωμάτων με συγκεκριμένες προδιαγραφές.

Η συγκεκριμένη διπλωματική εργασία αναδεικνύει τις αδυναμίες των κλασικών μοντέλων προσομοίωσης JFET, και προτείνεται εναλλακτική προσέγγιση η οποία θεραπεύει τις ανεπάρκειες αυτές. Τα μοντέλα συγκρίνονται με πειραματικές μετρήσεις τριών διαφορετικών ειδών τρανζίστορ JFET.

Λέξεις Κλειδιά

τρανζίστορ, μοντελοποίηση, χαρακτηρισμός, transistor, jfet, ekv3, spectre jfet

Περιεχόμενα

Ευχαριστίες	1
Περίληψη	3
Περιεχόμενα	7
Κατάλογος Σχημάτων	10
1 Εισαγωγή	11
1.1 Σκοπός και δομή της Διπλωματικής	11
1.2 Γενικά	12
1.3 Τι είναι το τρανζίστορ	13
1.4 Είδη τρανζίστορ	13
2 Το JFET	17
2.1 Δομή JFET	17
2.2 Αρχή λειτουργίας JFET(n-καναλιού)	18
2.3 Παράδειγμα απλών θεωρητικών χαρακτηριστικών JFET	21
2.4 Μοντέλο ασθενούς σήματος JFET	23
2.5 Διαφορά μεταξύ normally on και normally off JFETs:	24
2.6 JFET p-καναλιού	24
2.7 Χρήση και εφαρμογές των JFET	24
2.8 JFET καρβίδιο του πυριτίου (SiC JFET)	25
2.8.1 Καρβίδιο του πυριτίου σε σύγκριση με το Πυρίτιο	25
2.8.2 SiC στα ηλεκτρονικά ισχύος	26
2.8.3 Δομή SiC JFET	27
3 Έρευνα αγοράς για JFET	31
3.1 Έρευνα αγοράς για Si JFET	31
3.1.1 Μέθοδος	31
3.1.2 Ονοματαλογία τρανζίστορ	31
3.1.3 Η έρευνα αγοράς	34
3.1.4 Συμπέρασμα	35

3.2 Έρευνα Αγοράς για SiC JFET	35
3.2.1 Γενικές πληροφορίες, δυσκολίες και μέθοδος έρευνας	35
3.2.2 Η έρευνα αγοράς	36
3.2.3 Συμπέρασμα	36
4 Συνδεσμολογία, υλικά και προγράμματα εργαστηρίου	37
4.1 HP 16058A Test Fixture	38
4.2 HP 4145A Semiconductor Parameter Analyzer	38
4.3 Λογισμικό	38
4.3.1 Agilent ICCAP2009	38
4.4 Τρανζίστορ	42
5 Το μοντέλο EKV3	43
5.1 Ιστορική αναδρομή	43
5.2 Αρχές λειτουργίας	44
5.2.1 Ορισμός βασικών μεγεθών	44
5.2.2 Σχέση δυναμικού - φορτίου αναστροφής	45
5.2.3 Ρεύμα καναλιού	45
5.2.4 Διαγωγιμότητες και φορτία	46
5.3 Οι παράμετροι του μοντέλου και αρχικές τιμές	46
5.4 Φαινόμενα που καλύπτονται από το EKV3 μοντέλο	53
5.5 Επισημάνσεις για τη χρήση του EKV3 σε JFET	53
5.6 Διαδικασία εξαγωγής παραμέτρων	54
5.6.1 Διάγραμμα ροής παραμέτρων	54
5.6.2 Η διαδικασία εξαγωγής παραμέτρων	55
6 Το μοντέλο spectre jfet	59
6.1 Λειτουργία του spectre jfet	59
6.2 Παράμετροι μοντέλου και αρχικές τιμές	59
6.3 Εξισώσεις του μοντέλου spectre jfet	63
6.4 Διαδικασία εξαγωγής παραμέτρων στο μοντέλο spectre jfet	65
7 Αποτελέσματα μοντελοποίησης	69
7.1 Γραφικές παραστάσεις ID-VG για χαμηλά VDS (25-100mV)	70
7.1.1 Γραφικές παραστάσεις ρευμάτων id	70
7.1.2 Γραφικές παραστάσεις λογαριθμικών ρευμάτων logid	71
7.1.3 Γραφικές παραστάσεις διαγωγιμοτήτων gm	72
7.1.4 Γραφικές παραστάσεις διαγωγιμοτήτων ρεύματος gm/id προς λογαριθμικό ρεύμα logid	73
7.2 Γραφικές παραστάσεις ID-VG VDS (1-5 V)	74
7.2.1 Γραφικές παραστάσεις ρευμάτων id	74
7.2.2 Γραφικές παραστάσεις λογαριθμικών ρευμάτων logid	75

7.2.3	Γραφικές παραστάσεις διαγωγιμότητων gm	76
7.2.4	Γραφικές παραστάσεις διαγωγιμότητων ρεύματος gm/id προς λογαριθμικά ρεύματα logid	77
7.3	Γραφικές παραστάσεις ID-VD	78
7.3.1	Γραφικές παραστάσεις ρευμάτων id	78
7.3.2	Γραφικές παραστάσεις λογαριθμικών ρευμάτων logid	79
7.3.3	Γραφικές παραστάσεις διαγωγιμότητων gd	80
8	Επίλογος	81
8.1	Συμπεράσματα για το EKV3 μοντέλο	81
8.2	Συμπεράσματα για το μοντέλο spectre jfet	82
8.3	Συγκριτικά, EKV3 και spectre jfet	82
8.4	ΤΕΛΟΣ	82
	Παράρτημα Α EKV3	83
A.1	Λίστα εξαγόμενων παραμέτρων	83
A.1.1	J204	83
A.1.2	BF245b	85
A.1.3	BF245c	87
	Παράρτημα Β Spectre jfet	89
B.1	Λίστα εξαγόμενων παραμέτρων	89
B.1.1	J204	89
B.1.2	BF245b	90
B.1.3	BF245c	90
B.2	Verilog-A κώδικας	91
	Βιβλιογραφία	97

Κατάλογος Σχημάτων

1.1	Διπολικό τρανζίστορ επαφής	14
1.2	MOSFET	15
2.1	Απλή δομή jfet	17
2.2	Κυκλωματικό σύμβολο JFET	18
2.3	Παράδειγμα λειτουργίας JFET	19
2.4	Χαρακτηριστική JFET	19
2.5	Κυκλωματικό σύμβολο παραδείγματος	21
2.6	Παράδειγμα χαρακτηριστικής	22
2.7	Παράδειγμα χαρακτηριστικής 2	22
2.8	Ισοδύναμο κύκλωμα ασθενούς σήματος	23
2.9	Ισοδύναμο κύκλωμα ασθενούς σήματος ενός ενισχυτή JFET με DC τάση. (a) κύκλωμα, (b) ισοδύναμο κύκλωμα, (c) επανασχεδιασμένο ισοδύναμο κύκλωμα	23
2.10	Κάθετη δομή ενός τυπικού JFET n-καναλιού υψηλής τάσης	27
2.11	Επαναλαμβανόμενο κομμάτι δομής του JFET. Όπου p+ Ημιαγωγός (SiC) με ισχυρή νόθευση τύπου p. Όπου n+/- ημιαγωγός (SiC) με ισχυρή/ασθενή νόθευση τύπου n	28
2.12	Ισοδύναμο ηλεκτρικό κύκλωμα JFET	29
2.13	Δομή JFET με νοητά ηλεκτρικά στοιχεία. Όπου p+: Ημιαγωγός (SiC) με ισχυρή νόθευση τύπου p. Όπου n+/- ημιαγωγός (SiC) με ισχυρή/ασθενή νόθευση τύπου n.	29
4.1	Συνδεσμολογία εξοπλισμού εργαστηρίου	37
4.2	Hardware Setup για την αναγνώριση από τον υπολογιστή του HP4145A	39
4.3	Εφαρμογή τάσεων μέσω του λογισμικού ICCAP	39
4.4	Δημιουργία γραφικών παραστάσεων	40
4.5	Προσθήκη .va κώδικα - Προσθήκη παραμέτρων	41
4.6	Λίστα παραμέτρων προς εξαγωγή	41
4.7	J204	42
4.8	BF245b	42
4.9	BF245c	42
5.1	Compact models Parameters Vs Time	43

5.2	Διάγραμμα ροής εξαγωγής παραμέτρων EKV3	55
7.1	ID-VG για VDS 25-100 mV, μοντέλο EKV3	70
7.2	ID-VG για VDS 25-100 mV, μοντέλο spectre jfet	70
7.3	LogID-VG για VDS 25-100 mV, μοντέλο EKV3	71
7.4	LogID-VG για VDS 25-100 mV, μοντέλο spectre jfet	71
7.5	gm-VG για VDS 25-100 mV, μοντέλο EKV3	72
7.6	gm-VG για VDS 25-100 mV, μοντέλο spectre jfet	72
7.7	gm-VG για VDS 25-100 mV, μοντέλο EKV3	73
7.8	gm-VG για VDS 25-100 mV, μοντέλο spectre jfet	73
7.9	ID-VG για VDS 1-5 V, μοντέλο EKV3	74
7.10	ID-VG για VDS 1-5 V, μοντέλο spectre jfet	74
7.11	LogID-VG για VDS 1-5 V, μοντέλο EKV3	75
7.12	LogID-VG για VDS 1-5 V, μοντέλο spectre jfet	75
7.13	gm-VG για VDS 1-5 V, μοντέλο EKV3	76
7.14	gm-VG για VDS 1-5 V, μοντέλο spectre jfet	76
7.15	gm-VG για VDS 1-5 V, μοντέλο EKV3	77
7.16	gm-VG για VDS 1-5 V, μοντέλο spectre jfet	77
7.17	ID-VD, μοντέλο EKV3	78
7.18	ID-VD, μοντέλο spectre jfet	78
7.19	LogID-VD, μοντέλο EKV3	79
7.20	LogID-VD, μοντέλο spectre jfet	79
7.21	gd-VD, μοντέλο EKV3	80
7.22	gd-VD, μοντέλο spectre jfet	80

Κεφάλαιο 1

Εισαγωγή



1.1 Σκοπός και δομή της Διπλωματικής

Η παρούσα διπλωματική εργασία έχει ως σκοπό την κατανόηση, τη μελέτη μέσω πειραματικής διαδικασίας μετρήσεων και την μοντελοποίηση τρανζίστορ επίδρασης πεδίου ένωσης (στο εξής, JFET). Η μοντελοποίηση γίνεται με τη χρήση δύο μοντέλων, το EKV3 και το spectre jfet τα οποία θα αναλυθούν και στη συνέχεια. Τα JFET που χρησιμοποιήσαμε ήταν τα J204, BF245b και BF245c. Η χρήση αυτών των τρανζίστορ είναι σαφώς πολλαπλή και χρησιμοποιούνται κυρίως στην κατασκευή ενισχυτών (amplifiers). Η μοντελοποίηση τους έχει ως στόχο την κατανόηση της λειτουργίας αυτών των τρανζίστορ και με την εξαγωγή των παραμέτρων από τη διαδικασία της μοντελοποίησης να περιγράψει επαρκώς τη λειτουργία τους ώστε να μπορούν να σχεδιαστούν μοντέλα βάσει συγκεκριμένων αναγκών που συνεχώς αλλάζουν!

Η δομή της διπλωματικής εργασίας αποτελείται από 8 κεφάλαια. Τα πρώτα δύο κεφάλαια είναι γενικά και καλύπτουν ένα γενικό θεωρητικό υπόβαθρο της λειτουργίας των JFET τρανζίστορ. Το 3ο κεφάλαιο αποτελείται από μία έρευνα αγοράς που μας ζητήθηκε για μία γενική παρουσίαση των τιμών των JFET τρανζίστορ καθώς και για την καινούρια τεχνολογία SiC JFET τρανζίστορ. Το 4ο κεφάλαιο αποτελείται από μία παρουσίαση των υλικών και της συνδεσμολογίας τους που χρησιμοποιήθηκε στο εργαστήριο κατά την πειραματική διαδικασία. Το 5ο κεφάλαιο παρουσιάζει μία επίσκόπηση του μοντέλου EKV3, των βασικών χαρακτηριστικών του, τις παραμέτρους του και τη λειτουργία του. Επίσης το 5ο κεφάλαιο περιέχει την διαδικασία εξαγωγής παραμέτρων του EKV3 μοντέλου και στην ουσία την κύρια διαδικασία της μοντελοποίησης των μετρήσεων των τρανζίστορ που χρησιμοποιήσαμε. Το 6ο κεφάλαιο παρουσιάζει το μοντέλο spectre jfet, τη λειτουργία του, τα χαρακτηριστικά του, και τη βασική λογική των εξισώσεων του. Παρατίθενται οι παράμετροί του και εξετάζεται λεπτομερώς η διαδικασία εξαγωγής παραμέτρων η οποία όπως με το EKV3 είναι η κύρια διαδικασία της μοντελοποίησης. Το κεφάλαιο 7 περιέχει όλες τις γραφικές παραστάσεις ως αποτέλεσμα της μοντελοποίησης για κάθε κατηγορία μετρήσεων, σε κάθε τρανζίστορ και για τα δύο μοντέλα. Ως επίλογο το κεφάλαιο 8 περιέχει τα συμπεράσματα της μοντελοποίησης καθώς και τη σύγκριση των μοντέλων EKV3 και spectre jfet. Τέλος τα παραρτήματα Α και Β περιέχουν τις λίστες εξαγόμενων παραμέτρων για τα τρανζίστορ που χρησιμοποιήθηκαν καθώς και τον κώδικα Verilog-A του μοντέλου spectre jfet. Ο Verilog-A κώδικας του EKV3, επειδή είναι αρκετά μεγάλος, παραλείπεται για λόγους παρουσίας και μόνο, καθώς είναι πιο δημοφιλής και πιο εύκολα προσβάσιμος.

1.2 Γενικά

Το τρανζίστορ θεωρείται μία από τις μεγαλύτερες εφευρέσεις του 20ου αιώνα. Ανακαλύφθηκε το 1948 από τους J. Bardeen και W. Brattain στα εργαστήρια της αμερικάνικης εταιρείας τηλεπικοινωνιών Bell. Το 1956 αυτοί μαζί με τον συνεργάτη τους W. Shockley που διατύπωσε την θεωρία του τρανζίστορ επαφής, τιμήθηκαν με το βραβείο Nobel. Η ανακάλυψη και η χρήση του έπαιξε καταλυτικό ρόλο στη διαμόρφωση του κόσμου μας όπως τον ξέρουμε σήμερα. Υπέρογκοι υπολογισμοί, τσιπ κάθε είδους, στο αυτοκίνητο στον προσωπικό μας υπολογιστή, στα κινητά τηλέφωνα, στην εξελιγμένη καφετιέρα μας! Ο σημερινός κόσμος θα ήταν αγνώριστος χωρίς τον ψηφιακό κόσμο που έφερε το τρανζίστορ και κατ' επέκταση ολόκληρος ο κλάδος της ηλεκτρονικής και της πληροφορικής. Η πλατιά χρήση του οφείλεται σαφώς και στη δυνατότητα παραγωγής του σε τεράστιες ποσότητες που μειώνουν το κόστος ανά μονάδα. Παρόλο που αρκετοί παραγωγοί παράγουν, ακόμα και σήμερα, μεμονωμένες συσκευασίες τρανζίστορ, η μεγαλύτερη ποσότητα παράγεται μέσα σε ολοκληρωμένα κυκλώματα(που συχνά αναφέρονται ως τσιπς) μαζί με τις διόδους, αντιστάσεις, πυκνωτές και άλλα ηλεκτρονικά εξαρτήματα. Όντας λοιπόν το κυριότερο συστατικό όλων σχεδόν των σύγχρονων ηλεκτρονικών κατασκευών η μελέτη του και η ανάπτυξή του είναι ένα κύριο πεδίο επιστημονικής έρευνας. Η επιστημονική έρευνα καθίσταται απαραίτητη για να μπορούμε βάσει των αναγκών που υπάρχουν να σχεδιάζονται και να μοντελοποιούνται τρανζίστορ για πάσης

φύσεως χρήση. [12]

1.3 Τι είναι το τρανζίστορ

Το τρανζίστορ (transistor), κρυσταλλοτρίοδος και (παλιότερα) κρυσταλλολυχνία, είναι διάταξη ημιαγωγών στερεάς κατάστασης, η οποία βρίσκει διάφορες εφαρμογές στην ηλεκτρονική, μερικές εκ των οποίων είναι η ενίσχυση, η σταθεροποίηση τάσης, η διαμόρφωση συχνότητας, η λειτουργία ως διακόπτης και ως μεταβλητή ωμική αντίσταση. Από το τελευταίο μάλιστα προέρχεται και δημιουργία της λέξης transistor, από τη σύνθεση των λέξεων transforming που σημαίνει μετασχηματιζόμενο, μεταβλητό, και resistor που σημαίνει αντιστάτης. Το τρανζίστορ μπορεί, ανάλογα με την τάση με την οποία πολώνεται, να ρυθμίζει την ροή του ηλεκτρικού ρεύματος που απορροφά από συνδεδεμένη πηγή τάσης. Τα τρανζίστορ κατασκευάζονται είτε ως ξεχωριστά ηλεκτρονικά εξαρτήματα είτε ως τμήματα κάποιου ολοκληρωμένου κυκλώματος. [12]

1.4 Είδη τρανζίστορ

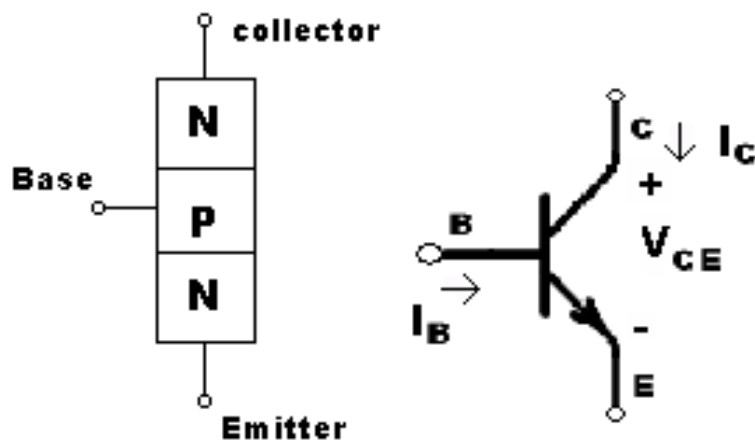
Τα είδη των τρανζίστορ χωρίζονται σε δύο κύριες κατηγορίες

1. Διπολικό Τρανζίστορ Επαφής (Bipolar Junction Transistor, BJT)

Το διπολικό τρανζίστορ είναι ένας κρύσταλλος με τρεις εμπλουτισμένες περιοχές, με άλλα λόγια, αποτελείται από τρία διαδοχικά εναλλασσόμενα στρώματα ημιαγωγού υλικού. Μπορεί να παρομοιαστεί με ένα "σάντουιτς" του οποίου το ενδιάμεσο υλικό είναι είτε τύπου -n(τρανζίστορ τύπου -npn) ή τύπου -p (τρανζίστορ τύπου -pnp). Οι τρεις περιοχές του τρανζίστορ αναφέρονται ως εκπομπός (E), βάση (B) και συλλέκτης (C). Ο εκπομπός είναι μια έντονα εμπλουτισμένη περιοχή που προορισμός της είναι να εκπέμπει τους φορείς ηλεκτρισμού (π.χ. ηλεκτρόνια, στην περίπτωση του τρανζίστορ τύπου -npn) προς τη βάση. Η βάση αποτελείται από μια πολύ λεπτή περιοχή η οποία επιτρέπει τη διέλευση των φορέων προς το συλλέκτη και είναι λιγότερο εμπλουτισμένη. Ο συλλέκτης βρίσκεται, σε επίπεδο εμπλουτισμού, μεταξύ αυτού του εκπομπού και αυτού της βάσης και αποτελεί περιοχή κατανάλωσης ισχύος, για το λόγο αυτό καλύπτει μεγαλύτερη περιοχή από τον εκπομπό.

2. Τρανζίστορ Επίδρασης Πεδίου

Τα τρανζίστορ επίδρασης πεδίου (Field Effect Transistor) ή FET από τα αρχικά των αγγλικών λέξεων είναι μια ηλεκτρονική διάταξη με τρεις ακροδέκτες η οποία περιλαμβάνει μια επαφή p-n. Η λειτουργία του βασίζεται στον έλεγχο ενός εσωτερικού ηλεκτρικού πεδίου με την εφαρμογή εξωτερικού δυναμικού στον έναν από τους τρεις ακροδέκτες που ονομάζεται πύλη (gate). Το πεδίο αυτό ελέγχει την αγωγιμότητα μεταξύ των άλλων δυο ακροδεκτών, που ονομάζονται απαγωγός ή εκροή ή υποδοχή (drain) και πηγή (source). Το ρεύμα που διέρχεται από αυτούς τους δύο ακροδέκτες ελέγχεται από το πεδίο αυτό και έτσι, ενώ στα διπολικά τρανζίστορ ο έλεγχος του ρεύματος στην

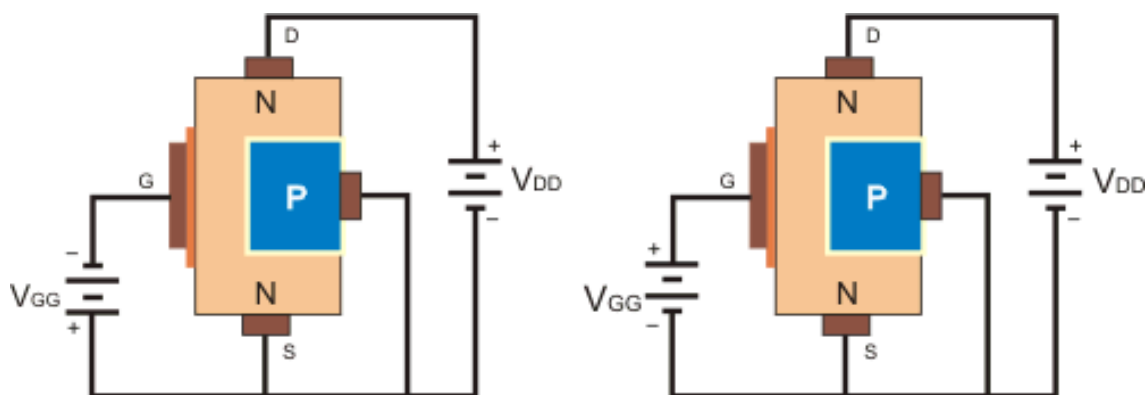


Σχήμα 1.1: Διπολικό τρανζίστορ επαφής

έξοδο γίνεται με το ρεύμα βάσης, στα FETs ο έλεγχος γίνεται με το δυναμικό της πύλης. Επίσης, η αγωγιμότητα γίνεται με ένα τύπο φορέων (οπές ή ηλεκτρόνια) ανάλογα με την πολικότητά τους, οπότε τα τρανζίστορ αυτά χαρακτηρίζονται ως μονοπολικά (unipolar).

Υπάρχουν δυο τύποι FET που ονομάζονται FET επαφής, JFET (Junction FET) και FET μονωμένης πύλης ή Μετάλλου-Οξειδίου-Ημιαγωγού, (MOSFET, Metal-Oxide-Semiconductor FET). Κάθε τύπος μπορεί να κατασκευαστεί με κανάλι αγωγιμότητας ημιαγωγού τύπου n ή τύπου p, οπότε χαρακτηρίζεται αντίστοιχα ως n-καναλιού (n-channel) ή p-καναλιού (p-channel). Επιπλέον, υπάρχουν δύο κατηγορίες των παραπάνω, τα MOSFET αραιώσης (depletion mode) και τα FET πύκνωσης (enhancement mode). Ένα σημαντικό χαρακτηριστικό του FET είναι ότι συχνά είναι απλούστερο να κατασκευαστεί και ότι καταλαμβάνει μικρότερο χώρο πάνω σε ένα μικροκύκλωμα (τσιπ) σε σύγκριση με ένα BJT. Έτσι, η πυκνότητα εξαρτημάτων πάνω σε ένα μόνο μικροκύκλωμα μπορεί να είναι εξαιρετικά μεγάλη και συχνά ξεπερνά τα 100.000 MOSFET ανά τσιπ.

Μια δεύτερη πολύ σημαντική ιδιότητα είναι ότι οι διατάξεις MOS μπορούν να συνδεθούν σαν αντιστάσεις και σαν πυκνωτές ανάλογα με την χρήση που απαιτείται. Αυτό επιτρέπει την σχεδίαση συστημάτων που αποτελούνται αποκλειστικά από MOSFET και όχι από άλλα εξαρτήματα. Η εκμετάλλευση των ιδιοτήτων αυτών κάνει το MOSFET την κυρίαρχη συσκευή σε συστήματα πολύ μεγάλης κλίμακας ολοκλήρωσης (VLSI: Very Large Scale Integration). Αντίθετα με το BJT, το FET είναι μια συσκευή φορέων πλειονότητας. Η λειτουργία του εξαρτάται από την χρήση ενός ηλεκτρικού πεδίου που εφαρμόζεται για να ελέγχει ένα ρεύμα. Έτσι το FET είναι μια πηγή ρεύματος που ελέγχεται από τάση, που όπως είναι γνωστό μπορεί να χρησιμοποιηθεί και σαν διακόπτης και σαν ενισχυτής.



Σχήμα 1.2: MOSFET

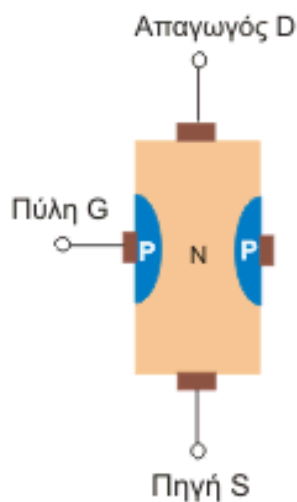
Κεφάλαιο 2

Το JFET

Το τρανζίστορ πεδίου επαφής ένωσης (junction), γνωστό και ως JFET, είναι ένα μονοπολικό τρανζίστορ. Αυτό οφείλεται στο γεγονός ότι βασίζει τη λειτουργία του σε ένα μόνο είδος φορέων, δηλαδή ηλεκτρόνια ή οπές, σε αντίθεση με το κοινό τρανζίστορ που ονομάζεται και διπολικό και η λειτουργία του βασίζεται και στα δυο αυτά είδη φορέων.

2.1 Δομή JFET

Η αρχή κατασκευής ενός JFET βασίζεται στην επιλογή ενός τμήματος ημιαγωγού, π.χ. τύπου-N, στο οποίο προστίθενται στις δυο πλευρές του, περιοχές τύπου-P. Η συγκέντρωση των προσμίξεων στις περιοχές τύπου-P είναι πολύ ψηλότερες από αυτή του καναλιού. Κάθε μια από τις περιοχές τύπου-P καλείται πύλη (gate). Τα δυο άκρα του τμήματος τύπου-N ονομάζονται πηγή (source) και απαγωγός (drain), ενώ το τμήμα του ημιαγωγού τύπου-N το οποίο βρίσκεται μέσα στις περιοχές τύπου-P ονομάζεται κανάλι ή δίαυλος (channel).

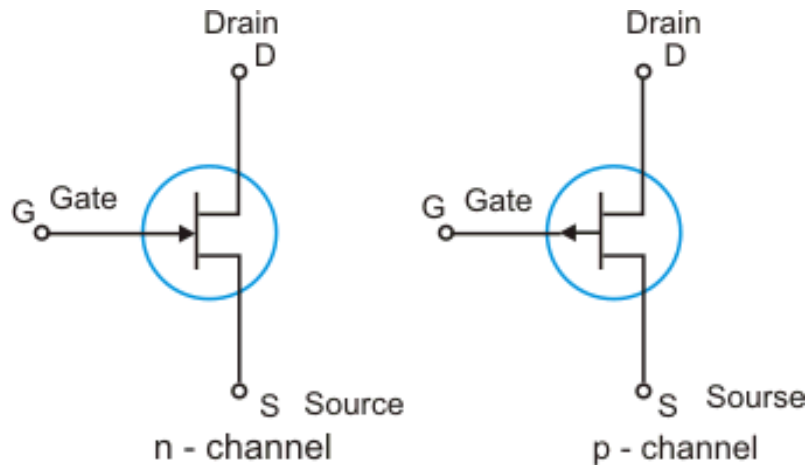


Σχήμα 2.1: Απλή δομή jfet

Ανάλογα με τον τύπο του ημιαγωγού του καναλιού ορίζεται και ο τύπος του JFET. Έτσι

υπάρχουν JFET n-καναλιού ή p-καναλιού (n-channel ή p-channel). Το δημοφιλέστερο JFET έχει μια μόνο πύλη, για το λόγο ότι ενώνονται εξωτερικά οι δύο περιοχές τύπου-P.

Το κυκλωματικό σύμβολο ενός JFET παρουσιάζεται στο παρακάτω σχήμα. Για μνημονικό βοήθημα πρέπει να θεωρηθεί ότι η λεπτή κατακόρυφη γραμμή αντιστοιχεί στο κανάλι. Η πηγή και ο απαγωγός συνδέονται με αυτή τη γραμμή. Επιπλέον, το βέλος της πύλης δείχνει προς τον ημιαγωγό τύπου-N, όπως στην κοινή διόδο. Έτσι, αν το βέλος δείχνει προς το κανάλι το JFET είναι n-καναλιού ενώ αν έχει αντίθετη κατεύθυνση είναι p-καναλιού.

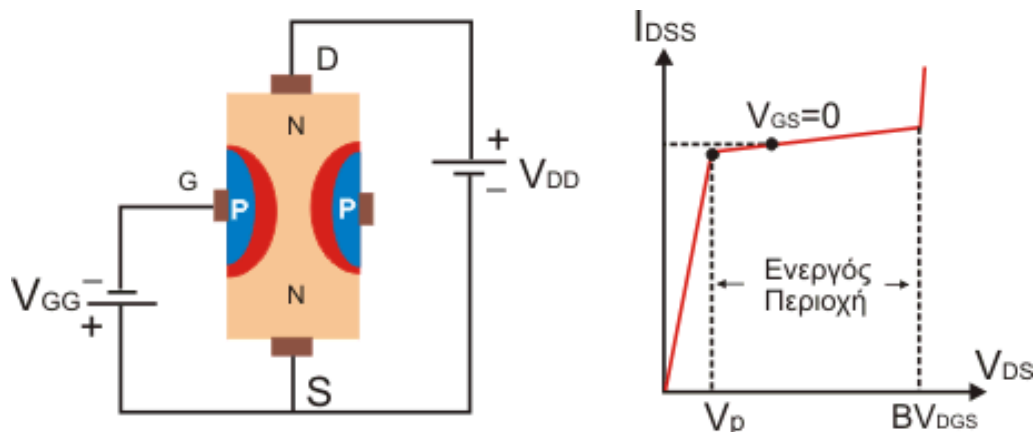


Σχήμα 2.2: Κυκλωματικό σύμβολο JFET

2.2 Αρχή λειτουργίας JFET(n-καναλιού)

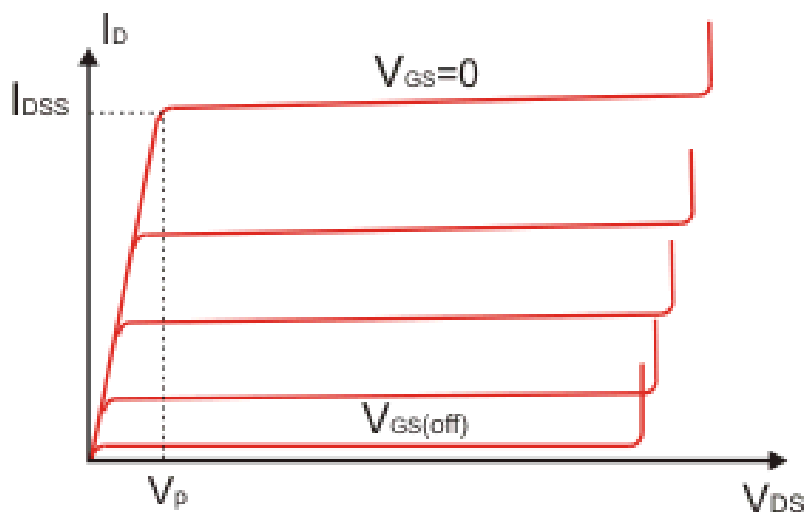
Η λειτουργία ενός JFET βασίζεται στην επαφή πύλης-καναλιού, η οποία στο εξής θα ονομάζεται επαφή ή διόδος πύλης για λόγους απλότητας. Η περιοχή φορτίου χώρου (απογυμνωμένη περιοχή) της επαφής έχει ως αποτέλεσμα την μείωση της διατομής του καναλιού και συνεπώς τη μεταβολή της αντίστασης του. Έτσι μεταβάλλοντας την πόλωση της διόδου πύλης, μεταβάλλεται το εύρος της περιοχής φορτίου χώρου της επαφής και συνεπώς η αντίσταση του καναλιού, άρα ελέγχεται το ρεύμα το οποίο διαρρέει το JFET. Ο όρος επίδραση πεδίου σχετίζεται με την περιοχή φορτίου χώρου που δημιουργείται στην επαφή πύλης.

Στο κύκλωμα χρησιμοποιούνται δύο πηγές τάσεως. Η πρώτη συνδέεται μεταξύ απαγωγού και πηγής η VDD και παρέχει την τάση απαγωγού VDS. Η δεύτερη συνδέεται μεταξύ πύλης και πηγής η VGG και παρέχει την τάση πύλης VGS. Η VGG πολώνει ανάστροφα τη διόδο πύλης με αποτέλεσμα το ρεύμα πύλης I_G να είναι πάρα πολύ μικρό και συνεπώς η αντίσταση εισόδου πάρα πολύ μεγάλη. Επιπλέον, η τάση της πύλης διαμορφώνει, όπως προαναφέρθηκε, την αντίσταση του καναλιού. Στο σχήμα που ακολουθεί παρουσιάζεται μια γραφική παράσταση των χαρακτηριστικών ρευμάτων απαγωγού I_D συναρτήσει της τάσης απαγωγού VDS για διάφορες τιμές της τάσης πύλης. Η ομοιότητα της με τη χαρακτηριστική καμπύλη συλλέκτη των διπολικών τρανζίστορ είναι αξιοσημείωτη. Για μικρές τιμές της τάσης απαγωγού το ρεύμα



Σχήμα 2.3: Παράδειγμα λειτουργίας JFET

απαγωγού αυξάνει απότομα και γίνεται σχεδόν οριζόντιο στην ενεργό περιοχή. Όταν η τάση απαγωγού γίνει πολύ μεγάλη και υπερβεί την τιμή BV_{DS} , που είναι η τάση κατάρρευσης με γειωμένη την πηγή, το JFET, καταρρέει. Όπως και στα διπολικά τρανζίστορ, η ενεργός περιοχή εκτείνεται κατά μήκος του (σχεδόν) οριζόντιου τμήματος της χαρακτηριστικής καμπύλης. Σ' αυτήν την περιοχή το JFET λειτουργεί ως πηγή ρεύματος. Στις καμπύλες ρεύματος απαγωγού σε συνάρτηση της τάσης απαγωγού διακρίνουμε τα εξής:



Σχήμα 2.4: Χαρακτηριστική JFET

Κατάσταση βραχυκυκλωμένης πύλης: Όταν η τάση της πύλης μηδενιστεί, τότε η πύλη και η πηγή βραχυκυκλώνουν. Η κατάσταση αυτή ονομάζεται κατάσταση βραχυκυκλωμένης πύλης και σ' αυτήν αντιστοιχεί το ρεύμα απαγωγού στην κατάσταση βραχυκυκλωμένης πύλης I_{DSS} .

Τάση συμπίεσης: Η τάση συμπίεσης (pinch-off voltage) V_P είναι η τάση απαγωγού πάνω από την οποία το ρεύμα απαγωγού γίνεται περίπου σταθερό, στην κατάσταση βραχυκυκλωμένης πύλης. Είναι στην ουσία η τάση κατωφλίου V_T στην απόλυτη τιμή στην κατάσταση βραχυκυκλωμένης πύλης. Όταν η τάση απαγωγού γίνει ίση με V_P , το αγώγιμο κανάλι γίνεται

εξαιρετικά στενό (συμπιέζεται) και οι περιοχές φορτίου χώρου σχεδόν εφάπτονται, με αποτέλεσμα αν η τάση απαγωγού αυξηθεί πέρα της τάσης συμπίεσης V_p το ρεύμα του απαγωγού παραμένει περίπου σταθερό. Η τάση συμπίεσης χωρίζει τη χαρακτηριστική ενός JFET σε δύο περιοχές: την ενεργό περιοχή (ή περιοχή κορεσμού), η οποία ισχύει όταν η τάση απαγωγού είναι μεγαλύτερη της τάσης συμπίεσης $V_{DS} \geq V_{GS} - V_P$, και την ωμική περιοχή, η οποία ισχύει όταν η τάση απαγωγού είναι μικρότερη της τάσης συμπίεσης $V_{DS} \leq V_{GS} - V_P$. Η τελευταία λέγεται και ωμική διότι σ' αυτήν το ρεύμα του απαγωγού είναι, σχεδόν, ανάλογο της τάσης απαγωγού, δηλαδή ισχύει ο νόμος του $\Omega\mu$, και πρακτικά δεν εξαρτάται από την τάση της πύλης. Επιπλέον η ωμική περιοχή αντιστοιχεί στην περιοχή κόρου των διπολικών τρανζίστορ. Στην ωμική περιοχή η αντίσταση R_{DS} μεταξύ των ακροδεκτών απαγωγού και πηγής υπολογίζεται πολύ εύκολα από την εξίσωση: $R_{DS} = V_P / I_{DSS}$.

Τάση αποκοπής πύλης - πηγής: Οι χαρακτηριστικές απαγωγού μοιάζουν με τις χαρακτηριστικές συλλέκτη των διπολικών τρανζίστορ. Στο προηγούμενο σχήμα δίνονται οι χαρακτηριστικές ενός τυπικού JFET. Η υψηλότερη χαρακτηριστική δίνεται για $V_{GS}=0V$, για κατάσταση βραχυκυκλωμένης πύλης. Οι υπόλοιπες χαρακτηριστικές αντιστοιχούν για αρνητικές τιμές τάσης πύλης - πηγής $V_{GS} < 0$. Η χαμηλότερη τιμή $V_{GS}=V_T$ ή αλλιώς $V_{GS}(off)$ που αντιστοιχεί στην τάση αποκοπής πύλης-πηγής, οι περιοχές φορτίου χώρου εφάπτονται, με αποτέλεσμα να αποκόπτεται εντελώς το ρεύμα απαγωγού.

Επιπλέον οι κατασκευαστές ενός JFET καθορίζουν την τιμή της παραμέτρου διααγωγιμότητας β (beta) ή αντί αυτής την τιμή του ρεύματος υποδοχής στο όριο μεταξύ τριόδου και κορεσμού για $V_{GS}=0$ που συμβολίζεται με I_{DSS} . Δείχνεται εύκολα ότι: [1]

$$I_{DSS} = \beta V_T^2 \Rightarrow \beta = \frac{I_{DSS}}{V_T^2} \quad (2.1)$$

Εν κατακλείδι έχουμε τρεις καταστάσεις:

- Περιοχή αποκοπής (cutoff region) όπου $V_{GS} < V_T$ και για οποιοδήποτε V_{DS} ισχύει $I_D=0$
- Περιοχή τριόδου (ή ωμική περιοχή) όπου $V_{DS} \leq V_{GS} - V_T$ και ισχύει προσεγγιστικά [1]

$$I_D = \beta [2(V_{GS} - V_T)V_{DS} - V_{DS}^2] \quad (2.2)$$

Από την εξίσωση 2.1 προκύπτει

$$I_D = I_{DSS} [2(1 - \frac{V_{GS}}{V_T})(\frac{V_{DS}}{-V_T}) - (\frac{V_{DS}}{V_T})^2] \quad (2.3)$$

- Ενεργός περιοχή (ή περιοχή κορεσμού) όπου $V_{DS} \geq V_{GS} - V_T$ και ισχύει [1]

$$I_D = I_{DSS} (1 - \frac{V_{GS}}{V_T})^2 [1 + \lambda(V_{DS} - V_{GS} + V_T)] \quad (2.4)$$

Όπου λ μία παράμετρος διαμόρφωσης καναλιού.

Η εξίσωση του Shockley 2.4, μπορεί να γραφεί και παραλείποντας τις ποσότητες λ V_{DS} , αφού στην πράξη θεωρούμε ότι $\lambda=0$ [6]. Φτάνουμε έτσι στη γνωστή σχέση

$$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_T}\right)^2 \quad (2.5)$$

και ο βασικός ορισμός της διαγωγιμότητας g_m

$$g_m = \frac{\Delta I_D}{\Delta V_{GS}} \big|_{V_{DS} = \text{constant}} \quad (2.6)$$

Έτσι έχουμε την εξίσωση του g_m σύμφωνα με τις μεταβλητές του τρανζίστορ.

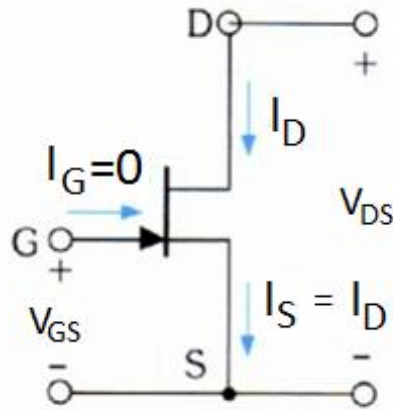
$$g_m = \frac{2I_{DSS}}{|V_T|} \left(1 - \frac{V_{GS}}{V_T}\right) = g_{mo} \left(1 - \frac{V_{GS}}{V_T}\right) \quad (2.7)$$

όπου

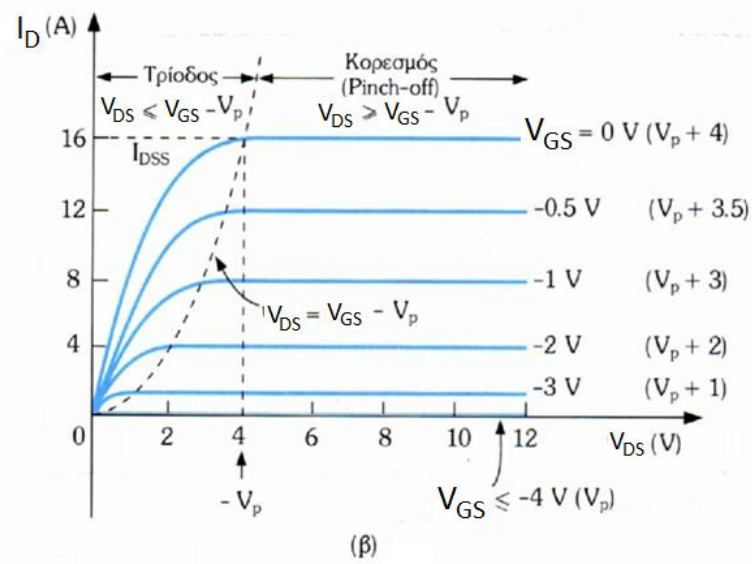
$$g_{mo} = \frac{2I_{DSS}}{|V_T|} \quad (2.8)$$

2.3 Παράδειγμα απλών θεωρητικών χαρακτηριστικών JFET

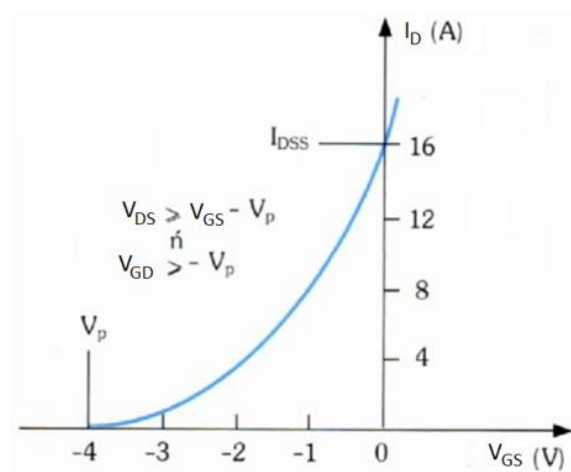
Οι I-V χαρακτηριστικές ενός JFET n-τύπου με $V_T=-4V$ παρουσιάζονται στο σχήμα 2.6



Σχήμα 2.5: Κυκλωματικό σύμβολο παραδείγματος



Σχήμα 2.6: Παράδειγμα χαρακτηριστικής



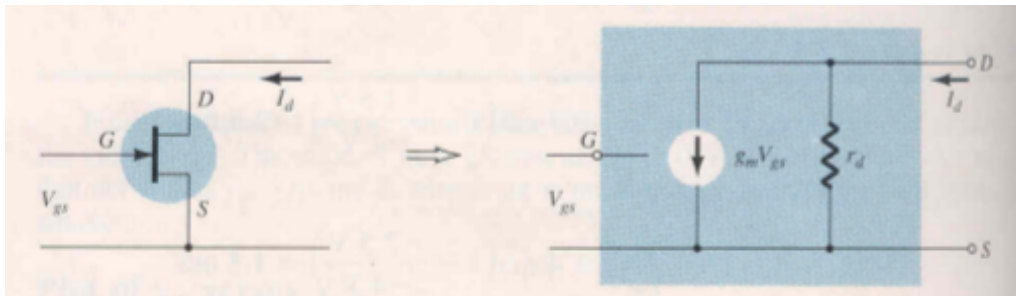
Σχήμα 2.7: Παράδειγμα χαρακτηριστικής 2

2.4 Μοντέλο ασθενούς σήματος JFET

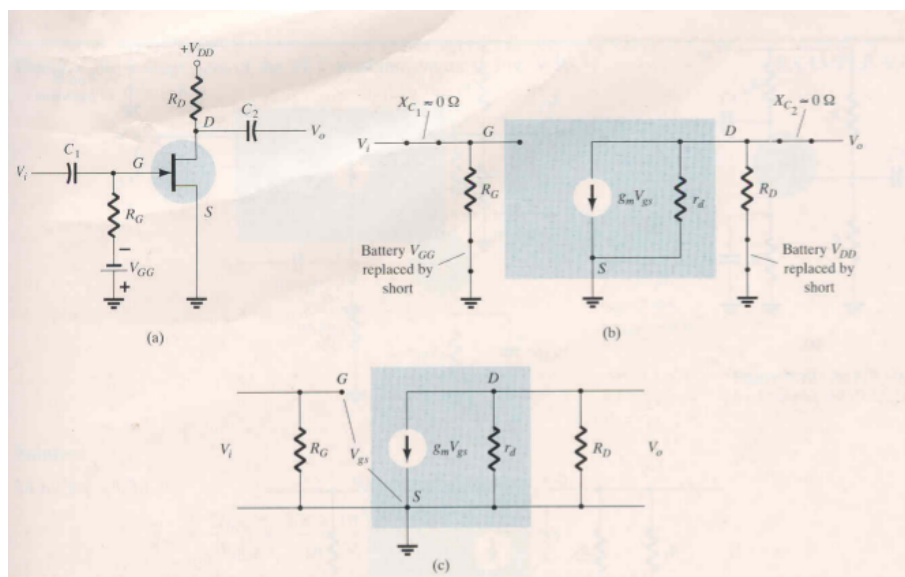
Στην ανάλυση ασθενούς σήματος, [6] το FET συμπεριφέρεται ως μια πηγή ρεύματος η οποία ελέγχεται από το σήμα εισόδου. Δέχεται ένα σήμα V_{GS} και προμηθεύει στον ακροδέκτη υποδοχής ένα ρεύμα ίσο με $g_m V_{GS}$. Ο συντελεστής αναλογίας είναι η διαγωγιμότητα g_m . Στο μοντέλο ασθενούς σήματος υπάρχει επίσης η αντίσταση υποδοχής r_d , η οποία ορίζεται από την εξίσωση

$$r_d = \frac{\Delta V_{DS}}{\Delta I_D} = \frac{V_{DS}}{I_D} \quad (2.9)$$

για σταθερό V_{GS} . Η αγωγιμότητα υποδοχής g_d είναι το αντίστροφο της r_d . Η αντίσταση εισόδου μεταξύ της πύλης και της πηγής είναι άπειρη, εάν υποθεθεί ότι η ανάστροφα πολωμένη πύλη δεν απορροφά ρεύμα. Για τον ίδιο λόγο η αντίσταση μεταξύ της πύλης και της υποδοχής λαμβάνεται ότι είναι άπειρη.



Σχήμα 2.8: Ισοδύναμο κύκλωμα ασθενούς σήματος



Σχήμα 2.9: Ισοδύναμο κύκλωμα ασθενούς σήματος ενός ενισχυτή JFET με DC τάση. (a) κύκλωμα, (b) ισοδύναμο κύκλωμα, (c) επανασχεδιασμένο ισοδύναμο κύκλωμα

2.5 Διαφορά μεταξύ normally on και normally off JFETs:

Όπως διαφαίνεται από την ανάλυση που προηγήθηκε για τα normally-on JFETs (n-καναλιού) ή JFETs απογύμνωσης (n-καναλιού), η τάση κατωφλίου είναι αρνητική και το τρανζίστορ είναι on όταν η τάση πύλης - πηγής είναι μηδενική. Στα normally-off JFETs (πύκνωσης) (n-καναλιού) όμως το κανάλι είναι πλήρως καλυμμένο από την περιοχή απογύμνωσης για μηδενική τάση πύλης-πηγής και απαιτείται θετική τάση πύλης-πηγής ώστε να άγει, δηλαδή η τάση κατωφλίου στα normally-off (n- καναλιού) είναι θετική. Δομικά δεν υπάρχουν διαφορές ανάμεσα σε normally-on και normally-off JFETs. Αυτή η ιδιότητα (κατάσταση ηρεμίας) του τρανζίστορ ελέγχεται από το πλάτος του καναλιού και την συγκέντρωση της νόθευσης.

2.6 JFET p-καναλιού

Όσον αφορά τη νόθευση του καναλιού ισχύουν τα εξής: Οι εξισώσεις που περιγράφουν ένα JFET p-καναλιού (είτε απογύμνωσης είτε πύκνωσης) είναι ίδιες με αυτές ενός JFET n-καναλιού (είτε απογύμνωσης είτε πύκνωσης) με τη διαφορά ότι αλλάζουν οι πολικότητες των τάσεων ακροδεκτών και η φορά του ρεύματος αγωγής (εναλλαγή ακροδεκτών υποδοχής-πηγής). Επίσης ενώ τα JFET n-καναλιού είναι on όταν η τάση πύλης-πηγής γίνεται μεγαλύτερη από την τάση κατωφλίου, τα JFET p-καναλιού είναι on όταν η τάση πύλης-πηγής είναι μικρότερη από την τάση κατωφλίου. Πιο συγκεκριμένα ένα JFET απογύμνωσης p-καναλιού διαφέρει από το JFET απογύμνωσης n-καναλιού που περιγράφηκε παραπάνω, στα εξής:

- η τάση V_p εδώ είναι θετική, $0 \leq V_{GS} \leq V_p$
- η τάση V_{DS} είναι αρνητική
- η σταθερά λ είναι αρνητική
- το ρεύμα I_D εξέρχεται από τον ακροδέκτη της υποδοχής
- λειτουργεί στον κορεσμό όταν $V_{DS} \leq V_{GS} - V_p$
- λειτουργεί στην τριόδο όταν $V_{DS} \geq V_{GS} - V_p$

2.7 Χρήση και εφαρμογές των JFET

Η τεχνολογία αυτή, άνω των 40 ετών, εξακολουθεί να επιλύει του πραγματικού κόσμου, μικρού σήματος προβλήματα που απαιτούν συνήθως χαμηλή ισχύ, υψηλή αντίσταση, και χαμηλά επίπεδα θορύβου [4]. Τα JFETs προσφέρουν επίσης εξαιρετική ακτινοβολία και ανοχή θερμοκρασίας (τυπικά -60 βαθμούς Κελσίου έως 150), που απαιτούνται σε πολλές υψηλής αξιοπιστίας εφαρμογές. Στην πραγματικότητα, όταν είναι σωστά πολωμένα, το JFET μπορεί να έχει σχεδόν μηδενική επιρροή από τη θερμοκρασία και οι επιδόσεις του να παραμένουν σχεδόν ανεπηρέαστες σε μία ευρεία περιοχή θερμοκρασίας.

Το JFET συνεπώς παρουσιάζει χαρακτηριστικά, τα οποία συχνά το καθιστά πιο κατάλληλο για μια συγκεκριμένη εφαρμογή από το διπολικό τρανζίστορ. Ορισμένες από αυτές τις εφαρμογές είναι:

1. Αισθητήρες μετατόπισης - Displacement sensors
2. Ενισχυτές υψηλής αντίστασης εισόδου - High input impedance amplifiers
3. Ενισχυτές χαμηλού θορύβου - Low-noise amplifiers
4. Διαφορικοί ενισχυτές Differential amplifiers
5. Πηγές συνεχούς ρεύματος - Constant current sources
6. Αναλογικοί διακόπτες ή πύλες Analogue switches or gates
7. Αντιστάσεις ελεγχόμενες από τάση - Voltage controlled resistors
8. Διάφορα όργανα ηλεκτρονικών μετρήσεων (oscilloscopes, analyzers)
9. Όργανα ιατρικής απεικόνισης και ανάλυσης αίματος

2.8 JFET καρβίδιο του πυριτίου (SiC JFET)

Μεγάλη είναι η συζήτηση στην επιστημονική κοινότητα για τα όρια που έχουν τα ηλεκτρονικά κυκλώματα που κατασκευάζονται με βάση το πυρίτιο. Αρχίζει και επεκτείνεται στον κλάδο της ηλεκτρονικής η μελέτη και η κατασκευή ηλεκτρονικών κυκλωμάτων με τη βοήθεια του γραφενίου [13]. Η πρόσμιξη άνθρακα με πυρίτιο έχει φέρει στην επιφάνεια ένα πολλά υποσχόμενο υλικό που ονομάζεται καρβίδιο του πυριτίου ή ανθρακικό πυρίτιο (SiC). Ερευνητές της IBM αναφέρουν ότι χρησιμοποίησαν το γραφένιο για τη δημιουργία «διόδων επίδρασης πεδίου» (FET), με συχνότητες λειτουργίας που έφτασαν τα 30 GHz και θα μπορούσαν να αυξηθούν περαιτέρω στα 100 GHz. [5]. Επίσης εδώ και λίγα χρόνια από μια σειρά εταιρίες (semisouth, infeneon, cree, semelab, geneSiC) κατασκευάζονται τρανζίστορ από καρβίδιο του πυριτίου και έχουν βγει ήδη στο εμπόριο.

2.8.1 Καρβίδιο του πυριτίου σε σύγκριση με το Πυρίτιο

Το ενεργειακό διάκενο του SiC είναι 3πλάσιο από αυτό του Si καθώς το SiC είναι ένας ημιαγωγός με ευρύ διάκενο. Το μεγαλύτερο ενεργειακό διάκενο έχει ως αποτέλεσμα την ύπαρξη λιγότερων φορέων στις περιοχές απογύμνωσης των συσκευών που το χρησιμοποιούν και αυτό χρησιμεύει στον περιορισμό των ρευμάτων διαρροής στις ενώσεις p-n. Επίσης λόγω του μεγάλου του διακένου, της αυξημένης θερμικής του αγωγιμότητας αλλά και άλλων χημικών χαρακτηριστικών του, το SiC, μπορεί να χρησιμοποιηθεί σε εφαρμογές μεγάλης θερμοκρασίας (π.χ. 600oC έναντι των 150oC του πυριτίου). Αυτό συνεπάγεται:

- Μικρότερες ψυκτικές απαιτήσεις

- Μειωμένο όγκο και βάρος
- Πιθανή χρήση αερόψυκτων ψηκτρών για εφαρμογές υψηλής ισχύος
- Μεγαλύτερη πυκνότητα ρεύματος

Το SiC έχει μεγαλύτερη αντοχή έναντι ακτινοβολίας επομένως μπορεί να χρησιμοποιηθεί σε διάφορες ηλεκτρονικές εφαρμογές και να οδηγήσει σε ελαφρύτερες συσκευές καθώς θα απαιτείται μειωμένη θωράκιση. Για συσκευές ισχύος η πιο σημαντική ιδιότητα είναι το ηλεκτρικό πεδίο διάσπασης, E_{max} . Αυτό το μέγεθος δείχνει πόσο υψηλό μπορεί να είναι το πεδίο μέσα στο υλικό πριν αυτό υποστεί διάσπαση. Αυτός ο τύπος διάσπασης προφανώς αναφέρεται ως καταστροφική διάσπαση. Το E_{max} του SiC είναι περίπου 10 φορές μεγαλύτερο από αυτό του Si. Άρα προκύπτουν:

- Λεπτότερες συσκευές (μειωμένος όγκος)
- Μικρή αντίσταση αγωγής, λιγότερες απώλειες αγωγής και αυξημένη απόδοση
- Υψηλότερες τάσεις διάσπασης (λιγότερες συσκευές εν σειρά για εφαρμογές υψηλής τάσης)

Για υψίσυχνες συσκευές το ηλεκτρικό πεδίο διάσπασης δεν είναι τόσο σημαντικό όσο η ταχύτητα ολίσθησης ηλεκτρονίων. Στο SiC είναι $2 \cdot 10^7$ cm/sec, διπλάσια από αυτή του Si. Η επόμενη πιο σημαντική παράμετρος είναι η θερμική αγωγιμότητα του υλικού. Αύξηση της θερμοκρασίας συνήθως οδηγεί σε αλλαγή των φυσικών ιδιοτήτων του υλικού που κατά κύριο λόγο επηρεάζει αρνητικά την ομαλή λειτουργία των συσκευών που το χρησιμοποιούν. Η θερμική αγωγιμότητα του SiC μπορεί να φτάσει έως και τα $4.9 \text{ W}/(\text{cm} \cdot \text{K})$ που είναι τριπλάσια αυτής του Si. Αυτό σημαίνει μικρότερη θερμική αντίσταση και γρηγορότερη διάχυση της θερμότητας στο περιβάλλον. Άρα χρειαζόμαστε μικρότερα και λιγότερο δαπανηρά συστήματα ψύξης. Οι χαρακτηριστικές ορθής και ανάστροφης πόλωσης δεν μεταβάλλονται πάρα πολύ συναρτήσει θερμοκρασίας και χρόνου, άρα το SiC έχει μεγάλη αξιοπιστία. Επιπλέον το SiC σε διάταξη διόδου παρουσιάζει εξαιρετική συμπεριφορά ανάστροφης επαναφοράς (reverse recovery). Άρα οι συσκευές με SiC προκαλούν λιγότερες ηλεκτρομαγνητικές παρεμβολές και έχουν μικρότερες διακοπτικές απώλειες. Λόγω της υψηλής θερμοκρασίας λειτουργίας και των μειωμένων διακοπτικών απωλειών μπορούμε να χρησιμοποιούμε το SiC σε συχνότητες μεγαλύτερες από 20kHz για ισχύ μεγαλύτερη του 1MW! Άρα προκύπτουν μειωμένες ανάγκες φιλτραρίσματος, μικρότερου μεγέθους παθητικά στοιχεία και εξοικονόμηση χώρου. Οι μετατροπείς μετεχνολογία SiC είναι συμπαγείς, ελαφριοί, αξιόπιστοι, αποδοτικοί και έχουν μεγάλη πυκνότητα ισχύος. Τα μειονεκτήματα του SiC είναι η περιορισμένη διαθεσιμότητα, η έλλειψη αποδοτικών τεχνικών επεξεργασίας του, το σχετικά υψηλό του κόστος σε σχέση με το Si και η μη συμβατότητα του με τα τρέχοντα παθητικά στοιχεία και κυκλώματα οδήγησης.

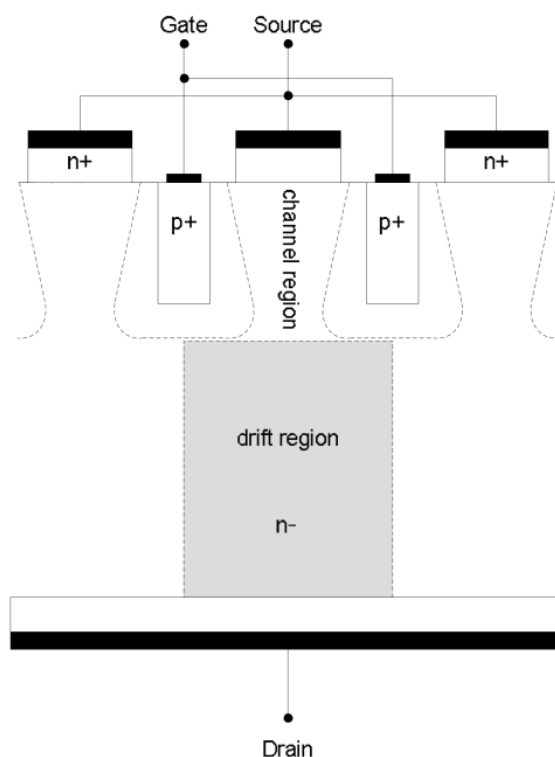
2.8.2 SiC στα ηλεκτρονικά ισχύος

Το καρβίδιο του πυριτίου χρησιμοποιείται σε μετατροπείς ισχύος, [9] για την υπερταχεία, υψηλής τάσης διόδων Schottky, FETs και υψηλής θερμοκρασίας θυρίστορ για μεταγωγή

υψηλής ισχύος. Το 2008, οι πρώτες εμπορικές JFETs στα 1200 V εισήχθησαν στην αγορά, ακολουθούμενη το 2011 από τα πρώτα εμπορικά MOSFETs στα 1200 V. Εκτός από SiC διακόπτες και SiC διόδων Schottky υπάρχουν επίσης barrier diodeSDB στο δημοφιλές TO-247 πακέτο.

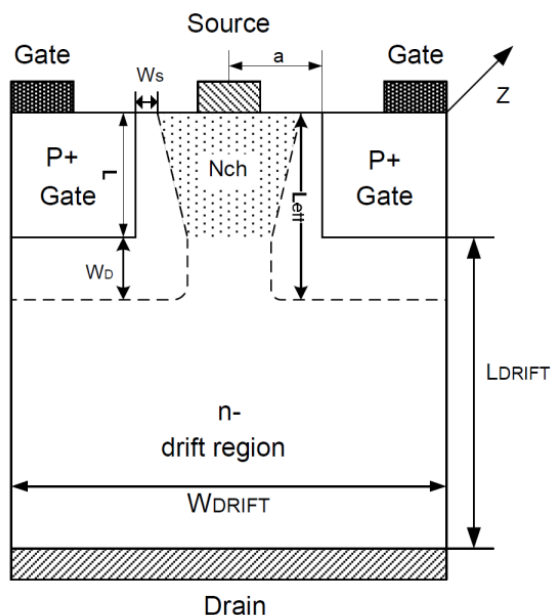
2.8.3 Δομή SiC JFET

Το JFET είναι ουσιαστικά, όπως έχει προαναφερθεί, μία αντίσταση της οποίας η τιμή εξαρτάται από τάση. Αποτελείται δηλαδή από μία πλάκα ημιαγωγού SiC του οποίου η αντίσταση ελέγχεται από την εφαρμογή μίας τάσης οδήγησης στην περιοχή της πύλης.



Σχήμα 2.10: Κάθετη δομή ενός τυπικού JFET n-καναλιού υψηλής τάσης

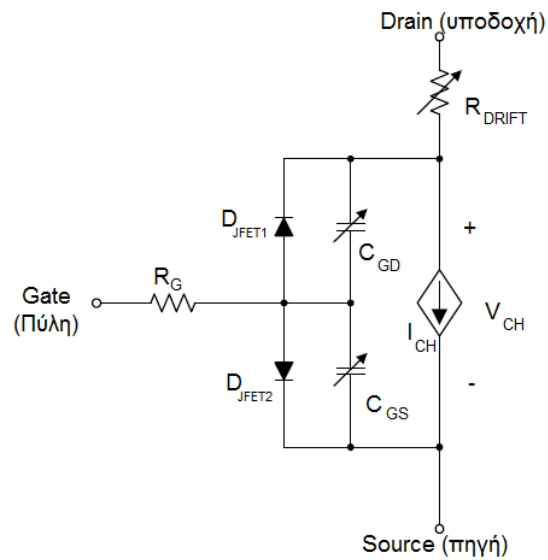
Οι βασικότερες διαστάσεις είναι το μήκος καναλιού L , το πλάτος καναλιού $2a$, το πλάτος της περιοχής ολίσθησης W_{DRIFT} και το μήκος της περιοχής ολίσθησης L_{DRIFT} . Η αρχή λειτουργίας για n-κανάλι όπως ξέρουμε είναι η εξής: Όταν η τάση πύλης-πηγής (gate-source) είναι μικρότερη από την τάση κατωφλίου η συσκευή είναι off γιατί η περιοχή απογύμνωσης καταλαμβάνει όλο το κανάλι αποτρέποντας την αγωγή ρεύματος. Όταν η τάση αυτή γίνει μεγαλύτερη από την τάση κατωφλίου το κανάλι ανοίγει και η συσκευή μπορεί να διαπεραστεί από ρεύμα. Για normally-on JFETs η τάση κατωφλίου είναι αρνητική και το τρανζίστορ είναι on όταν η τάση πύλης-πηγής είναι μηδενική. Στα normally-off JFETs όμως το κανάλι είναι πλήρως καλυμμένο από την περιοχή απογύμνωσης για μηδενική τάση πύλης-πηγής και απαιτείται θετική τάση πύλης-πηγής ώστε να άγει. Δομικά δεν υπάρχουν διαφορές ανάμεσα σε normally-on και normally-off JFETs. Αυτή η ιδιότητα του τρανζίστορ ελέγχεται από το



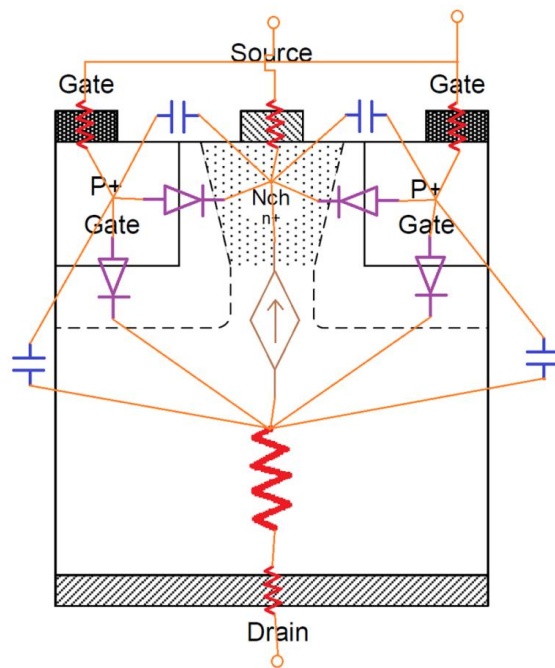
Σχήμα 2.11: Επαναλαμβανόμενο κομμάτι δομής του JFET. Όπου p+ Ημιαγωγός (SiC) με ισχυρή νόθευση τύπου p. Όπου n+/- ημιαγωγός (SiC) με ισχυρή/ασθενή νόθευση τύπου n

πλάτος του καναλιού και την συγχέντρωση της νόθευσης. Καθώς αυξάνεται η τάση υποδοχής-πηγής το ρεύμα του καναλιού αυξάνεται επίσης ώσπου φτάνει κάποια στιγμή στον κορεσμό, λόγω του στραγγαλισμού του καναλιού που προκαλείται από την πτώση τάσης εξαιτίας της αγωγής.

Όπως φαίνεται στο σχήμα 2.12 το ισοδύναμο κύκλωμα αποτελείται από μία εξαρτημένη πηγή ρεύματος από τάση I_{CH} , την μεταβλητή αντίσταση της περιοχής ολίσθησης R_{DRIFT} , τις μεταβλητές παρασιτικές χωρητικότητες μεταξύ υποδοχής- πύλης και πύλης-πηγής, C_{GD} και C_{GS} , την εσωτερική αντίσταση της πύλης R_G καθώς και τις διόδους D_{JFET1} , D_{JFET2} . Η αντίσταση αγωγής R_{ON} αποτελείται από την R_{DRIFT} καθώς και τις αντιστάσεις που δημιουργούνται από τις ωμικές επαφές μετάλλου-ημιαγωγού στους ακροδέκτες Drain και Source. Μια πιο ολοκληρωμένη άποψη της δομής του JFET με τις παρασιτικές χωρητικότητες και τα λοιπά ηλεκτρικά στοιχεία του, φαίνεται στο σχήμα 2.13.



Σχήμα 2.12: Ισοδύναμο ηλεκτρικό κύκλωμα JFET



Σχήμα 2.13: Δομή JFET με νοητά ηλεκτρικά στοιχεία. Όπου p+: Ημιαγωγός (SiC) με ισχυρή νόθευση τύπου p. Όπου n+/- ημιαγωγός (SiC) με ισχυρή/ασθενή νόθευση τύπου n.

Κεφάλαιο 3

Έρευνα αγοράς για JFET

3.1 Έρευνα αγοράς για Si JFET

3.1.1 Μέθοδος

Η έρευνα αγοράς πραγματοποιήθηκε μέσω διαδικτύου από eshops σε Ελλάδα και εξωτερικό. Οι τιμές της έρευνας αγοράς είναι πολύ παρόμοιες και σταθερές επειδή η αγορά ημιαγωγών πυριτίου λειτουργεί πολλά χρόνια και υπάρχει ήδη μια πτώση στις πωλήσεις. Η μέθοδος της έρευνας αγοράς που βασιστήκαμε είναι η εξεύρεση του μέσου όρου των τιμών από τα πιο δημοφιλή eshops σε Ελλάδα και εξωτερικό βάσει του ρεύματος που διαπερνάει τους ημιαγωγούς. Επίσης η ταξινόμηση γίνεται κατά ομάδες κοντινών τιμών των ρευμάτων, ταξινόμηση αρκετά βοηθητική καθώς χρησιμοποιείται και την πλειοψηφία των ιστοσελίδων πώλησης ημιαγωγών πυριτίου και γενικά ηλεκτρονικών ειδών. Η υλοποίηση της έρευνας αγοράς βάσει της παραπάνω μεθόδου ξεκινάει από τα εshopς του εξωτερικού που χρησιμοποιούν πολύ καλύτερη ταξινόμηση και καταλήγει να συγκρίνει τις τιμές με τα ελληνικά εshopς και τέλος να βγάλει το μέσο όρο. Η ταξινόμηση στα περισσότερα ελληνικά εshopς γίνεται με την κωδική ονοματολογία των τρανζίστορ. Τέλος η ταξινόμηση γίνεται με βάση την τιμή ενός τρανζίστορ καθώς οι τιμές διαφέρουν στην παραγωγή πολλών μαζί.

3.1.2 Ονοματολογία τρανζίστορ

Οι δίοδοι, τα τρανζίστορ, τα θυρίστορ και γενικά τα ημιαγωγά εξαρτήματα αναγράφουν στο περίβλημά τους γράμματα και αριθμούς τα οποία δηλώνουν κάποια βασικά χαρακτηριστικά των εξαρτημάτων αυτών. Συνήθως απαρτίζονται από δύο ή τρία γράμματα ακολουθούμενα από ένα αριθμό.

Υπάρχουν τρία κύρια στάνταρ μοντέλα ονοματολογίας που χρησιμοποιεί η πλειονότητα των κατασκευαστών εκτός από τις συγκεκριμένες ονοματολογίες που έχει ο κάθε κατασκευαστής ξεχωριστά για τα δικά του τρανζίστορ.

Joint Electron Device Engineering Council (JEDEC)

Το JEDEC ιδρύθηκε το 1958 ως μια κοινή δραστηριότητα μεταξύ της EIA (Energy Information Administration) και την Εθνική Ένωση Ηλεκτρολόγων Κατασκευαστών (National Electrical Manufacturers Association-NEMA) για να αναπτύξει πρότυπα για τις συσκευές ημιαγωγών. Η NEMA διέκοψε τη συμμετοχή της το 1979. Στην επίσημη ιστοσελίδα της, Jedec.org έχει καταχωρημένες τις ονομασίες των ημιαγωγών και των συσκευών από τις εταιρίες μέλη.

Η μορφή αυτής της ονοματολογίας είναι:

digit, letter, serial number, [suffix]

Όπου letter είναι πάντα το γράμμα N./νεωλινε Το πρώτο ψηφίο είναι ο αριθμός των ποδιών από τα τρανζίστορ μείον ένα. Συνήθως δηλαδή 2 για τρανζίστορ με 3 πόδια. Το serial number είναι από 100 μέχρι 9999 και δεν λέει τίποτα για τα χαρακτηριστικά του τρανζίστορ εκτός από το χρόνο εισαγωγής του στην αγορά κατά προσέγγιση.

Το προερατικό suffix δείχνει το gain της συσκευής.

A = low gain

B = medium gain

C = high gain

No suffix = ungrouped (any gain).

Παραδείγματα 2N3819, 2N2221A, 2N904.

Japanese Industrial Standard (JIS)

Το Ιαπωνικό στάνταρ έχει τη μορφή: digit, two letters, serial number, [suffix]

Ομοίως το πρώτο ψηφίο είναι ο αριθμός των ποδιών του τρανζίστορ μείον 1.

Τα γράμματα δείχουν την περιοχή εφαρμογής της συσκευής σύμφωνα με τον παρακάτω κώδικα:

SA: PNP HF transistor

SB: PNP AF transistor

SC: NPN HF transistor

SD: NPN AF transistor

SE: Diodes

SF: Thyristors

SG: Gunn devices

SH: UJT

SJ: P-channel FET/MOSFET

SK: N-channel FET/MOSFET

SM: Triac

SQ: LED

SR: Rectifier

SS: Signal diodes

ST: Avalanche diodes

SV: Varicaps

SZ: Zener diodes

Το serial number είναι από 10-9999.

Το προαιρετικό suffix δείχνει ότι ο συγκεκριμένος τύπος έχει εγγριωθεί για χρήση από πολλούς Ιαπωνικούς οργανισμούς. Σημείωση. Οι κωδικοί των τρανζίστορ ξεκινούν πάντα σχεδόν με 2Σ αλλά μερικές φορές αυτό παραλείπεται. Π.χ. ένα 2SC733 γράφεται και C733.

Παραδείγματα 2SA1187, 2SB646, 2SC733.

Ευρωπαϊκός κώδικας αναγνώρισης διόδων και τρανζίστορ (Pro-electron)

Έχει τη μορφή: two letters, [letter], serial number, [suffix]

Το πρώτο γράμμα δείχνει το υλικό

A = Ge

B = Si

C = GaAs

R = compound materials

Προφανώς τα περισσότερα τρανζίστορ ξεκινούν με B.

Το δεύτερο γράμμα δείχνει το είδος της συσκευής.

A: Δίοδος RF

B: Varicaps

C: Τρανζίστορ χαμηλής ισχύος ακουστικών συχνοτήτων

D: Τρανζίστορ ισχύος χαμηλών συχνοτήτων

E: Δίοδος σύραγγας

F: Τρανζίστορ υψηλών συχνοτήτων τρανζίστορ, HF, small signal

K: Συσκευή φαινομένου Hall

L: Τρανζίστορ ισχύος υψηλών συχνοτήτων

N: Optocoupler

P: Στοιχείο ευαίσθητο στην ακτινοβολία

Q: Στοιχείο που παράγει ακτινοβολία

R: Θυρίστορ

S: Τρανζίστορ διακόπτης

T: Θυρίστορ ισχύος

U: Τρανζίστορ διακόπτης σε κυκλώματα ισχύος

Y: Δίοδος ανόρθωσης

X: Δίοδος για πολλαπλασιαστή τάσης

Z: Zener

Το τρίτο γράμμα δείχνει ότι η συσκευή έχει σκοπό να χρησιμοποιηθεί για βιομηχανικές ή επαγγελματικές εφαρμογές και όχι για εμπορικές. Είναι συνήθως W, X, Y ή Z.

Το serial number είναι από 100-9999.

Το suffix δείχνει την ομαδοποίηση gain όπως στο JEDEC στάνταρ.

Παραδείγματα BC108A, BAW68, BF239, BFY51.

3.1.3 Η έρευνα αγοράς

Με ταξινόμηση ρεύματος απαγωγού (drain current) όπου $V_{GS}=0$.

Ενδεικτικά αντιπροσωπευτικά τρανζίστορ στην κατηγορία αυτή ως -30mA

Έυρος Id σε mA	Κατασκευαστής	Μοντέλο	n/p type	Πακέτο	Τιμή €
-1 ως -5	FAIRCHILD SEMICONDUCTOR	2N5460	p	TO-92	0,193
-1,5 ως -20	ON SEMICONDUCTOR	MMBFJ177LT1G	p	SOT-23	0,5
-1,5 ως -20	FAIRCHILD SEMICONDUCTOR	MMBFJ177	p	SOT-23	0,25
-1,5 ως -30	FAIRCHILD SEMICONDUCTOR	J117	p	TO-92	0,41

Σε αυτή την ομαδοποίηση οι τιμές των JFET είναι κατά προσέγγιση από 0.2€ ως 0.5€ το ένα.

Στην ελληνική και στην ξένη αγορά δεν παρατηρούνται παρά ελάχιστες διαφοροποιήσεις.

Ενδεικτικά αντιπροσωπευτικά τρανζίστορ στην κατηγορία αυτή ως -135mA

Έυρος Id σε mA	Κατασκευαστής	Μοντέλο	n/p type	Πακέτο	Τιμή €
-7 ως -60	FAIRCHILD SEMICONDUCTOR	J175D26Z	p	TO-92	0,3
-20 ως -100	FAIRCHILD SEMICONDUCTOR	J174D27Z	p	TO-92	0,91
-20 ως -135	VISHAY SILICONIX	SST174-E3	p	TO-92	0,52

Σε αυτή την ομαδοποίηση οι τιμές των JFET είναι κατά προσέγγιση από 0.3€ ως 1€ το ένα.

Στην ελληνική και στην ξένη αγορά δεν παρατηρούνται παρά ελάχιστες διαφοροποιήσεις.

Ενδεικτικά αντιπροσωπευτικά τρανζίστορ στην κατηγορία αυτή ως 30mA

Έυρος Id σε mA	Κατασκευαστής	Μοντέλο	n/p type	Πακέτο	Τιμή €
4 ως 16	FAIRCHILD SEMICONDUCTOR	2N5459	n	TO-92	0,131
5 ως 30	ON SEMICONDUCTOR	MMBF4393LT1G	n	SOT-23	0,4
12 ως 30	FAIRCHILD SEMICONDUCTOR	J309	n	TO-92	0,834
4 ως 16	CENTRAL SEMICONDUCTOR	2N5460	p	TO-92	0,41
2 ως 9	FAIRCHILD SEMICONDUCTOR	J110	n	TO-92	1,3
5 ως 15	CENTRAL SEMICONDUCTOR	2N4416A	n	TO-72	3,11

Σε αυτή την ομαδοποίηση οι τιμές των JFET είναι κατά προσέγγιση από 0.12€ ως 3€ το ένα.

Στην ελληνική και στην ξένη αγορά δεν παρατηρούνται παρά ελάχιστες διαφοροποιήσεις.

Ενδεικτικά αντιπροσωπευτικά τρανζίστορ στην κατηγορία αυτή ως 500mA (με κύριο όγκο δειγμάτων γύρω στα 50-100μΑ)

Έυρος Id σε mA	Κατασκευαστής	Μοντέλο	n/p type	Πακέτο	Τιμή €
50 ως 150	FAIRCHILD SEMICONDUCTOR	MMBF4391	n	SOT-23	0,152
25 ως 75	CENTRAL SEMICONDUCTOR	2N4392	n	TO-18	1,55
8 ως 80	FAIRCHILD SEMICONDUCTOR	PN4861	n	TO-92	7,86
100	VISHAY SILICONIX	2N5433	n	TO-52	3,91
500	FAIRCHILD SEMICONDUCTOR	J105D74Z	n	TO-92	1,53

Σε αυτή την ομαδοποίηση οι τιμές των JFET είναι κατά προσέγγιση από 0.15€ ως 8€ το ένα. Ο κύριος όγκος των τιμών είναι από 0,5€ μέχρι και 3.5€. Στην ελληνική και στην ξένη αγορά δεν παρατηρούνται παρά ελάχιστες διαφοροποιήσεις.

Ενδεικτικά αντιπροσωπευτικά τρανζίστορ στην κατηγορία αυτή, της τάξης των μA

Έυρος Id σε μA	Κατασκευαστής	Μοντέλο	n/p type	Πακέτο	Τιμή €
30 ως 90	FAIRCHILD SEMICONDUCTOR	MMBF41171	n	SOT-23	0,103
5 ως 15	FAIRCHILD SEMICONDUCTOR	J105	n	TO-92	0,587
80	VISHAY SILICONIX	2N4118A	n	TO-206AF	3,84

Σε αυτή την ομαδοποίηση οι τιμές των JFET είναι κατά προσέγγιση από 0.1€ ως 3.8€ το ένα. Ο κύριος όγκος των τιμών κινείται γύρω από τα 0,5€ μέχρι και 0.7€. Στην ελληνική αγορά τα JFET της τάξης των μA είναι πιο δυσεύρετα.

3.1.4 Συμπέρασμα

Το συμπέρασμα από την παραπάνω έρευνα αγοράς είναι ότι τα JFET, η τεράστια πλειοψηφία του κινούνται σε μία τιμή 0,1€ με 0,5€. Ένα αρκετά μικρότερο κομμάτι της πύτας των JFET κινείται γύρω από το 0,6€ με 1€ και το μικρότερο κομμάτι της πύτας ανήκει στα JFET που η τιμή τους ξεπερνάει το 1€. Ανάλογα την εταιρία, το διαθέσιμο που υπάρχει στην αγορά (τη ζήτηση), τα ειδικά packages που τα περιέχουν και η σταθερότητα τους σε συνάρτηση με το κόστος κατασκευής είναι οι πιο βασικοί παράγοντες που διαμορφώνουν τις τιμές τους στην αγορά. Τα ρεύματα που τα διαπερνούν και οι τάσεις τους δεν αποτελούν ασφαλές κριτήριο στα JFET που ερευνήσαμε διότι παρατηρήθηκε συχνά σε πολύ κοντινό ρεύμα και τάση οι τιμές να έχουν αρκετή διαφορά.

3.2 Έρευνα Αγοράς για SiC JFET

3.2.1 Γενικές πληροφορίες, δυσκολίες και μέθοδος έρευνας

Η μέθοδος για την έρευνα αγοράς των SiC JFET είναι αρκετά πιο απλή. Γίνεται με παράθεση όλων των μοντέλων που υπάρχουν στην αγορά καθώς η αγορά των SiC JFET είναι ακόμα υπο διαμόρφωση και λίγα μοντέλα κυκλοφορούν ευρέως στην αγορά. Υπάρχουν πλέον αρκετές εταιρίες που κατασκευάζουν τρανζίστορ από καρβίδιο του πυριτίου αλλά λίγες από αυτές κατασκευάζουν SiC JFET. Στην αγορά επίσης κυκλοφορούν τα SiC MOSFET που

είναι και τα πιο δημοφιλή, τα SiC SJT και οι SiC d'iodoi. Βρέθηκε ότι πολλές εταιρίες που κατασκευάζουν τρανζίστορ με καρβίδιο του πυριτίου δεν τα πωλούν μεμονομένα τα τρανζίστορ αλλά σε μοδύλες. Επίσης πολλές εταιρίες έχουν ανακοινώσει ότι βρίσκονται σε πειραματικό στάδιο ακόμα και σε σύντομο χρονικό διάστημα θα διαθέσουν στην αγορά SiC transistors. Οι κύριες εταιρίες που δραστηριοποιούνται στα SiC τρανζίστορ είναι: CREE, Semisouth (US), Semelab, Toshiba, Infineon, GeneSiC, Siced (D), Acreo (SW) Denso (J), Fuji (J), GE (US), Hitachi (J), Matsushita (J), Mitsubishi (J), Northrop Grumman (US), Oki Electric (J), Philips (NL), Rohm (J), Rockwell (US), Sumitomo SEI (J), TranSiC (SW), United Silicon Carbide (US). Οι παραπάνω εταιρίες στην πλειοψηφία τους κατασκευάζουν SiC MOSFET's και διόδους.

Παρατηρήθηκε λοιπόν το εξής όσον αφορά τα SiC JFET. Πολλές εταιρίες και στις ιστοσελίδες τους και σε διάφορες άλλες εμπορικές και επιστημονικές σελίδες φαίνεται πως κατασκευάζουν SiC JFET αλλά δεν δείχνουν επίσημα κάποιο συγκεκριμένο προϊόν και δεν υπάρχει ούτε σε διάφορα μεγάλα eshops ηλεκτρονικών ειδών. Τα SiC JFET που κυκλοφορούν κανονικά στην αγορά υπάρχουν μόνο από τη Semisouth, τη Semelab και την Infineon από αυτό που βρήκε η έρευνα αγοράς.

3.2.2 Η έρευνα αγοράς

Κατασκευαστής	Μοντέλο	Χαρακτηριστικά	Τιμή €
Semisouth	SJDA065R055	normally on, 650V, 30A	27,11
Semisouth	SJDP120R340	normally on, 1200V, 8A	11,94
Semisouth	SJDP170R1400	normally on, 1700V, 3A	10,35
Infineon	CoolSiC IJW120R100T1	normally off, 1200V	18,44
GeneSiC	GA03JT12-247	normally off, 1200V, 3A	8,61
GeneSiC	GA06JT12-247	normally off, 1200V, 6A	19,87
Semelab	SML100M12MSF	normally off, 1200V, 24A	272,22

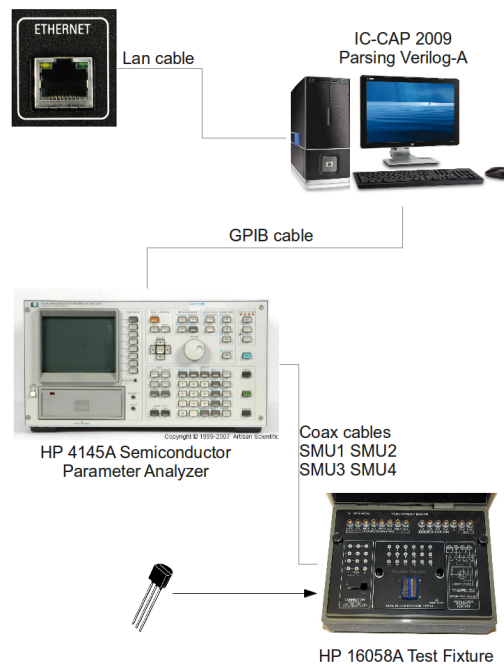
3.2.3 Συμπέρασμα

Η αγορά των SiC JFET είναι ακόμα περιορισμένη αν και στα περισσότερα μοντέλα έχουν αρχίσει να πέφτουν οι τιμές. Ο παραπάνω πίνακας περιέχει όλα τα μοντέλα που υπάρχουν διαθέσιμα με τιμή που βρήκε αυτή η έρευνα αγοράς. Να σημειώσουμε ότι η Semisouth έχει και άλλα μοντέλα αλλά δε διατίθενται τιμές.

Κεφάλαιο 4

Συνδεσμολογία, υλικά και προγράμματα εργαστηρίου

Για να γίνουν οι μετρήσεις των τρανζίστορ και αργότερα να μπορεί να αναπτυχθεί το σύστημα για την εξαγωγή των παραμέτρων, θα πρέπει πρώτα να αναλυθεί η διαδικασία που ακολουθήθηκε για να γίνουν οι μετρήσεις των τρανζίστορ στον εργαστηριακό χώρο. Η συνδεσμολογία στο εργαστήριο έγινε βάσει του σχήματος 4.1



Σχήμα 4.1: Συνδεσμολογία εξοπλισμού εργαστηρίου

4.1 HP 16058A Test Fixture

Το test fixture 16085 της HP είναι ο χώρος υποδοχής των τρανζίστορ για να κάνουμε τις απαραίτητες μετρήσεις. Συνδέεται με τον HP 4145A με 4 καλώδια coax για τις θύρες SMU1, SMU2, SMU3 και SMU4 που αντιστοιχούν σε Drain, Gate, Source και Bulk. Στο board του test fixture με μικρά καλώδια αντιστοιχούμε τα drain, gate, source και bulk με τα νούμερα στο μεσαίο πλαίσιο τα οποία είναι τα ίδια με νούμερα του χώρου υποδοχής των τρανζίστορ. Έτσι συνδέουμε τους ακροδέκτες d, s, g των τρανζίστορ με τα αντίστοιχα SMU. Το bulk δε μας χρησιμεύει εδώ.

4.2 HP 4145A Semiconductor Parameter Analyzer

Ο αναλυτής παραμέτρων που διαθέτουμε στο εργαστήριο είναι ο HP 4145 Semiconductor Parameter Analyzer. Ο αναλυτής παραμέτρων διαθέτει θύρα για καλώδιο GPIB. Ο αναλυτής παραμέτρων συνδεόμενος με τον υπολογιστή, εφαρμόζει τις τάσεις που επιθυμούμε να εφαρμόσουμε σε κάθε ένα από τα Drain, Gate, Source στο τρανζίστορ. Αυτό επιτυγχάνεται μέσω 4 coaxial καλωδίων, τα οποία συνδέουν τον αναλυτή παραμέτρων με το test fixture. Τα 4 αυτά καλώδια βγαίνουν από τις εξόδους SMU1, SMU2, SMU3, SMU4 του αναλυτή παραμέτρων και αντιστοιχίζονται στα Drain, Gate, Source, Bulk στο test fixture.

4.3 Λογισμικό

Το λογισμικό που χρησιμοποιήθηκε είναι το Agilent ICCAP2009. Το λογισμικό αυτό χρησιμοποιείται για να μπορέσουμε να θέσουμε τις τάσεις που εμείς επιθυμούμε στα Drain, Gate, Source του τρανζίστορ προς μέτρηση, για να εμφανίσουμε τις γραφικές παραστάσεις των ρευμάτων και των διαγωγιμοτήτων, και αργότερα για να δημιουργήσουμε τις βελτιστοποιήσεις που θα αποτελούν το σύστημα για την εξαγωγή παραμέτρων.

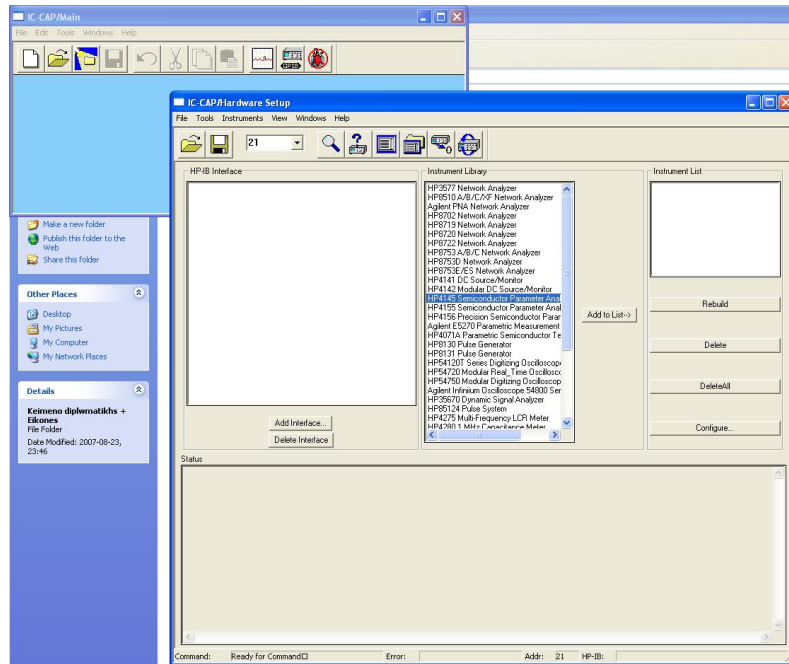
Το λογισμικό ICCAP2009 χρησιμοποιήθηκε σε περιβάλλον Windows7 και Linux Ubuntu. Σε Windows7 χρησιμοποιήσαμε τον προσομοιωτή ADS hpeesofsim και το μοντέλο ekv3 και σε Linux τον προσομοιωτή spectre και το μοντέλο spectre JFET. Η παρακάτω διαδικασία περιγράφεται για τα windows αλλά η ίδια ακριβώς διαδικασία ακολουθήθηκε και στα Linux.

4.3.1 Agilent ICCAP2009

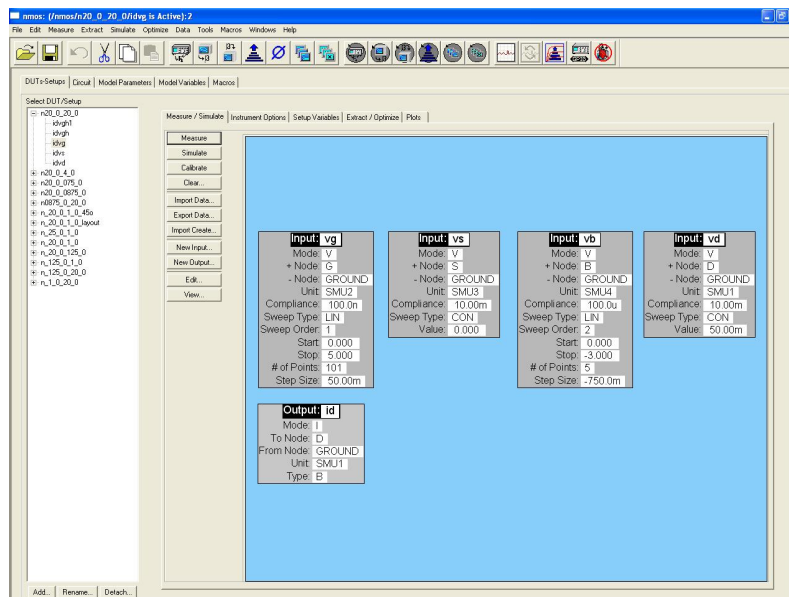
Ως πρώτο βήμα στο λογισμικό αυτό, έγινε το hardware setup έτσι ώστε να αναγνωρίζεται από το λογισμικό ότι ο υπολογιστής είναι συνδεδεμένος με τον αναλυτή παραμέτρων που διαθέτουμε. Σχήμα 4.2

Στο λογισμικό ICCAP υπάρχουν οι εξής καρτέλες : DUTs-Setups, Circuit, Model Parameters, Model Variables, Macros.

Στην καρτέλα DUTs-Setups, δημιουργούμε τα DUT και μέσα σε αυτά τα επιθυμητά setup, όπου καθορίζουμε τις τάσεις που θέλουμε να εφαρμόσουμε. Σχήμα 4.3



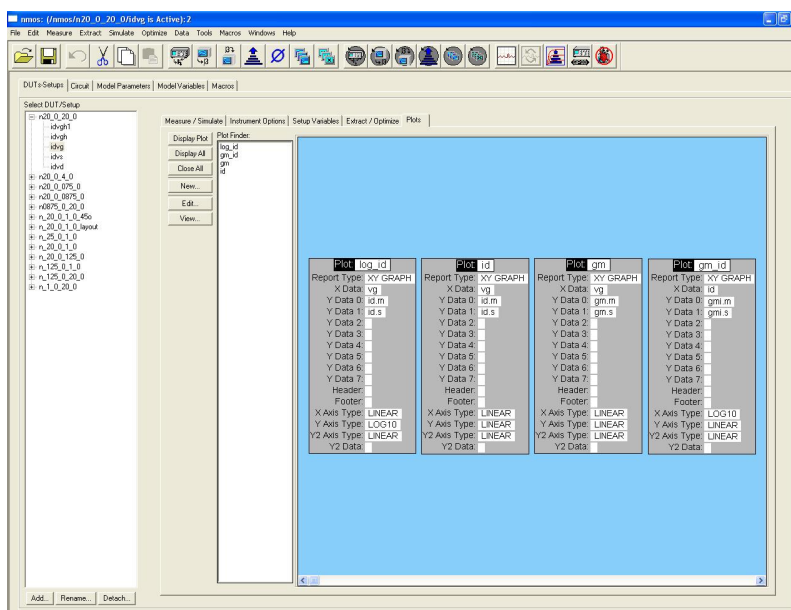
Σχήμα 4.2: Hardware Setup για την αναγνώριση από τον υπολογιστή του HP4145A



Σχήμα 4.3: Εφαρμογή τάσεων μέσω του λογισμικού ICCAP

Στο σχήμα 4.3 στο αριστερό μέρος δημιουργούμε με χαρακτηριστικά ονόματα κάποια DUT. Μέσα σε κάθε DUT, δημιουργούμε κάποια setup όπως το idVgs-lowVds, idVgs1-5, idvd. Στο δεξί μέρος, φαίνεται το setup των τάσεων που επιθυμούμε να εφαρμόσουμε. Έτσι δημιουργούμε τις τάσεις Vd Vg και Vs με γείωση στο GROUND οι οποίες αντιστοιχούν στα SMU1, SMU2 και SMU3 του αναλυτή παραμέτρων. Το compliance αναφέρεται ως το ανώτερο σημείο που μπορεί να φτάσει το ρεύμα στον κόμβο αυτόν. Το sweep type αναφέρει αν η τάση, που εφαρμόζεται ως είσοδος, μεταβάλλεται γραμμικά (LIN) ή αν θα παραμένει σταθερή (CON). Αν η τάση μεταβάλλεται γραμμικά πρέπει να εισάγουμε από ποιά τιμή θα ξεκινήσει και σε ποιά τιμή θα σταματήσει να εφαρμόζεται η αντίστοιχη τάση και πόσα σημεία θα χρησιμοποιούνται για να γίνει η γραμμική μεταβολή. Ως έξοδο, επιλέγουμε ποιο ρεύμα επιθυμούμε να δούμε στις γραφικές παραστάσεις που θα δημιουργηθούν.

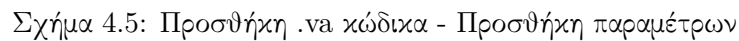
Επόμενο βήμα στο λογισμικό είναι να καθορίσουμε τις γραφικές παραστάσεις που θέλουμε να παρατηρήσουμε. Κατά την διάρκεια των μετρήσεων, οι γραφικές παραστάσεις που μας ενδιαφέρουν να δούμε είναι οι γραφικές των ρευμάτων σε weak και σε strong inversion και οι διαγωγιμότητες των ρευμάτων αυτών. Σχήμα 4.4



Σχήμα 4.4: Δημιουργία γραφικών παραστάσεων

Στην καρτέλα Circuit του λογισμικού φορτώνουμε τον Verilog-A κώδικα, ο οποίος περιγράφει πλήρως το EKV3 μοντέλο. Παράλληλα προσθέτουμε και τις παραμέτρους, που βρίσκονται ήδη στον .na κώδικα. Σχήμα 4.5

Οι παράμετροι αυτές που προσθέτουμε, θα είναι αυτές των οποίων τις τιμές πρέπει να εξάγουμε έτσι ώστε η θεωρητική προσέγγιση που θα παράγεται από τις εξισώσεις του μοντέλου EKV3 να συγκλίνουν με τις γραφικές παραστάσεις που παράγονται μετά την διαδικασία των πειραματικών μετρήσεων. Η λίστα των παραμέτρων που βρίσκονται στο Verilog-A κώδικα, αφού τις εισάγουμε στην καρτέλα Circuit, θα φαίνονται και στην καρτέλα Model Parameters. Σχήμα 4.6



4.4 Τρανζίστορ

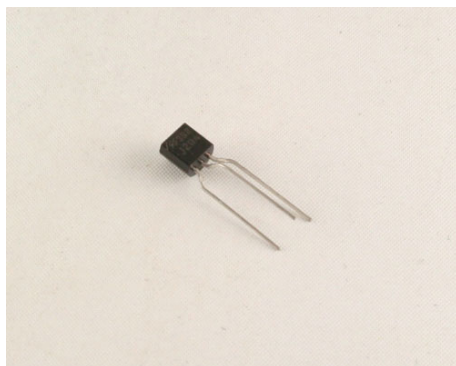
Τα τρανζίστορ που χρησιμοποιήσαμε είναι τα εξής:

- J204

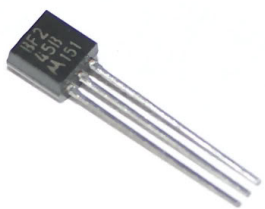
Το j204 [11] είναι ένα n-type τρανζίστορ, normally on και είναι πολύ χαμηλού θορύβου. Είναι αρκετά δημοφιλές στις διάφορες χρήσεις του, κυρίως ως εξάρτημα ενισχυτή και λόγω του χαμηλού θορύβου. Το δείγμα που χρησιμοποιήσαμε στο εργαστήριο έχει τάση κατωφλίου $-1.3V$

- BF245b, BF245c

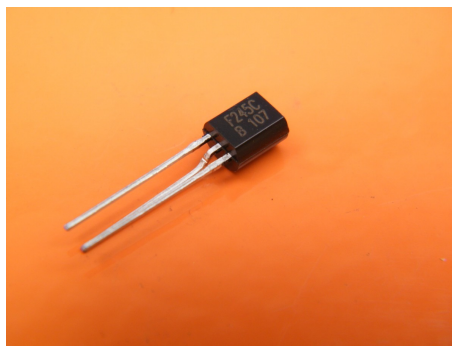
Τα δύο παραπάνω τρανζίστορ [10] ανήκουν στην ίδια οικογένειά και είναι και τα δύο n-type normally on τρανζίστορ με τάση κατωφλίου $-3.2V$ και $-4.5V$ αντίστοιχα. Τα τρανζίστορ αυτά επιλέχθηκαν για να δούμε από τα μοντέλα που θα δουλέψουμε αν ανταποκρίνονται ικανοποιητικά σε μικρές αλλαγές και διαφορές μεταξύ δύο τρανζίστορ.



Σχήμα 4.7: J204



Σχήμα 4.8: BF245b



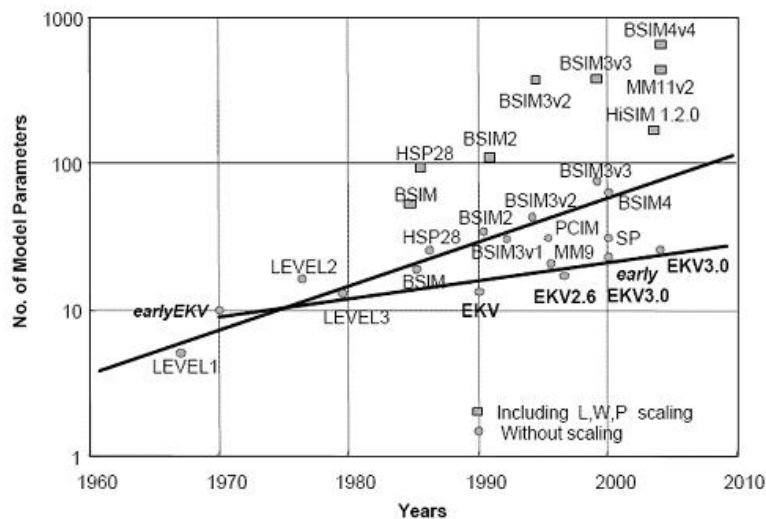
Σχήμα 4.9: BF245c

Κεφάλαιο 5

Το μοντέλο EKV3

5.1 Ιστορική αναδρομή

Εδώ και μια εικοσαετία περίπου γίνονταν προσπάθειες από διακεκριμένους επιστήμονες για τη σχεδίαση ενός συμμετρικού μοντέλου που θα πρόσφερε γραμμική λειτουργία τόσο σε ασθενή όσο και σε μέτρια και ισχυρή αναστροφή. Βασική προϋπόθεση ήταν να επιτευχθεί η ομαλή μετάβαση από τη μία περιοχή λειτουργίας στην άλλη προσφέροντας έτσι μια συνέχεια που θα έκανε τη δουλειά του σχεδιαστή πιο ευέλικτη. Το 1995 παρουσιάστηκε η πρώτη απλή μορφή του EKV μοντέλου με την ονομασία EKV2.3 ενώ δυο χρόνια αργότερα παρουσιάστηκε στο Πολυτεχνείο της Λωζάνης το EKV2.6 στο οποίο τις αρχές λειτουργίας στηρίζεται και η σχεδίαση του EKV3 μοντέλου που έχουμε σήμερα στα χέρια μας.



Σχήμα 5.1: Compact models Parameters Vs Time

5.2 Αρχές λειτουργίας

Η σχεδίαση αναλογικών CMOS κυκλωμάτων απαιτεί ένα μοντέλο [2] το οποίο να είναι βασισμένο στη Φυσική, να έχει όσο το δυνατόν λιγότερες παραμέτρους και να ισχύει για όλο το φάσμα λειτουργίας του τρανζίστορ. Πρέπει δηλαδή η λειτουργία του να διέπεται από απλές και αναλυτικές εξισώσεις που να περιγράφουν πλήρως τη συμπεριφορά του μοντέλου απο την ασθενή μέχρι και την ισχυρή αναστροφή[8] . Αυτά ακριβώς τα χαρακτηριστικά μας προσφέρει το EKV3 μοντέλο.

5.2.1 Ορισμός βασικών μεγεθών

Παρακάτω ορίζονται τα βασικά μεγέθη του μοντέλου [8].

- Πλάτος και μήκος καναλιού W, L [μm]
- Δυναμικό πύλη-σώμα: Φ_{MS} [V]
- Δυναμικό επιφάνειας: Ψ_S [V]
- Δυναμικό στο οξειδίο: Ψ_{OX} [V]
- Φορτίο πύλης: Q'_G [C/m^2]
- Φορτίο οξειδίου: Q'_{OX} [C/m^2]
- Χωρητικότητα οξειδίου (ανα μονάδα επιφάνειας): C'_{OX} [F/m^2] $C'_{OX} = \epsilon_{OX}/T_{OX}$
- Δυναμικό επαφής: V_{FB} [V] $V_{FB} = \Phi_{MS} - \frac{Q'_{OX}}{C'_{OX}}$
- Θερμοδυναμική τάση: U_T [V] $U_T = \frac{kT}{q}$
- Δείκτης σώματος: γ [$V^{1/2}$] $\gamma = \frac{\sqrt{2q\epsilon_{si}N_{sub}}}{C'_{OX}}$
- Δυναμικό quasi-fermi: Φ_F [V] $\Phi_F = U_T \ln\left(\frac{N_{sub}}{n_i}\right)$

Φορτίο ηλεκτρονίου q , σταθερά Boltzmann k , Κατ' όγκον συγκέντρωση ηλεκτρονίων n_i , ατόμων νόθευσης N_{sub} [m^{-3}, cm^{-3}]

Ισχύει $\Psi_{OX} = Q'_G/C'_{OX}$ και $V_G - V_{FB} = \Psi_S - Q'_C/C'_{OX}$

- Συγκέντρωση φορτίων αναστροφής Q'_i και αραίωσης Q'_B όπου $Q'_c = Q'_B + Q'_i$
- Αν $\Psi_S > 0$ τότε μόνο ισχύει: $Q'_B \simeq -\gamma C'_{OX} \sqrt{\Psi_S}$ και $V_G - V_{FB} = \Psi_S + \gamma \sqrt{\Psi_S} - \frac{Q'_i}{C'_{OX}}$
- Δυναμικό επιφάνειας pinch-off : $\Psi_{SP} = \Psi_S ||_{Q'_i \gg |Q'_B|} = V_G - V_{FB} - \gamma (\sqrt{V_G - V_{FB} + \frac{\gamma^2}{4}} - \frac{\gamma}{2})$
- Δυναμικό pinch-off : $V_P = \Psi_{SP} - \Psi_0$
- Κλίση n : $n = [\frac{\partial \Psi_{SP}}{\partial V_G}]^{-1} = 1 + \frac{\gamma}{2\sqrt{\Psi_{SP}}} = 1 + \frac{\gamma}{2\sqrt{\Psi_0 + V_P}}$

- Τάση κατωφλίου(threshold) : $V_{TO}[V], V_{TO} = V_{FB} + \Psi_0 + \gamma\sqrt{\Psi_0}$

Από τα παραπάνω προκύπτει ότι : $V_P = V'_G - \Psi_0 - \gamma(\sqrt{V'_G + \frac{\gamma^2}{4}} - \frac{\gamma}{2})$ και $V'_G = V_G - V_{FB} = V_G - V_{TO} + \Psi_0 + \gamma\sqrt{\Psi_0}$. Μια πολύ χρήσιμη προσέγγιση της V_P είναι $V_P \simeq \frac{V_G - V_{TO}}{n}$

5.2.2 Σχέση δυναμικού - φορτίου αναστροφής

Γενική σχέση μεταξύ δυναμικών και φορτίου αναστροφής:

$$V_P - V_{ch} = 2q_i + \ln q_i$$

Σχέση σε ισχυρή αναστροφή:

$$V_P - V_{ch} = 2q_i \Leftrightarrow q_i = \frac{V_P - V_{ch}}{2}$$

Σχέση σε ασθενή αναστροφή:

$$V_P - V_{ch} = \ln q_i \Leftrightarrow q_i = \exp(V_P - V_{ch})$$

5.2.3 Ρεύμα καναλιού

$$I_D|_x = \mu W (-Q'_i) \frac{\theta V_{ch}}{\theta x} \equiv \mu W [-Q'_i \frac{\theta \Psi_S}{\theta x} + U_T \frac{\theta Q'_i}{\theta x}]$$

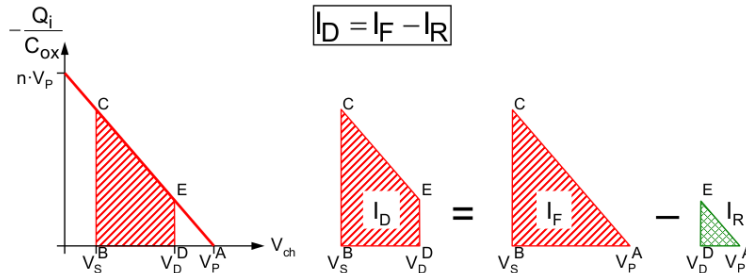
Προσέγγιση: Γραμμική σχέση $Q'_i - \Psi_S$: $\frac{\theta \Psi_S}{\theta x} \simeq \frac{1}{nC'_{OX}} \frac{\theta Q'_i}{\theta x}$

Συνδέοντας τα παραπάνω: $I_D|_x = \mu W [-\frac{Q'_i(x)}{nC'_{OX}} + U_T] \frac{\theta Q'_i}{\theta x}$

Ολοκλήρωση από source έως drain υποθέτωντας ότι I_D είναι σταθερό σε όλο το κανάλι:

$$I_D = \mu \frac{W}{L} [\int_{Q'_{iD}}^{Q'_{iS}} \frac{-Q'_i}{nC'_{OX}} dQ'_i + \int_{Q'_{iD}}^{Q'_{iS}} U_T dQ'_i] = \mu \frac{W}{L} [(\frac{Q'_{iS}{}^2}{2nC'_{OX}} + U_T Q'_{iS}) - (\frac{Q'_{iD}{}^2}{2nC'_{OX}} + U_T Q'_{iD})] =$$

$$= I_F - I_R$$



$$I_D = \beta \cdot \int_{V_S}^{V_D} \frac{-Q_i}{C_{ox}} \cdot dV_{ch} = \underbrace{\beta \cdot \int_{V_S}^{+\infty} \frac{-Q_i}{C_{ox}} \cdot dV_{ch}}_{\text{forward current } I_F \text{ controlled by } V_P - V_S} - \underbrace{\beta \cdot \int_{V_D}^{+\infty} \frac{-Q_i}{C_{ox}} \cdot dV_{ch}}_{\text{reverse current } I_R \text{ controlled by } V_P - V_D}$$

1.2 Model Parameters

1.2.1 Flags and Setup Parameters

Parameter Name	Default Value	Short Description
SIGN	1	Type of MOSFET: 1 for NMOS, -1 for PMOS
TG	-1	Type of Gate: -1 for opposite than bulk, 1 for same with bulk, 0 for no polysilicon depletion effect
TNOM	27.0	Nominal Temperature (in Celsius degrees)
SCALE	1.0	Scaling Factor for Gate Length and Width
XL	0.0	Optical offset for Gate Length
XW	0.0	Optical offset for Gate Width
TH_NOI	1.0	Thermal noise flag (on/off). Includes short channel effects but no gate induced noise.
NQS_NOI	0.0	NQS noise flag (on/off). Includes thermal noise with no short channel effects.

1.2.2 Matching Parameters

Parameter Name	Default Value	Short Description
AVTO	0	Matching Parameter for Threshold Voltage
AGAMMA	0	Matching Parameter for Body Effect Coefficient
AKP	0	Matching Parameter for Mobility

1.2.3 Oxide, Substrate and Gate Doping related Parameters

Parameter Name	Default Value	Short Description
COX	0.012	Oxide Capacitance per unit Area
XJ	20.0E-9	Depth of Active Areas
VTO	0.3	Threshold Voltage
PHIF	0.45	Bulk Fermi Potential
GAMMA	0.3	Body Effect Coefficient
GAMMAG	4.1	Body Effect Coefficient for Gate
N0	1.0	Long Channel Slope Factor Fine Tuning
VBI	0.0	Built-in Voltage Drop

1.2.4 Quantum Effects

Parameter Name	Default Value	Short Description
AQMA	0.5	Quantum Effect Coefficient for Accumulation Region
AQMI	0.4	Quantum Effect Coefficient for Inversion Region
ETAQM	0.75	Quantum Effect Factor

1.2.5 Mobility and Vertical field Mobility Effect

Parameter Name	Default Value	Short Description
KP	500.0E-06	Mobility multiplied by COX
E0	1.0E+10	First Order Coefficient for Mobility Reduction due to Vertical Field
E1	3.1E+08	Second Order Coefficient for Mobility Reduction due to Vertical Field
ETA	0.5	Mobility Reduction due to Vertical Field Factor

1.2.6 Coulomb Scattering

Parameter Name	Default Value	Short Description
ZC	1.0E-6	Coulomb Scattering coefficient
THC	0.0	Coulomb Scattering coefficient

1.2.7 Mobility Length and Width Dependence

Parameter Name	Default Value	Short Description
LA	1.0	First critical length for mobility length scaling
LB	1.0	Second critical length for mobility length scaling
KA	0.0	First factor for mobility length scaling
KB	0.0	Second factor for mobility length scaling
WKP1	1.0E-6	Width parameter for mobility profile vs. width
WKP2	0.0	Amplitude parameter for mobility profile vs. width
WKP3	1.0	Span parameter for mobility profile vs. width

1.2.8 Geometrical Parameters

Parameter Name	Default Value	Short Description
DL	-10.0E-9	Effective Length Parameter
DLC	0.0	Effective Length Parameter for Capacitance
DW	-10.0E-9	Effective Width Parameter
DWC	0.0	Effective Width Parameter for Capacitance
WDL	0.0	Width Dependence of Effective Length
LDW	0.0	Length Dependence of Effective Width
LL	0.0	Base for Exponential Dependence of Effective Length
LLN	1.0	Exponent for Exponential Dependence of Effective Length

1.2.9 Long and Wide Channel Correction for Threshold Voltage and Body Effect Coefficient Correction

Parameter Name	Default Value	Short Description
AVT	0.0	Amplitude for long and wide channel threshold voltage correction
LVT	1.0	Length for long channel threshold voltage correction
WVT	1.0	Width for wide channel threshold voltage correction
AGAM	0.0	Amplitude for long and wide channel body effect coefficient correction
LGAM	1.0	Length for long channel body effect coefficient correction
WGAM	1.0	Width for wide channel body effect coefficient correction
NFVTA	0.0	Number of fingers parameter for threshold voltage dependence on NF
NFVTB	10000.0	Factor for threshold voltage dependence on NF

1.2.10 Velocity Saturation and Channel Length Modulation

Parameter Name	Default Value	Short Description
UCRIT	5.0E+06	Critical Velocity of Electrons
LAMBDA	0.5	Early effect factor
DELTA	2.0	Order of velocity saturation model (variable order model 1 ~ 2)
ACLM	0.83	Channel Length Modulation Factor

1.2.11 Reverse Short Channel Effect

Parameter Name	Default Value	Short Description
LR	50.0E-9	Length Factor for RSCE
QLR	0.5E-3	Threshold Voltage Factor of RSCE
NLR	10.0E-3	Body Effect Coefficient Factor of RSCE
FLR	0.0	Bulk Fermi Potential of RSCE

1.2.12 Charge Sharing Effect

Parameter Name	Default Value	Short Description
LETA	500.0E-3	Short Channel Charge Sharing Coefficient
LETA0	0.0	Long Channel Charge Sharing Coefficient
LETA2	0.0	Short Channel Scaling Coefficient
WETA	200.0E-3	Narrow Channel Charge Sharing Coefficient
NCS	1.0	Slope Factor Dependence from Charge Sharing

1.2.13 Drain Induced Barrier Lowering

Parameter Name	Default Value	Short Description
ETAD	1.0	Primary DIBL Coefficient
SIGMAD	1.0	Secondary DIBL Coefficient

1.2.14 Inverse Narrow Width Effect

Parameter Name	Default Value	Short Description
WR	90.0E-09	Width Factor for INWE
QWR	0.3E-3	Threshold Voltage Factor of INWE
NWR	5.0E-3	Body Effect Coefficient Factor of INWE

1.2.15 Drain Induced Threshold Shift

Parameter Name	Default Value	Short Description
FPROUT	1.0E6	Output resistance for DITS effect
PDITS	0.0	DITS parameter
PDITSL	0.0	DITS dependence on length
PDITSB	1.0	DITS dependence on drain bias
DDITS	0.3	Smooth factor of DITS effect

1.2.16 Impact Ionization Current

Parameter Name	Default Value	Short Description
IBA	000.0E+06	Impact Ionization Current first parameter
IBB	300.0E+06	Impact Ionization Current second parameter
IBN	1.0	Impact Ionization Current coefficient

1.2.17 Gate Current

Parameter Name	Default Value	Short Description
XB	3.1	Silicon to Silicon oxide tunneling barrier height
EB	29.0E+09	Characteristic electrical field
KG	00.0E-6	Mobility for Gate Current
LOVIG	20.0E-9	Overlap Length for Gate current

1.2.18 Gate Induced Drain and Source Leakage

Parameter Name	Default Value	Short Description
AGIDL	0.0	First GIDL parameter
BGIDL	2.3E+09	Second GIDL parameter
CGIDL	0.5	Third GIDL parameter
EGIDL	0.8	Fourth GIDL parameter

1.2.19 Edge Conductance Effect

Parameter Name	Default Value	Short Description
WEDGE	0.0	Width of edge conduction area
DGAMMAEDGE	0.0	Difference of body effect coefficient of edge conduction area with respect to the main part of the channel
DPHIEDGE	0.0	Difference of fermi potential of edge conduction area with respect to the main part of the channel

1.2.20 STI Stress Effect

Parameter Name	Default Value	Short Description
SAREF	0.0	Reference distance from STI, for SA
SBREF	0.0	Reference distance from STI, for SB
WLOD	0.0	Width of common area between device and STI
KKP	0.0	Mobility dependence on STI
LKKP	0.0	Length scaling of mobility dependence on STI
WKKP	0.0	Width scaling of mobility dependence on STI
PKKP	0.0	Area scaling (fine tuning for short and narrow channel devices) of mobility dependence on STI
TKKP	0.0	Temperature scaling of mobility dependence on STI
LLODKKP	1.0	Exponent of length scaling of mobility dependence on STI
WLODKKP	1.0	Exponent of width scaling of mobility dependence on STI
KVTO	0.0	Threshold voltage dependence on STI
LKVTO	0.0	Length scaling of threshold voltage dependence on STI
WKVTO	0.0	Width scaling of threshold voltage dependence on STI
PKVTO	0.0	Area scaling (fine tuning for short and narrow channel devices) of threshold voltage dependence on STI
LLODKVTO	1.0	Exponent of length scaling of threshold voltage dependence on STI
WLODKVTO	1.0	Exponent of width scaling of threshold voltage dependence on STI

1.2.21 Flicker Noise

Parameter Name	Default Value	Short Description
KF	0.0	Flicker noise factor
AF	1.0	Frequency exponent for flicker noise
EF	2.0	Transconductance exponent for flicker noise
KGFN	0.0	Gate flicker noise factor

1.2.22 Length Scaling Parameters

Parameter Name	Default Value	Short Description
LQWR	0.0	Length scaling of QWR
LNWR	0.0	Length scaling of NWR
LWR	0.0	Length scaling of WR
LDPHIEDGE	0.0	Length scaling of DPHIEDGE

1.2.23 Width Scaling Parameters

Parameter Name	Default Value	Short Description
WQLR	0.0	Width scaling of QLR
WNLR	0.0	Width scaling of NLR
WLR	0.0	Width scaling of LR
WUCRIT	0.0	Width scaling of UCRIT
WLAMBDA	0.0	Width scaling of LAMBDA
WETAD	0.0	Width scaling of ETAD
WE0	0.0	Width scaling of E0
WE1	0.0	Width scaling of E1
WRLX	0.0	Width scaling of RLX
WUCEX	0.0	Width scaling of UCEX
WDPHIEDGE	0.0	Width scaling of DPHIEDGE

1.2.24 Short and Narrow Channel Fine Tuning Parameters

Parameter Name	Default Value	Short Description
WLDPHIEDGE	0.0	Area scaling (fine tuning for short and narrow) of DPHIEDGE
WLDGAMMAEDGE	0.0	Area scaling (fine tuning for short and narrow) of DGAMMAEDGE

1.2.25 Temperature Parameters

Parameter Name	Default Value	Short Description
TETA	-0.9E-3	Temperature dependence of ETA
TLAMBDA	0.0	Temperature dependence of LAMBDA
TCV	600.0E-6	Temperature dependence of VTO (threshold voltage)
BEX	-1.5	Temperature dependence of KP (mobility)
UCEX	1.5	Temperature dependence of UCRIT
TE0EX	0.5	Temperature dependence of E0
TE1EX	0.5	Temperature dependence of E1
IBBT	800.0E-6	Temperature dependence of IBB

1.2.26 Geometry Dependencies of Temperature Parameters

Parameter Name	Default Value	Short Description
TCVL	0.0	Length dependence of TCV
TCVW	0.0	Width dependence of TCV
TCVWL	0.0	Area dependence of TCV

1.3 Extrinsic Part of the Model

1.3.1 Overlap Capacitances

Parameter Name	Default Value	Short Description
GAMMAOV	1.6	Body effect coefficient of the overlap area
GAMMAOV	10.0	Body effect coefficient of the gate of the overlap area
VFBOV	0.0	Flat-band voltage of the overlap area
LOV	20.0E-9	Length of the overlap area
VOV	1.0	
CGSO	0.0	Bias-independent gate to source overlap capacitance
CGDO	0.0	Bias-independent gate to drain overlap capacitance
CGBO	0.0	Bias-independent gate to bulk overlap capacitance

1.3.2 Fringing Capacitances

Parameter Name	Default Value	Short Description
KJF	0.0	Fringing capacitance factor
CJF	0.0	Fringing capacitance bias factor
VFR	0.0	Built-in correction for fringing capacitance
DFR	1.0E-3	Smooth factor of fringing capacitance model

1.3.3 Series Resistances

Typical Spice Model

Parameter Name	Default Value	Short Description
HDIF	0.0e-6	Half length of active area
RSH	0.0	Square resistance of active area
LDIF	0.0	Distance between the middle of the active area and the start of the channel
RS	0.0	LDD Source series resistance
RD	0.0	LDD Drain series resistance

Non-Geometrical Approach

Parameter Name	Default Value	Short Description
RLX	-1.0	Series resistance (symmetric model)
RSX	-1.0	Source series resistance (asymmetric model)
RDX	-1.0	Drain series resistance (asymmetric model)

1.3.4 Temperature Scaling of Extrinsic Resistors

Parameter Name	Default Value	Short Description
TR	0.0	First order temperature coefficient of resistors
TR2	0.0	Second order temperature coefficient of resistors

1.3.5 Junction Diodes Drain-Bulk and Source-Bulk: Current and Capacitance

Parameter Name	Default Value	Short Description
ND	1.0	Slope factor for parasitic diodes
JS	0.0E-09	Area component of diode current
JSW	0.0E-12	Perimeter component of diode current
JSWG	0.0E-12	Gate side component of diode current
MJ	0.900	Area exponent of diode capacitance
MJSW	0.700	Perimeter exponent of diode capacitance
MJSWG	0.700	Gate side exponent of diode capacitance
PB	0.800	Area parameter of diode capacitance
PBSW	0.600	Perimeter parameter of diode capacitance
PBSWG	0.600	Gate side parameter of diode capacitance
CJ	0.0E-06	Area component of diode capacitance
CJSW	0.0E-09	Perimeter component of diode capacitance
CJSWG	0.0E-09	Gate side component of diode capacitance
GMIN	0.0	Minimum conductance of diode
XJBV	0.0	Breakdown effect coefficient
BV	10.0	Breakdown Voltage
XTI	3.0	Temperature dependence of diode
TCJ	0.0	Temperature dependence of CJ
TCJSW	0.0	Temperature dependence of CJSW
TCJSWG	0.0	Temperature dependence of CJSWG
TPB	0.0	Temperature dependence of PB
TPBSW	0.0	Temperature dependence of PBSW
TPBSWG	0.0	Temperature dependence of PBSWG
JTS	0.0E-09	Area component of trap-assisted diode current
JTSW	0.0E-12	Perimeter component of trap-assisted diode current
JTSWG	0.0E-12	Gate side component of trap-assisted diode current
XTS	0.0	Area component of temperature dependence of trap-assisted diode current
XTSW	0.0	Perimeter component of temperature dependence of trap-assisted diode current
XTSWG	0.0	Gate side component of temperature dependence of trap-assisted diode current
NJTS	1.0	Area slope factor of trap-assisted diode current
NJTSSW	1.0	Perimeter slope factor of trap-assisted diode current
NJTSSWG	1.0	Gate side slope factor of trap-assisted diode current
VTS	0.0	Area voltage factor of trap-assisted diode current
VTSSW	0.0	Perimeter voltage factor of trap-assisted diode current
VTSSWG	0.0	Gate side voltage factor of trap-assisted diode current
TNJS	0.0	Temperature dependence of NJTS
TNJTSSW	0.0	Temperature dependence of NJTSSW
TNJTSSWG	0.0	Temperature dependence of NJTSSWG

1.3.6 Gate and Substrate Resistances

Parameter Name	Default Value	Short Description
RGSH	3.0	Gate square resistance
GC	1	Gate contacts (single sided = 1, double sided = 2)
RINGTYPE	1.0	Type of guard ring (bulk contacts) (two sides/symmetric: 1, three sides/horse shoe: 2)
RDSBSH	1.0E+3	Drain to source substrate sheet resistance
RBWSH	3.0E-3	Inner bulk to bulk sheet resistance
RBN	0.0	Inner bulk to bulk resistance per finger (for RINGTYPE =2)
RSBWSH	1.0E-3	Inner bulk-source side to bulk sheet resistance
RSBN	0.0	Inner bulk-source side to bulk resistance per finger (for RINGTYPE =2)
RDBWSH	1.0E-3	Inner bulk-drain side to bulk sheet resistance
RDBN	0.0	Inner bulk-drain side to bulk resistance per finger (for RINGTYPE =2)

5.4 Φαινόμενα που καλύπτονται από το EKV3 μοντέλο

Υπάρχουν κάποια μη ιδανικά φαινόμενα, τα οποία ενδεχομένως επηρεάζουν την λειτουργία και την απόδοση του τρανζίστορ. Έχει εισαχθεί όμως ένα πλήθος παραμέτρων για να αντιμετωπίσει αυτά τα φαινόμενα, έτσι ώστε η μοντελοποίησή τους από το EKV να γίνεται με τον καλύτερο δυνατό τρόπο και οι προσομοιώσεις των κυκλωμάτων με την χρήση των παραμέτρων αυτών να βρίσκονται όσο πιο κοντά γίνεται σε πραγματικές συνθήκες.

- Φαινόμενο κινητικότητας φορέων. Δύο είναι τα κύρια φαινόμενα που περιορίζουν την κινητικότητα των φορέων:
 1. Με το κάθετο πεδίο λόγω scattering. Η κινητικότητα των ηλεκτρονίων ή οπών περιορίζεται όταν το κάθετο πεδίο είναι πολύ μικρό ή πολύ μεγάλο, ιδιαίτερα με υψηλό NSUB , χαμηλή θερμοκρασία. Υπό τις συγκεκριμένες συνθήκες, η κινητικότητα μειώνεται, καθώς αυξάνονται οι συγκρούσεις των ηλεκτρονίων (οπών) με τον κρύσταλλο. Για να αντιμετωπιστεί το φαινόμενο αυτό, έχουν εισαχθεί οι παράμετροι KP, EO, E1, ETA, ZC, THC.
 2. Με το οριζόντιο πεδίο λόγω Velocity Saturation. Αυτό αποτελεί την κυριότερη αιτία περιορισμού του ρεύματος, ιδιαιτέρως για τρανζίστορ μικρού μήκους και παρατηρείται κυρίως στα n-type. Για να αντιμετωπιστεί το φαινόμενο αυτό, έχει εισαχθεί η παράμετρος UCRIT.
- Φαινόμενο διαμόρφωσης μήκους καναλιού L (Channel length modulation) Χαρακτηριστικό του φαινομένου αυτού είναι ότι αυξάνεται η αγωγιμότητα εξόδου του τρανζίστορ σε περιοχή κορεσμού (strong inversion). Επίσης, συνδέεται τόσο με το velocity saturation όσο και με το δισδιάστατο πεδίο κοντά στο drain. Όσο πιο μικρή τιμή είναι αυτή του L, τόσο πιο έντονα εμφανίζεται το φαινόμενο αυτό. Για να αντιμετωπιστεί το φαινόμενο του Channel length modulation, έχουν εισαχθεί οι παράμετροι LAMBDA, DELTA.
- Αλλαγή του φαινομένου σώματος (Charge share effect) Παρατηρείται μια μείωση της τιμής της παραμέτρου GAMMA για μικρό L, και η αύξησή της για μικρό W. Για να αντιμετωπιστεί το charge sharing effect, έχουν εισαχθεί οι παράμετροι LETA, WETA, NCS.
- Drain Induced Barrier Lowering (DIBL). Αυτό που χαρακτηρίζει το συγκεκριμένο φαινόμενο είναι η μείωση της τάσης κατωφλίου όταν έχουμε αυξημένη τάση VDS . Για να αντιμετωπιστεί το DIBL effect έχει εισαχθεί στο μοντέλο η παράμετρος ETAD καθώς και η παράμετρος SIGMAD.[8]

5.5 Επισημάνσεις για τη χρήση του EKV3 σε JFET

Το JFET είναι τρανζίστορ επίδρασης πεδίου και συνεπώς έχει πολλά κοινά χαρακτηριστικά με το MOSFET. Στην ουσία ένα JFET λειτουργεί παρόμοια με ένα MOSFET απογύμνωσης

με μία σημαντική εξαίρεση. Ενώ είναι δυνατό να λειτουργήσουμε το MOSFET απογώνωσης ως στοιχείο πύκνωσης (εφαρμόζοντας θετική τάση VGS) αυτό είναι αδύνατο για το JFET. Αν εφαρμόσουμε μια θετική τάση VGS στην πύλη του JFET, η διόδος (junction) pn πύλης-καναλιού θα πολωθεί ορθά και η πύλη θα πάψει να ελέγχει το κανάλι. Άρα η μέγιστη τάση ειόδου περιορίζεται στα 0V, ενώ είναι δυνατό να εφαρμόσουμε και λίγο μεγαλύτερη τάση, ως και 0.3V περίπου καθώς η ένωση pn παραμένει στην αποκοπή για τόσο μικρές τιμές ορθής πόλωσης.[1] Έτσι έχουμε κάποιες σοβαρές ομοιότητες στην λειτουργία, έχουμε ίδιες σχέσεις φορτίου-ρεύματος και φορτίου τάσης, έχουμε κοινές χαρακτηριστικές και ισχύουν τα παραπάνω φαινόμενα. Εδώ να σημειώσουμε ότι δεν ισχύουν όλα τα φαινόμενα που καλύπτει το EKV3 για το MOSFET στο JFET. Το φαινόμενο DITS λόγω χάρη, δεν ισχύει στα JFET και για αυτό το λόγο το θέτουμε την παράμετρο DITS=0, αλλά θα αναφερθούμε σ'αυτό και παρακάτω. Επίσης έχουμε κάποιες δομικές διαφορές που δεν μας απαγορεύουν όμως να κάνουμε χρήσιμες και απαραίτητες υποθέσεις εργασίας που είναι κοντά στην πραγματικότητα. Η μεγαλύτερη δομική διαφορά MOSFET και JFET είναι ότι στο MOSFET υπάρχει η χρήση στην πύλη μετάλλου ως αγωγό και από κάτω του οξειδίο ως μονωτή που δεν υπάρχει στο JFET. Συνεπώς η παράμετρος COX για το JFET συμπεριφέρεται ως χωρητικότητα της ένωσης (junction capacitance). Στην ουσία η χωρητικότητα COX του μοντέλου MOSFET μπορεί να αντιπροσωπεύσει την (μέση) τιμή της χωρητικότητας της διόδου, (η οποία είναι συνήθως αρκετά πιο χαμηλή από συνηθισμένες τιμές COX των MOSFET). Επίσης η διαχωρισμός της λειτουργίας σε strong και weak inversion του MOSFET μεταχειρίζεται στο JFET ως strong και weak charge. Έχοντας εν γνώσει τις βασικές αυτές διαφορές και μεταχειριζόμενοι τα φαινόμενα και τις παραμέτρους του MOSFET σύμφωνα με τις προδιαγραφές του JFET μοντελοποιήσαμε επαρκώς τα JFET τρανζίστορ με το EKV3, όπως θα φανεί και στη συνέχεια.

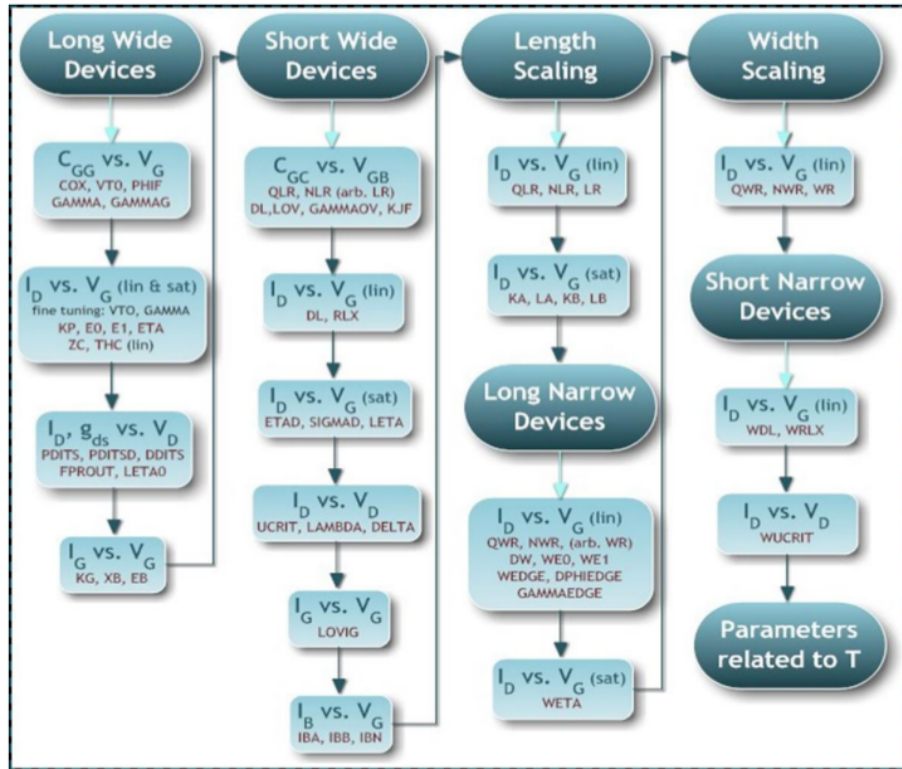
5.6 Διαδικασία εξαγωγής παραμέτρων

Η διαδικασία εξαγωγής παραμέτρων [7] είναι η κύρια διαδικασία που πραγματοποιήσαμε για να μοντελοποιήσουμε τα JFET τρανζίστορ. Είναι η διαδικασία όπου οι παράμετροι του EKV3 που μας ενδιαφέρουν τροποποιούνται σε σχέση με τα φυσικά μεγέθη των τρανζίστορ μας(μήκος, πλάτος, τάση κατωφλίου κτλ) και σε σχέση με τα φαινόμενα και τη λειτουργία των τρανζίστορ τα οποία μετρήθηκαν στο εργαστήριο.

5.6.1 Διάγραμμα ροής παραμέτρων

Η υλοποίηση του συστήματος αυτού βασίζεται στην λεπτομερή μεθοδολογία εξαγωγής παραμέτρων που έχει αναπτυχθεί από τους A.Bazigos, M.Bucher [8]. Η εικόνα 5.2 που ακολουθεί περιγράφει σε ένα διάγραμμα ροής αναλυτικώς το τι πρέπει να ακολουθηθεί ώστε να εξαχθούν βήμα-βήμα οι σωστές τιμές των παραμέτρων του μοντέλου EKV3.

Το σχήμα 5.2 δείχνει βήμα-βήμα το σύστημα, σύμφωνα με το οποίο γίνεται η εξαγωγή παραμέτρων έχοντας ήδη τις μετρήσεις. Ο στόχος κάθε φορά είναι να αλλάζουμε τις τιμές της κάθε παραμέτρου, έτσι ώστε το αποτέλεσμα της προσομοίωσης να προσεγγίζει κάθε φορά τις γραφικές παραστάσεις που δημιουργούνται από τις μετρήσεις που έχουν γίνει. Εδώ να



Σχήμα 5.2: Διάγραμμα ροής εξαγωγής παραμέτρων EKV3

σημειώσουμε ότι το σχήμα 5.2 αποτέλεσε βασικό οδηγό για την εξαγωγή παραμέτρων αλλά για τα JFET που μοντελοποιήσαμε δεν ακολουθήθηκε με την ίδια πανομοιότυπη σειρά.

5.6.2 Η διαδικασία εξαγωγής παραμέτρων

Στην αρχή της διαδικασίας τροποποιούμε τις τιμές των παραμέτρων W , L ώστε να ανταποκρίνονται προσεγγιστικά στο μήκος και το πλάτος των JFET τρανζίστορ μας. Τα θέτουμε $L=30\mu\text{m}$ και $W=1\mu\text{m}$. Η τιμή αυτή ανταποκρίνεται προσεγγιστικά σε discrete JFET τρανζίστορ που έχουν σε σειρά τοποθετημένες τις πύλες τους. Ένα discrete JFET του εμπορίου δεν έχει μία πύλη, απαγωγό και πηγή αλλά πολλά και συνήθως σε σειρά. Γι αυτό και επιλέξαμε αυτή την αντιστοιχία L και W .

Σύμφωνα με τη λογική του διαγράμματος ροής και κυρίως με τις παραμέτρους που παίζουν ρόλο στις εξισώσεις του ρεύματος που παρέχει το μοντέλο EKV3 προχωράμε στην εξαγωγή παραμέτρων.

Στην αρχή εξάγουμε τις τιμές των παραμέτρων COX , VTO οι οποίες είναι οι αρχικές βασικές παράμετροι για να ευθυγραμμίσουμε την τάση κατωφλίου και το μέγεθος της χωρητικότητας της ένωσης (junction capacitance) που όπως περιγράψαμε παραπάνω αντιστοιχεί στην παράμετρο COX . Στη συνέχεια τροποποιούμε τις τιμές των παραμέτρων PHI , $GAMMA$, $GAMMAG$ που όσο μεγαλύτερες τιμές παίρνουν τόσο λιγότερο επηρεάζουν το αποτέλεσμα. Οι παράμετροι αυτοί επιδρούν στο flat band voltage του MOSFET, άρα παίζουν ρόλο στην τάση κατωφλίου και στα slope factors που μας ενδιαφέρει για τα JFET. Άρα παίζουν και ση-

μαντικό ρόλο στην μοντελοποίηση των JFET. Στη συνέχεια εξάγουμε τις παραμέτρους KP, E0, E1, ETA, ενώ σε saturation mode εξάγουμε τις ZC, THC. Με τη βοήθεια των παραμέτρων αυτών, με βασική την παράμετρο KP, μοντελοποιούμε την κινητικότητα των φορέων και παίζουν σημαντικό ρόλο στο πόσο ρεύμα θα έχουμε στην έξοδο άρα και σε όλες τις γραφικές παραστάσεις που φαίνεται το ρεύμα ή η διαγωγιμότητα. Προχωρώντας μηδενίζουμε τις τιμές των παραμέτρων DL και DW διότι έχουμε σχεδόν μηδενικές τιμές πλευρικής αγωγιμότητας. Να σημειώσουμε ότι για να μοντελοποιήσουμε την σειριακή αντίσταση χρησιμοποιήσαμε την παράμετρο RLX. Στην συνέχεια εξάγουμε τις παραμέτρους UCRIT, LAMBDA, DELTA που επηρεάζουν την ταχύτητα κορεσμού και την διαμόρφωση πλάτους καναλιού. Οι παράμετροι αυτοί ήταν καθοριστικοί για την μοντελοποίηση των JFET καθώς απευθύνονται σε φαινόμενα που είναι κοινά σε MOSFET και JFET. Με λιγότερη σημαντικότητα για την μοντελοποίηση των τρανζίστορ μας έρχονται οι παράμετροι LETA, WETA που μείναν πολύ κοντά στις default τους τιμές. Για την αντιμετώπιση του φαινομένου DIBL (Drain Induced Barrier Lowering), κατά το οποίο όταν αυξάνεται η VDS μειώνεται η τάση κατωφλίου χρησιμοποιήσαμε τις παραμέτρους ETAD και SIGMAD για να βελτιώσουμε τις τιμές του ρεύματος στις γραφικές μας παραστάσεις κοντά στην περιοχή κατωφλίου. Εδώ να σημειώσουμε ότι το φαινόμενο DITS δεν παίζει κάποιο ρόλο στο JFET, οπότε το μηδενίζουμε και αφήνουμε ανενεργές τις παραμέτρους FPROUT, PDITS. Τέλος να αναφέρουμε ότι το EKV3 έχει ένα πλήθος παραμέτρων που χρησιμεύουν σε διάφορα άλλα φαινόμενα και λειτουργίες του MOSFET που δε μας προσέφεραν κάποια ιδιαίτερη βοήθεια στην μοντελοποίηση και γι αυτό παρέμειναν στις default τους τιμές. Εδώ να σημειώσουμε ότι η κάθε αλλαγή σε οποιαδήποτε παράμετρο οδηγεί σε τροποποιήσεις σε όλες τις παραμέτρους που βρίσκονται στην ίδια εξίσωση η επηρεάζουν σημαντικά το αποτέλεσμα.

Τελειώνοντας με αυτή την κύρια διαδικασία, είμαστε σε ένα σημείο που έχουμε μοντελοποιήσει σε ένα καλό βαθμό τα τρανζίστορ. Αυτή η διαδικασία μας έχει δείξει τα όρια της κάθε παραμέτρου που έξω από αυτά τα αποτελέσματα μας είναι διαλυτικά για τη μοντελοποίηση. Ενώ δηλαδή μια τροποποίηση σε μία μεταβλητή μπορεί να μας φτιάχνει καλύτερα την γραφική παράσταση ID προς VG στα χαμηλά VDS να μας δημιουργεί πρόβλημα στα ψηλά VDS. Έξω όμως από κάποια όρια η αλλαγές στις παραμέτρους δεν έχουν όφελος πουνθενά.

Αυτό είναι πολύ σημαντικό γιατί μας επιτρέπει να περάσουμε στο τελευταίο στάδιο, των αυτοματοποιημένων βελτιστοποιήσεων. Το IC-CAP μας δίνει τη δυνατότητα μέσω του Optimization να τελειοποιήσει την μοντελοποίηση. Δημιουργούμε δύο σετ βελτιστοποιήσεων με δεδομένες τις παραμέτρους COX, VTO, PHIF, GAMMA, GAMMAG που είναι ήδη ικανοποιητικές στην μέχρι τώρα μοντελοποίηση. Το πρώτο σετ περιλαμβάνει τις παραμέτρους KP, RLX, E0, E1, UCRIT, LAMBDA για να έχουμε καλύτερο αποτέλεσμα στην ευκινησία των φορέων, την διαμόρφωση πλάτους καναλιού, και στην ταχύτητα κορεσμού. Σε αυτό το σετ βοηθάει να χρησιμοποιήσουμε στην βελτιστοποίηση και την παράμετρο RLX, για να διορθωθεί σε αναγκαίες αυξήσεις την ευκινησίας και του πλάτους καναλιού μια απαραίτητη 'κάμψη' στις γραφικές παραστάσεις μας που επιφέρει η σειριακή αντίσταση. Το δεύτερο σετ είναι οι παράμετροι ETAD, SIGMAD, ώστε να καλυφθεί το φαινόμενο DIBL και να διορθώσει τις γραφικές μας στην περιοχή subthreshold που είχαμε ατέλειες.

Τελειώνοντας και με τη διαδικασία των αυτόματων βελτιστοποιήσεων έχουμε φτάσει σε ένα ικανοποιητικό αποτέλεσμα και έχουμε βγάλει κρίσιμα συμπεράσματα για τη λειτουργία και την ικανότητα μοντελοποίησης JFET τρανζίστορ με τη βοήθεια του EKV3 μοντέλου. Τα συμπεράσματα βρίσκονται στο 8ο κεφάλαιο της παρούσας διπλωματικής εργασίας σε σύγκριση με το μοντέλο spectre jfet και όλες οι γραφικές παραστάσεις στις οποίες φαίνονται τα αποτελέσματα της μοντελοποίησης στο κεφάλαιο 7.

Προβλήματα στη διαδικασία μοντελοποίησης:

Το βασικό πρόβλημα που παρουσιάστηκε στη διαδικασία της μοντελοποίησης είναι το φαινόμενο που παρουσιάστηκε στα τρανζίστορ BF245b και BF245c. Στις γραφικές παραστάσεις ID-VG στα χαμηλά VDS (25-100 mV) για τιμές VG που πλησιάζανε το μηδέν είχαμε μια άνοδο του ρεύματος που δεν 'περιμέναμε' να εμφανιστεί, σε αντίθεση με το τρανζίστορ J204 όπου η συμπεριφορά του ήταν πιο αναμενόμενη. Αυτό το φαινόμενο δεν μπορούσε να καλυφθεί από τα μοντέλα που χρησιμοποιήσαμε, το EKV3 και το spectre jfet. Αυτή η δυσκολία μας ανάγκασε να μην το λάβουμε σοβαρά υπ'οψιν στη διαδικασία της μοντελοποίησης, όπως επίσης στη διαδικασία της αυτόματης βελτιστοποίησης και στη συγκεκριμένη γραφική παράσταση που αναφέραμε παραπάνω όπως και στην αντίστοιχη της διαγωγιμότητας θέσαμε όριο στον άξονα VG για να μην λαμβάνει υπ'οψιν το εν λόγω φαινόμενο διότι είχε αρνητικό αντίκτυπο στο σύνολο του αποτελέσματος.

Στο παράρτημα Α, στο τέλος της διπλωματικής εργασίας παρατίθεται η λίστα των εξαγόμενων παραμέτρων για τα τρανζίστορ που μοντελοποιήσαμε.

Κεφάλαιο 6

Το μοντέλο spectre jfet

Το μοντέλο JFET προέρχεται από το μοντέλο FET των Shichman και Hodges. Τα dc χαρακτηριστικά καθορίζονται από τις παραμέτρους VTO και BETA τα οποία καθορίζουν τη διακύμανση του Drain Current με τάση πύλης, την παράμετρο LAMDA η οποία καθορίζει την αγωγιμότητα εξόδου και την παράμετρο IS που καθορίζει το ρεύμα κορεσμού στις ενώσεις (junctions) των δύο πυλών. Περιλαμβάνονται επίσης δύο ωμικές αντιστάσεις, RD και RS. Η αποθήκευση φορτίου μοντελοποιείται από μη γραμμικές χωρητικότητες περιοχής απογύμνωσης και για τις δύο ενώσεις πύλης και καθορίζονται από τις παραμέτρους CGS, CGD και PB.

6.1 Λειτουργία του spectre jfet

Αφού δημιουργήσουμε τα DUT-setup και τα πλοτς που θέλουμε στο ICCAP όπως περιγράφεται στο Κεφάλαιο 4 φορτώνουμε τον Verilog-A κώδικα jfet.va στο ICCAP στην ταμπέλα circuit και το κάνουμε Parse. Ο κώδικας περιέχει τους απαραίτητους ορισμούς και ινκλυδες που χρειάζονται, τις παραμέτρους και το όρισμα των αρχικών τιμών τους και τέλος τις εξισώσεις ενσωματωμένα όλα στον αλγόριθμο του μοντέλου. Στη συνέχεια δηλώνουμε το μοντέλο με όνομα της επιλογής μας στο circuit.

```
JFETno1 (d g s) sampleJFET jfet  
model sampleJFET jfet
```

6.2 Παράμετροι μοντέλου και αρχικές τιμές

Παρακάτω παρουσιάζονται όλοι οι παράμετροι του μοντέλου με τις αρχικές τους τιμές ανα κατηγορία. Οι βασικοί παράμετροι εξ αυτών θα χρησιμοποιηθούν στην εξαγωγή παραμέτρων για την μοντελοποίηση των μετρήσεων μας.

Παράμετρος νο	Όνομα παραμέτρου	Default τιμή	Περιγραφή
1	area	1	Junction area factor
2	m	1	Multiplicity factor
3	region	triode	Estimated operation region. Possible values are off, triode, sat, subth, breakdown

Πίνακας 6.1: Instance Parameters

Παράμετρος νο	Όνομα παραμέτρου	Default τιμή	Περιγραφή
1	type	n	Transistor type. Possible values are n or p

Πίνακας 6.2: Device type parameters

Παράμετρος νο.	Όνομα παραμέτρου	Default τιμή	Περιγραφή
2	level	1	Drain current model selector
3	vto	-2 V	Pinchoff voltage
4	beta	0.0001 A/V ²	Transconductance parameter
5	lamda	0 1/V	Channel length modulation parameter
6	lamda1	0 1/V	Gate dependance of channel length modulation parameter
7	np	2	Power-law exponent
8	alpha	2	Triode-to-saturation transition parameter
9	io	0 A	Subthreshold current parameter
10	ns	1	Subthreshold swing parameter
11	ai	0 1/V	Impact ionization current coefficient
12	bi	1 V	Impact ionization current exponent

Πίνακας 6.3: Drain current model parameters

Παράμετρος νο.	Όνομα παραμέτρου	Default τιμή	Περιγραφή
13	vtop	0.6 V	Back gate to channel junction potential
14	vtos	1.2 V	Threshold voltage slope
15	vtoe	0.33 V	Threshold voltage exponent
16	vtoc	-3.3 V	Threshold voltage constant

Πίνακας 6.4: Terminal threshold voltage parameters

Παράμετρος νο.	Όνομα παραμέτρου	Default τιμή	Περιγραφή
17	rd	0 Ω	Drain resistance
18	rs	0 Ω	Source resistance
19	rg	0 Ω	Gate resistance
20	rb	0 Ω	Back gate resistance
21	minr	0.1 Ω	Minimum source/drain/gate resistance

Πίνακας 6.5: Parasitic resistance parameters

Παράμετρος νο.	Όνομα παραμέτρου	Default τιμή	Περιγραφή
22	is	1e-14 A	Gate saturation current(*area)
23	n	1	Emission coefficient for G-D and G-S junctions
24	imelt	'imaxA'	Explosion current (*area)
25	dskip	yes	Use simple piece-wise linear model for diode currents below 0.1 Possible values no/yes

Πίνακας 6.6: Junction diode model parameters

Παράμετρος νο.	Όνομα παραμέτρου	Default τιμή	Περιγραφή
26	tt	0 s	Transit time
27	cgs	0 F	Gate-source zero-bias junction capacitance (*area)
28	cgd	0 F	Gate-drain zero-bias junction capacitance (*area)
29	mj	0.5	Junction grading coefficient
30	pb	1 V	Gate-junction potential
31	fc	0.5	Junction capacitor forward-bias threshold

Πίνακας 6.7: Junction capacitance model parameters

Παράμετρος νο.	Όνομα παραμέτρου	Default τιμή	Περιγραφή
32	isb	1e-14 A	Back gate-saturation current (*area)
33	nb	1	Emission coefficient for back gate-junctions
34	cgb	0 F	Back gate-source zero-bias junction capacitance (*area)
35	cgbd	0 F	Back gate-drain zero-bias junction capacitance (*area)
36	mjb	0.5	Back gate-junction grading coefficient
37	pbb	1 V	Back gate-junction potential

Πίνακας 6.8: Terminal junction parameters

Παράμετρος νο.	Όνομα παραμέτρου	Default τιμή	Περιγραφή
38	tnom (C)	-	Parameters measurement temperature. Default set by options
39	trise	0 C	Temperature rise from ambient
40	xti	3	Temperature exponent for effect on is
41	tlev	0	DC temperature selector
42	tlevc	0	AC temperature selector
43	eg	1.12452 V	Energy band gap
44	gap1	7.02e-4 V/C	Band gap temperature coefficient
45	gap2	1108 C	Band gap temperature offset
46	tcv	0 1/C	Threshold voltage temperature coefficient
47	bto	0 C	Transconductance parameter temperature offset
48	bte	0 C	Transconductance parameter temperature exponent
49	lto	0 C	Channel length modulation parameters temperature offset
50	lte	0	Channel length modulation parameters temperature exponent
51	tcl	0 1/C	Linear temperature coefficient for parasitic resistors
52	tc2	0 C ⁻²	Quadratic temperature coefficient for parasitic resistors

Πίνακας 6.9: Temperature effect parameters

Παράμετρος νο.	Όνομα παραμέτρου	Default τιμή	Περιγραφή
53	alarmzone	none	Forbidden operating region. Possible values are none, off, triode, sat, subth, or rev
54	imax	1 A	Maximum allowable current (*area)
55	bvj	∞ V	Junction reverse breakdown voltage

Πίνακας 6.10: Operating region warning control parameters

Παράμετρος νο.	Όνομα παραμέτρου	Default τιμή	Περιγραφή
56	kf	0	Flicker noise (1/f) coefficient
57	af	1	Flicker noise (1/f) exponent
58	kfd	0	Flicker noise (1/f) coefficient for gate diodes
59	afg	1	Flicker noise (1/f) coefficient for gate diodes

Πίνακας 6.11: Operating region warning control parameters

6.3 Εξισώσεις του μοντέλου spectre jfet

Οι εξισώσεις του μοντέλου είναι παραλλαγές των κλασικών εξισώσεων του JFET που είναι απαραίτητες για την μετατροπή τους σε Verilog-A κώδικα. Οι εξισώσεις που θα μας απασχολήσουν είναι οι εξισώσεις του ρεύματος και οι εξισώσεις που δημιουργούν μεταβλητές (φτιαγμένες από τις παραμέτρους του μοντέλου) που χρειάζεται ο Verilog-A κώδικας.[3]

Η βασική δομή σύμφωνα με την οποία 'χτίζονται' οι εξισώσεις είναι η εξής: Για VDS μεγαλύτερο του μηδενός μπαίνουμε στο forward mode και μετά εξετάζεται από τον κώδικα σε ποια περιοχή βρισκόμαστε. Αν βρισκόμαστε δηλαδή στην μηδενική περιοχή $V_{GS} - V_T \leq 0$, στην ωμική $V_{DS} \leq V_{GS} - V_T$ ή στην περιοχή κορεσμού $V_{DS} \geq V_{GS} - V_T$. Στην ωμική περιοχή και στην περιοχή κορεσμού εξετάζεται πριν καταλήξει ποια εξίσωση του ρεύματος περιγράφει το τρανζίστορ σε ποιο level βρισκόμαστε. Η παράμετρος level είναι πολύ σημαντική καθώς ελέγχει ποια μορφή εξίσωσης ρεύματος θα επιλεγεί και στην ουσία ποιοι παράμετροι θα ενεργοποιηθούν για να περιγράψουν το μοντέλο. Οι παράμετροι του μοντέλου δηλαδή δεν χρησιμοποιούνται όλοι σε κάθε εξίσωση αλλά ανάλογα με τη δυσκολία της περιγραφής των μετρήσεων μας και την ανάγκη της μοντελοποίησης ενεργοποιούνται μικρότεροι σε σημασία παράμετροι σε κάθε level παραπάνω.

Έτσι έχουμε:

Για $V_{DS} > 0$

- Όταν $V_{GS} - V_T \leq 0$

– Για level=1 ή για level=4

$$I_{DS} = 0 \quad (6.1)$$

– Αλλιώς

$$I_{DS} = \frac{i_{exp} i_{limit}}{i_{exp} + i_{limit}} \quad (6.2)$$

Όπου

$$i_{exp} = i_o \exp\left(\frac{V_{GST}}{n_s V_T}\right) \left(1 - \exp\left(\frac{-V_{DS}}{V_T}\right)\right) \quad (6.3)$$

$$i_{limit} = 2\beta_T V_T^2 \quad (6.4)$$

- Όταν $V_{DS} \leq V_{GS} - V_T$, Ωμική περιοχή

– Για level=1

$$I_{DS} = \beta_T (2V_{GST} - V_{DS}) V_{DS} \lambda_{factor} \quad (6.5)$$

– Για level=2

$$I_{DS} = \beta_T V_{GST}^{n_p} \tanh\left(\frac{\alpha V_{DS}}{V_{GST}}\right) \lambda_{factor} \quad (6.6)$$

- $V_{DS} \geq V_{GS} - V_T$, Περιοχή κορεσμού

– Για level=1

$$I_{DS} = \beta_T V_{GST}^2 \lambda_{factor} \quad (6.7)$$

– Για level=2

$$I_{DS} = \beta_T V_{GST}^{n_p} \tanh\left(\frac{\alpha V_{DS}}{V_{GST}}\right) \lambda_{factor} \quad (6.8)$$

Όπου

$$\beta_T = \beta \left(\frac{T}{T_{nomK} + b_{to}} \right)^{b_{te}} \quad (6.9)$$

και

$$\lambda_{factor} = 1 + \lambda(1 + \lambda_1 V_{GST}) V_{DS} \quad (6.10)$$

και

$$V_{GST} = V_{GS} - V_T \quad (6.11)$$

Το μοντέλο προσφέρει και τις εξισώσεις για τις χωρητικότητες των διεπαφών - ενώσεων (junctions).

$$qgd = qgd_{diff} + typeqgd_{dep} \quad (6.12)$$

και

$$qgs = qgs_{diff} + typeqgs_{dep} \quad (6.13)$$

.

$$qgd_{diff} = ttigd \quad (6.14)$$

και

$$qgs_{diff} = tt * igs \quad (6.15)$$

όπου igs, igd gate currents που φαίνονται στον Verilog-A κώδικα που παρατίθεται στο Παράρτημα Β.

$$qgd_{dep} = cgd_T p b_T \left(1 - \left(\frac{1 - V_{GS}}{p b_T}\right)^{1-mj}\right) / 1 - mj \quad (6.16)$$

και

$$qgs_{dep} = cgs_T pb_T (1 - (\frac{1 - V_{GS}}{pb_T})^{1-mj}) / (1 - mj) \quad (6.17)$$

Το σύνολο των εξισώσεων για τις χωρητικότητες και η λειτουργία τους περιέχονται αναλυτικά στον Verilog-A κώδικα του Παράρτηματος Β. Οι χωρητικότητες σύμφωνα με το μοντέλο επηρεάζονται από αρκετές παραμέτρους θερμοκρασίας, από την τάση κατωφλίου V_t , την τάση V_{GS} για την χωρητικότητα qgs , την τάση V_{GD} για την χωρητικότητα qgd , το ενεργειακό διάκενο (energy band gap) με την παράμετρο eg και τις διακλαδώσεις της και το δυναμικό των ενώσεων πύλης από την παράμετρο pb . Αυτό φαίνεται αναλυτικά στον κώδικα από την εξίσωση της παραμέτρου pbT .

6.4 Διαδικασία εξαγωγής παραμέτρων στο μοντέλο spectre jfet

Η διαδικασία εξαγωγής παραμέτρων που ακολουθήθηκε είναι ίδια και στα τρία τρανζίστορ που χρησιμοποιήσαμε. Αρχικά ορίζονται οι παράμετροι $area=1$, $m=1$, $region=triode$, $type=n$ και $level=1$. Με βάση τις παραπάνω default τιμές και αρχικά με $level=1$ συμπληρώνουμε όλες τις τιμές των παραμέτρων από τον πίνακα με τις παραμέτρους του spectre jfet. Η διαδικασία εξαγωγής παραμέτρων είναι στην ουσία η εύρεση της καλύτερης δυνατής τιμής στις παραμέτρους που ενδιαφερόμαστε για να έχουμε μία επαρκή μοντελοποίηση των μετρήσεών μας. Ξεκινώντας η πρώτη παράμετρος που αλλάζει είναι σαφώς η vto . Η τάση κατωφλίου πρέπει να γίνει ίση με την τάση κατωφλίου των μετρήσεών μας. Στη συνέχεια η παράμετρος που αλλάζουμε είναι η $beta$. Η $beta$ είναι το βασικό μέγεθος της $beta-T$ που είναι συντελεστής σε όλες τις εξισώσεις του ρεύματος. Στην ουσία η $beta$ η οποία είναι η παράμετρος διαγωγιμότητας μας αλλάζει την κύρια έκταση του μοντέλου ώστε να γίνει ίδια τάξη μεγέθους με τις μετρήσεις. Οι τιμές που επιλέγονται διαμορφώνουν ένα αποτέλεσμα ποιοτικά κοντά στις μετρήσεις και προς το παρόν υπάρχει ακόμα μια απόκλιση από το επιθυμητό αποτέλεσμα. Προχωρώντας βρίσκουμε τις παραμέτρους $lambda$ και $lambda1$ που είναι συντελεστές του $lambda$ -factor στις εξισώσεις του ρεύματος. Οι παράμετροι αυτοί καλύπτουν την διαμόρφωση μήκους καναλιού ($lambda$) και την εξάρτηση της πύλης από τη διαμόρφωση μήκους καναλιού ($lambda1$). Φτάνουμε σε ένα σημείο όπου η αλλαγή των παραμέτρων μπορεί να φτιάχνει τις γραφικές μας στις υψηλές τάσεις V_{DS} (1-5 V) αλλά στα χαμηλά V_{DS} (25-100 mV) δεν μας καλύπτει. Αυτό είναι σημάδι ότι δεν μπορούμε να φτιάξουμε καλύτερα τις παραμέτρους μας στο σημείο που είμαστε. Για αυτό το λόγο αλλάζουμε την παράμετρο $level=2$ για να ενεργοποιήσουμε τις παραμέτρους $alpha$ και τον εκθέτη np . Στην ουσία περνάμε σε άλλη εξίσωση που περιγράφει το ρεύμα για $level=2$. Αλλάζοντας τις παραμέτρους $alpha$ που διορθώνει τη μετάβαση από την ωμική περιοχή στην περιοχή κορεσμού και τον εκθέτη np για την καλύτερη δυνατή κλίση έχουμε ένα πολύ καλύτερο αποτέλεσμα. Ενεργοποιώντας τις παραμέτρους αυτές με το $level=2$ ξαναγυρίζουμε στις παραμέτρους $beta$, $lambda$ και $lambda1$ και κάνουμε κάποιες τροποποιήσεις στις τιμές για να ανταποκρίνονται και να 'συνεργάζονται' καλύτερα με

τις παραμέτρους που ενεργοποιήθηκαν. Στη συνέχεια τροποποιούμε την τιμή της σειριακής αντίστασης *rd* (και *rs* που την έχουμε θέσει ίση με *rd*) ώστε να ανταποκρίνεται το μοντέλο σε μία 'κάμψη' της γραφικής μας που θέλουμε να έχει ώστε να συμβαδίζει με τις μετρήσεις μας. Όταν φτάσουμε σε ένα ικανοποιητικό επίπεδο και με αυτή την αλλαγή ξαναγυρίζουμε σε όλες τις προηγούμενες και κάνουμε πάλι μικρές βελτιώσεις και τροποποιήσεις ώστε να ανταποκρίνεται συνολικά το μοντέλο σε ένα επιθυμητό αποτέλεσμα.

Παρακάτω επιχειρούμε να βελτιώσουμε την περιοχή *subthreshold*. Στις πολύ μικρές τιμές του ρεύματος κοντά στο κατώφλι το μοντέλο μας παρέχει διαφορετική εξίσωση ρεύματος. Έτσι, σε ένα συνδυασμό τροποποιήσεων των παραμέτρων *ns* και *io* μοντελοποιούμε σε ένα ικανοποιητικό βαθμό που το βλέπουμε καλύτερα σε μία λογαριθμική γραφική παράσταση του ρεύματος.

Εδώ να σημειώσουμε ότι η κάθε αλλαγή σε οποιαδήποτε παράμετρο οδηγεί σε τροποποιήσεις σε όλες τις παραμέτρους που βρίσκονται στην ίδια εξίσωση η επηρεάζουν σημαντικά το αποτέλεσμα.

Τελειώνοντας με αυτή την κύρια διαδικασία, παρόμοια με την μοντελοποίηση με το EKV3 είμαστε σε ένα σημείο που έχουμε μοντελοποιήσει σε ένα καλό βαθμό τα τρανζίστορ. Αυτή η διαδικασία μας έχει δείξει τα όρια της κάθε παραμέτρου που έξω από αυτά τα αποτελέσματα μας είναι διαλυτικά για τη μοντελοποίηση. Ενώ δηλαδή μια τροποποίηση σε μία μεταβλητή μπορεί να μας φτιάχνει καλύτερα την γραφική παράσταση *ID* προς *VG* στα χαμηλά *VDS* να μας δημιουργεί πρόβλημα στα ψηλά *VDS*. Έξω όμως από κάποια όρια η αλλαγές στις παραμέτρους δεν έχουν όφελος πουθενά.

Αυτό είναι πολύ σημαντικό γιατί μας επιτρέπει να περάσουμε στο τελευταίο στάδιο, των αυτοματοποιημένων βελτιστοποιήσεων. Το IC-CAP μας δίνει τη δυνατότητα μέσω του Optimization να τελειοποιήσει την μοντελοποίηση. Δημιουργήσαμε δύο είδη βελτιστοποιήσεων με δεδομένο το *level=2*. Το πρώτο σετ είναι οι παράμετροι *beta*, *lambda*, *lambda1*, *np*, *alpha* και *rd*. Το δεύτερο σετ είναι οι παράμετροι *ns* και *io*. Το optimization λειτουργεί ικανοποιητικά με δεδομένες μικρές διαφορές στα όρια των τιμών που θα πάρουν οι παράμετροι που τα έχουμε θέσει από την προηγούμενη διαδικασία. Με αυτόν τον τρόπο η μέγιστη και η ελάχιστη τιμή που θα πάρει η κάθε παράμετρος δεν έχει μεγάλη απόσταση και η διαδικασία της αυτόματης βελτιστοποίησής μας δίνει τελικά αποτελέσματα διορθώνοντας λεπτομέρειες.

Εδώ να σημειώσουμε ότι για λόγους μοντελοποίησης στο πρώτο σετ optimization σε ένα δεύτερο κύκλο βελτιστοποίησης εισάγουμε και την παράμετρο *vto* με πολύ μικρή διαφορά μέγιστης και ελάχιστης τιμής ώστε να επιδράσει στο τελικό αποτέλεσμα σε όλες τις γραφικές. Αυτό γίνεται διότι για τις ανάγκες της μοντελοποίησης στο σύνολό τους η παράμετρος *vto* δεν έχει μία φυσική σημασία ισάξια με τις μετρήσεις των τρανζίστορ αλλά είναι σημαντικό μέρος ενός μοντέλου σε κώδικα Verilog-A και επιδρά σημαντικά και στις άλλες παραμέτρους και συνολικά στο μοντέλο. Αναγκαζόμαστε να τροποποιήσουμε και αυτή την παράμετρο πριν το τέλος της διαδικασίας για να έχουμε ένα καλό αποτέλεσμα στο σύνολο.

Τελειώνοντας και με αυτή τη διαδικασία έχουμε ένα αποτέλεσμα μοντελοποίησης αρκετά ικανοποιητικό και έχουμε βγάλει κρίσιμα συμπεράσματα για το μοντέλο *spectre jfet*, τις δυνατότητες και τις ατέλειες του. Τα συμπεράσματα βρίσκονται στο 8ο κεφάλαιο της παρούσας

διπλωματικής εργασίας σε σύγκριση με το μοντέλο EKV3 και όλες οι γραφικές παραστάσεις στις οποίες φαίνονται τα αποτελέσματα της μοντελοποίησης στο κεφάλαιο 7.

Προβλήματα στη διαδικασία μοντελοποίησης: Τα προβλήματα που παρουσιάστηκαν στην διαδικασία της μοντελοποίησης είναι πανομοιότυπα με τα προβλήματα που αναφέρθηκαν στην ενότητα 5.5.2

Στο παράρτημα Β, στο τέλος της διπλωματικής εργασίας παρατίθεται η λίστα των εξαγόμενων παραμέτρων για τα τρανζίστορ που μοντελοποιήσαμε καθώς και ο Verlog-A κώδικας του μοντέλου.

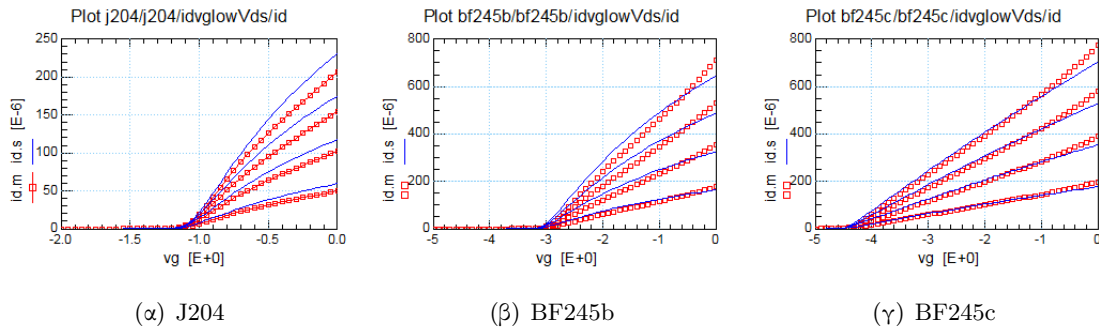
Κεφάλαιο 7

Αποτελέσματα μοντελοποίησης

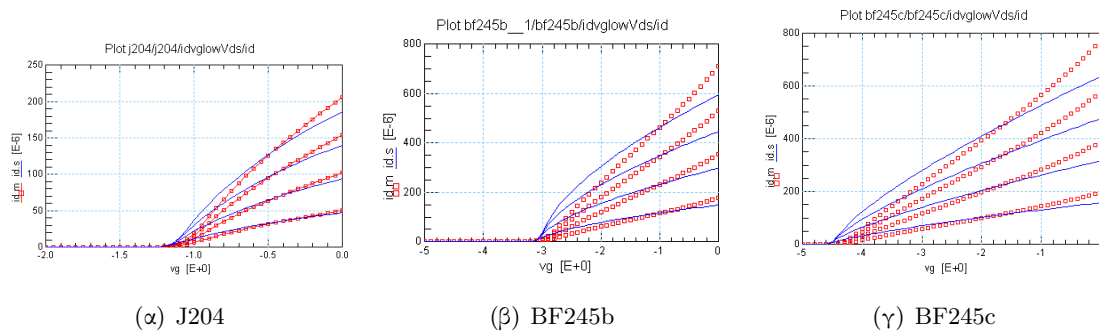
Στο κεφάλαιο αυτό παρουσιάζονται τα αποτελέσματα της μοντελοποίησης, των μοντέλων EKV3 και spectre jfet τα οποία αναλύσαμε στα προηγούμενα κεφάλαια, για τα τρανζίστορ J204, bf245b και BF245c που μετρήθηκαν κατά την εργαστηριακή διαδικασία. Οι μετρήσεις που πραγματοποιήθηκαν σε κάθε τρανζίστορ και αντίστοιχα setup στο IC-CAP χωρίζονται σε τρεις κατηγορίες και σύμφωνα με αυτό το διαχωρισμό θα τις παρουσιάσουμε. Πρώτα είναι οι μετρήσεις του ρεύματος συναρτήσει της τάσης VG για χαμηλά VDS (25-100mV), με την ονομασία idVgLowVds. Στη συνέχεια παρουσιάζονται οι μετρήσεις του ρεύματος συναρτήσει της τάσης VG για υψηλά VDS (1-5 V), με την ονομασία idVds1-5. Τέλος παρουσιάζονται οι μετρήσεις του ρεύματος σε συνάρτηση με την τάση VDS, με την ονομασία idvd για διάφορες τιμές της τάσης VGS με ανώτερη τιμή VGS=0. Στα δύο πρώτα σετ μετρήσεων δημιουργήσαμε τις γραφικές παραστάσεις του ρεύματος (id), της διαγωγιμότητας (gm), της λογαριθμικής του ρεύματος (logid) και της διαγωγιμότητας ρεύματος προς λογαριθμικό ρεύμα gm/id vs logid. Στο idvd δημιουργήσαμε τις γραφικές παραστάσεις του ρεύματος (id), της διαγωγιμότητας (gd), της λογαριθμικής του ρεύματος (logid). Ο τρόπος με τον οποίο θα παρουσιάσουμε τα αποτελέσματα είναι συγκριτικός των δύο μοντέλων σε κάθε σετ μετρήσεων για κάθε γραφική παράσταση.

7.1 Γραφικές παραστάσεις ID-VG για χαμηλά VDS (25-100mV)

7.1.1 Γραφικές παραστάσεις ρευμάτων i_d

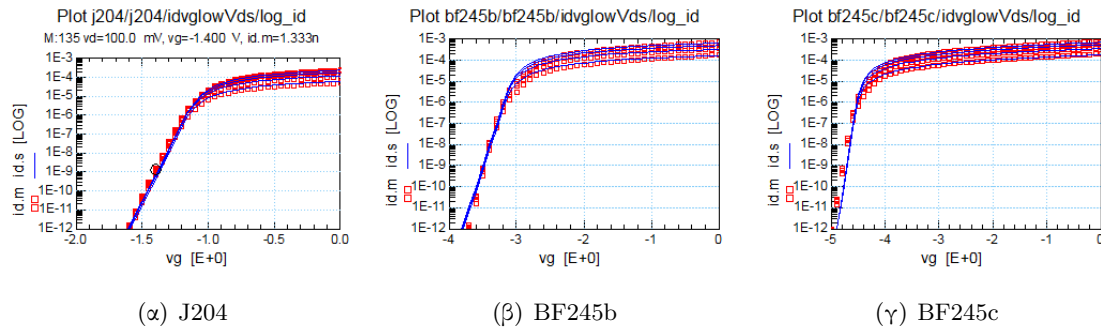


Σχήμα 7.1: ID-VG για VDS 25-100 mV, μοντέλο EKV3

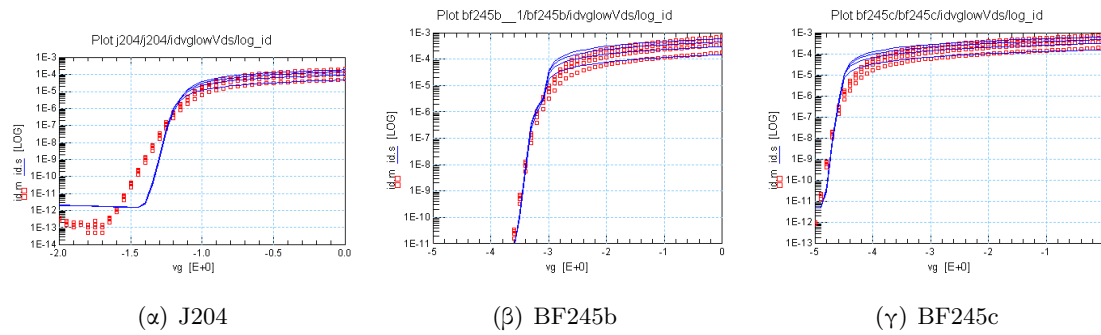


Σχήμα 7.2: ID-VG για VDS 25-100 mV, μοντέλο spectre jfet

7.1.2 Γραφικές παραστάσεις λογαριθμικών ρευμάτων logid

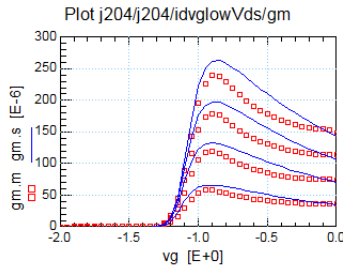


Σχήμα 7.3: LogID-VG για VDS 25-100 mV, μοντέλο EKV3

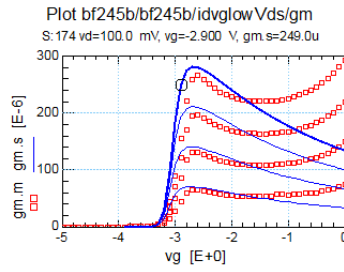


Σχήμα 7.4: LogID-VG για VDS 25-100 mV, μοντέλο spectre jfet

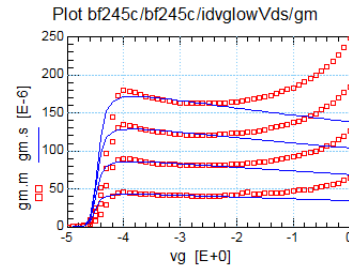
7.1.3 Γραφικές παραστάσεις διαγωγιμοτήτων gm



(α) J204

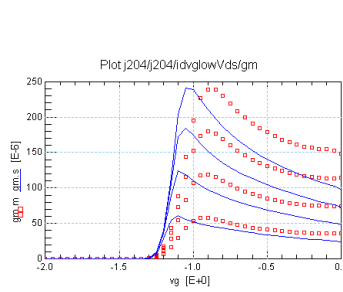


(β) BF245b

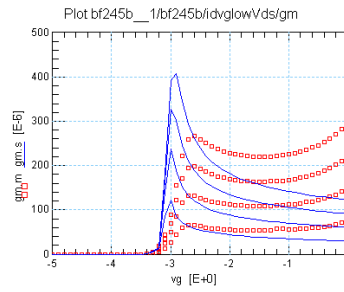


(γ) BF245c

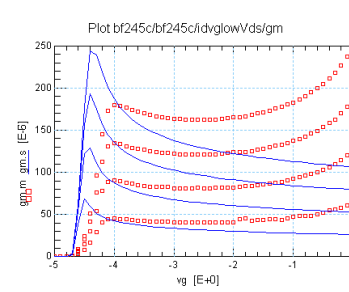
Σχήμα 7.5: gm-VG για VDS 25-100 mV, μοντέλο EKV3



(α) J204



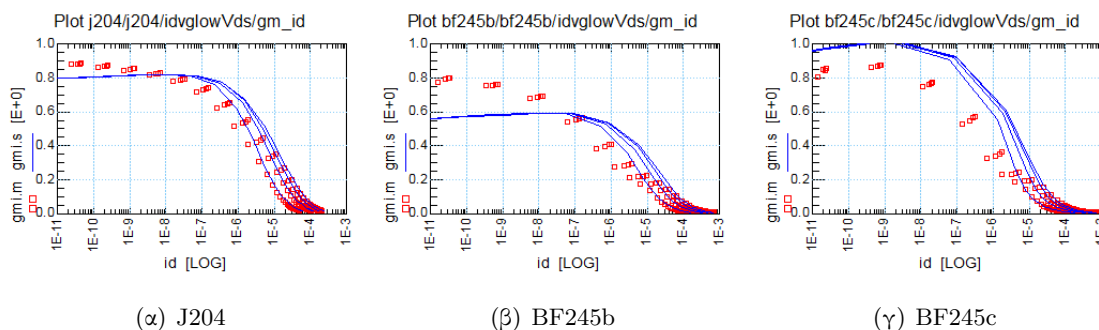
(β) BF245b



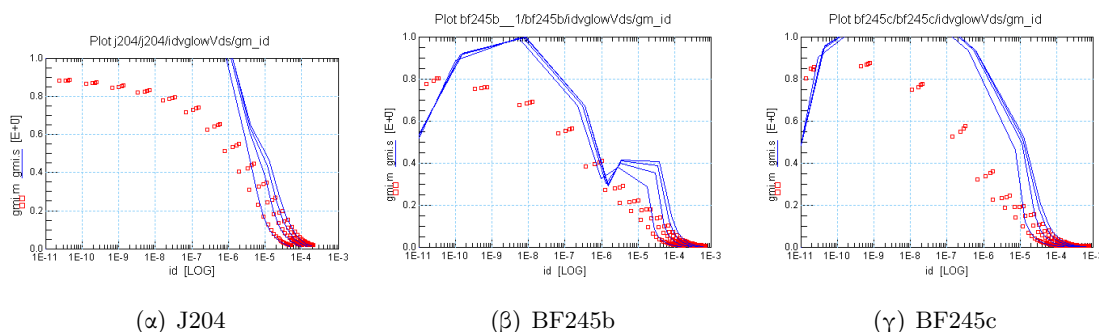
(γ) BF245c

Σχήμα 7.6: gm-VG για VDS 25-100 mV, μοντέλο spectre jfet

7.1.4 Γραφικές παραστάσεις διαγωγιμοτήτων ρεύματος gm/id προς λογαριθμικό ρεύμα $\log id$



Σχήμα 7.7: gm -VG για VDS 25-100 mV, μοντέλο EKV3

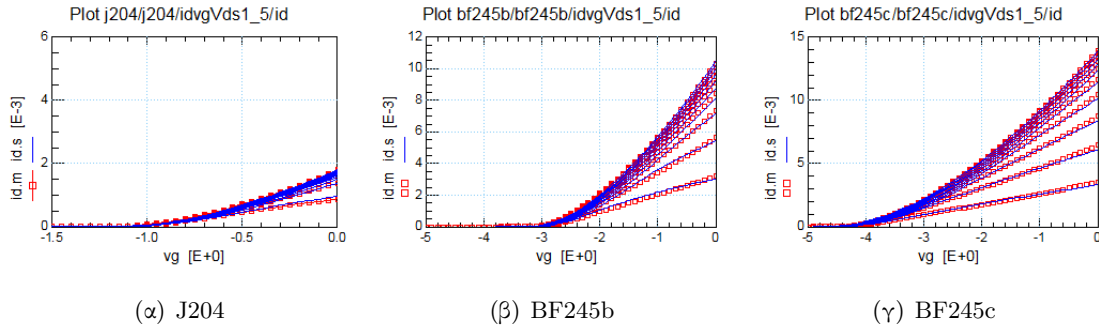


Σχήμα 7.8: gm -VG για VDS 25-100 mV, μοντέλο spectre jfet

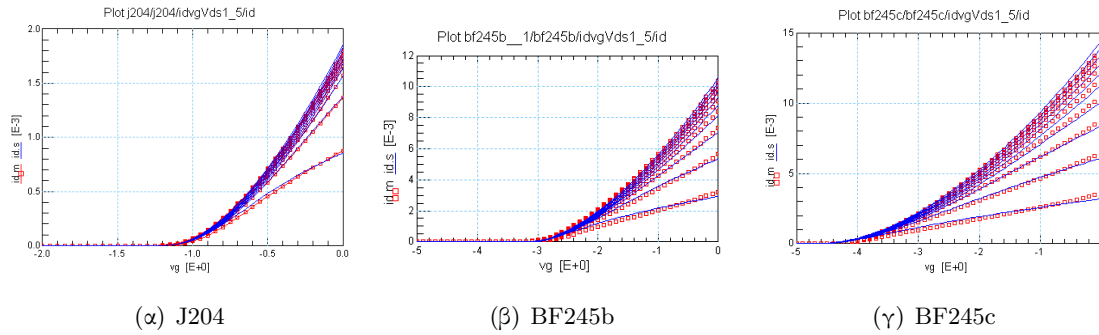
Εδώ βλέπουμε ότι το μοντέλο EKV3 στις γραφικές παραστάσεις ID-VG για χαμηλά VDS έχει καλύτερο αποτέλεσμα από το μοντέλο spectre jfet. Στις γραφικές παραστάσεις id/gm προς $\log id$ φαίνεται επίσης ότι το spectre jfet αδυνατεί αρκετά να μοντελοποιήσει. Ειδικά για τα τρανζίστορ BF245b, BF245c που παρουσιάζουν την προβληματική άνοδο του ρεύματος κοντά στην τιμή $V_{GS}=0$ παρόλο που υπάρχει δυσκολία και στα δύο μοντέλα, το EKV3 ανταποκρίνεται με μεγαλύτερη επιτυχία. Να τονίσουμε ότι όπως αναφέρθηκε και στα δύο προηγούμενα κεφάλαια λόγω της προβληματικής αυτής ανόδου του ρεύματος και άρα και της διαγωγιμότητας κοντά στην τιμή $V_{GS}=0$ δε λάβαμε υπ'όψιν τις τιμές αυτές. Αυτή βέβαια η αδυναμία γίνεται πολύ εμφανέστερη στο μοντέλο spectre jfet.

7.2 Γραφικές παραστάσεις ID-VG VDS (1-5 V)

7.2.1 Γραφικές παραστάσεις ρευμάτων i_d

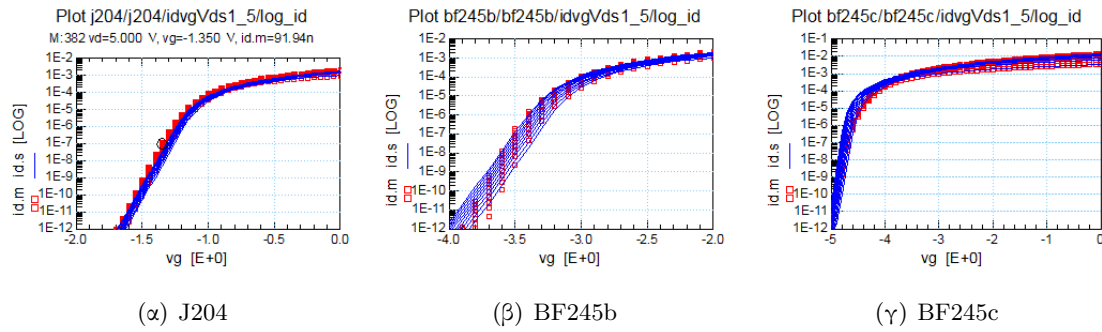


Σχήμα 7.9: ID-VG για VDS 1-5 V, μοντέλο EKV3

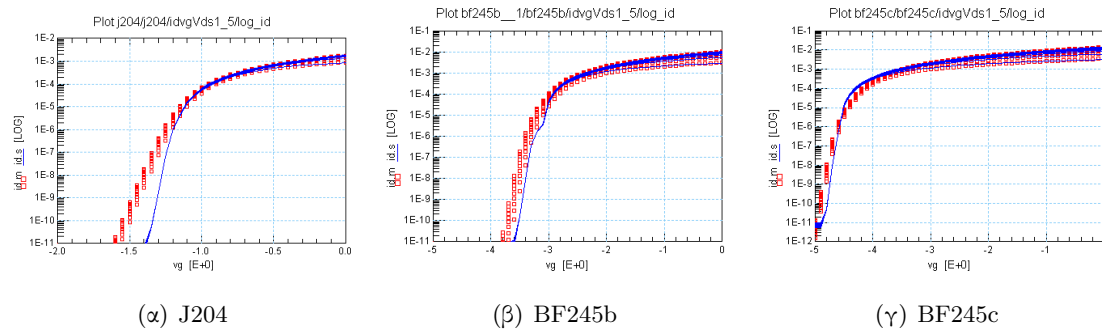


Σχήμα 7.10: ID-VG για VDS 1-5 V, μοντέλο spectre jfet

7.2.2 Γραφικές παραστάσεις λογαριθμικών ρευμάτων logid

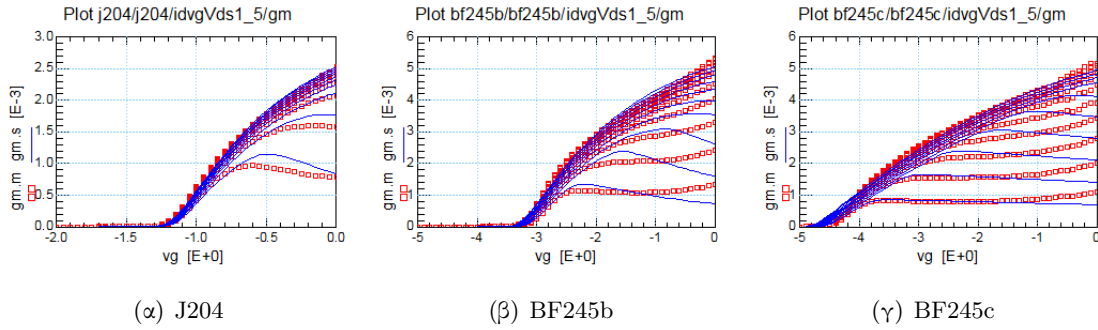


Σχήμα 7.11: LogID-VG για VDS 1-5 V, μοντέλο EKV3

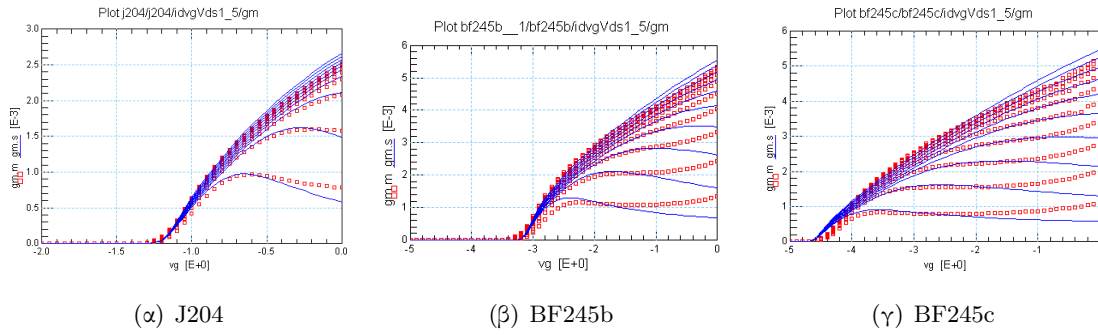


Σχήμα 7.12: LogID-VG για VDS 1-5 V, μοντέλο spectre jfet

7.2.3 Γραφικές παραστάσεις διαγωγιμοτήτων gm

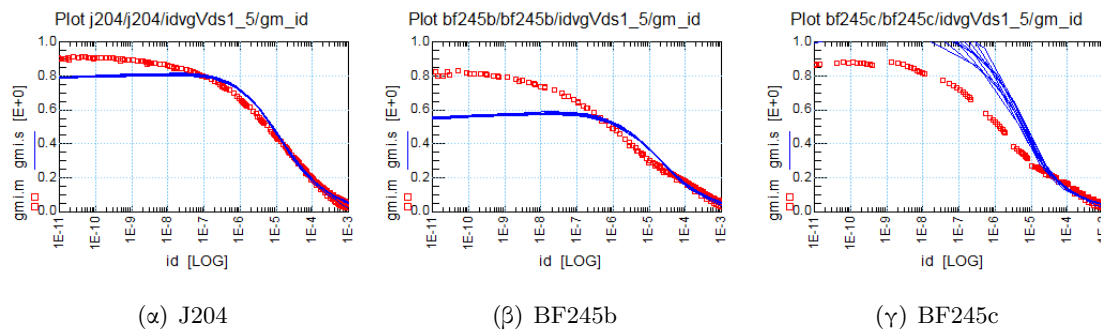


Σχήμα 7.13: gm-VG για VDS 1-5 V, μοντέλο EKV3

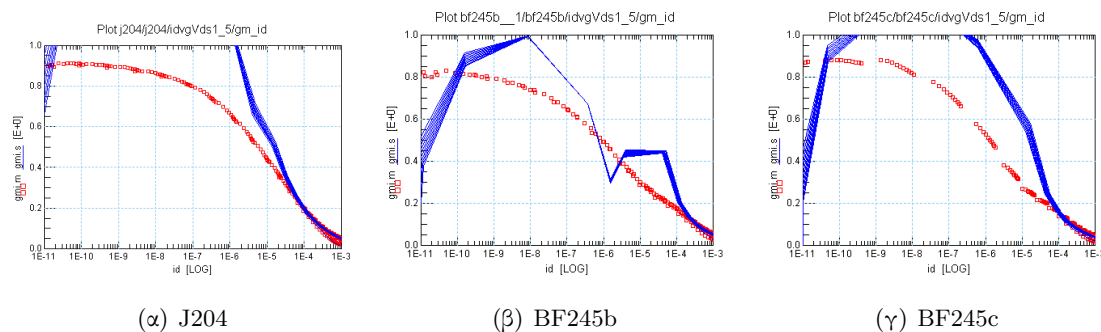


Σχήμα 7.14: gm-VG για VDS 1-5 V, μοντέλο spectre jfet

7.2.4 Γραφικές παραστάσεις διαγωγιμοτήτων ρεύματος gm/id προς λογαριθμικά ρεύματα logid



Σχήμα 7.15: gm-VG για VDS 1-5 V, μοντέλο EKV3

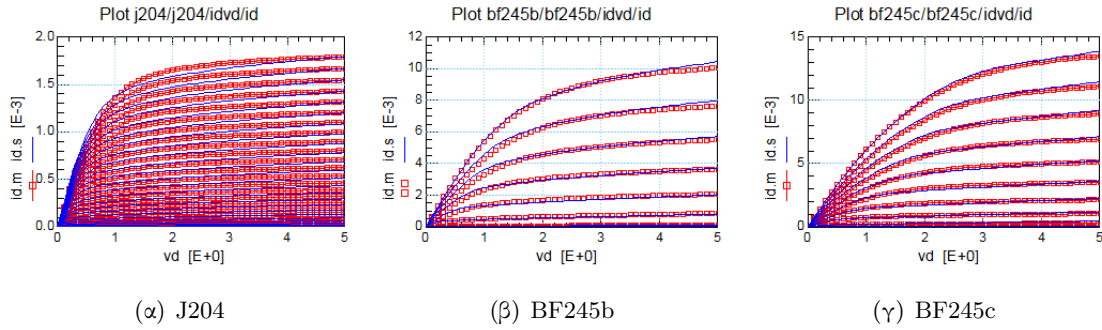


Σχήμα 7.16: gm-VG για VDS 1-5 V, μοντέλο spectre jfet

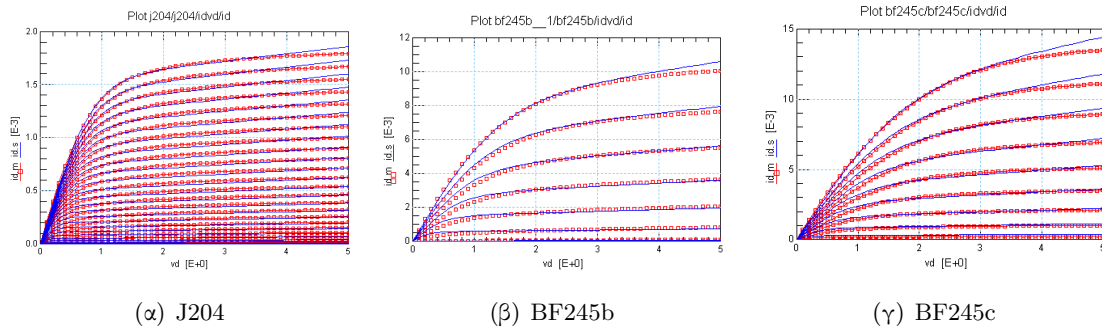
Εδώ βλέπουμε ότι στις γραφικές παραστάσεις ID-VG για VDS 1-5 V και τα δύο μοντέλα ανταποκρίνονται πολύ ικανοποιητικά με μία καλύτερη απόδοση του μοντέλου EKV3 στην περιοχή subthreshold που φαίνεται καλύτερα στις λογαριθμικές γραφικές παραστάσεις του ρεύματος. Στις γραφικές παραστάσεις όμως id/gm προς logid φαίνεται ότι το spectre jfet αδυνατεί αρκετά να μοντελοποιήσει.

7.3 Γραφικές παραστάσεις ID-VD

7.3.1 Γραφικές παραστάσεις ρευμάτων i_d

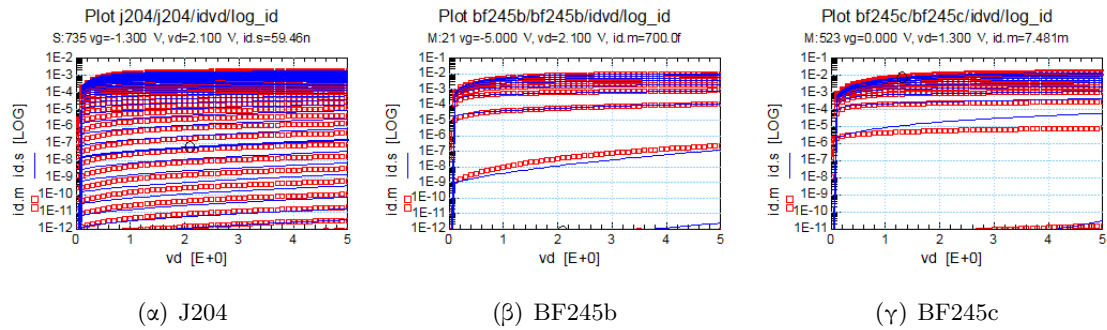


Σχήμα 7.17: ID-VD, μοντέλο EKV3

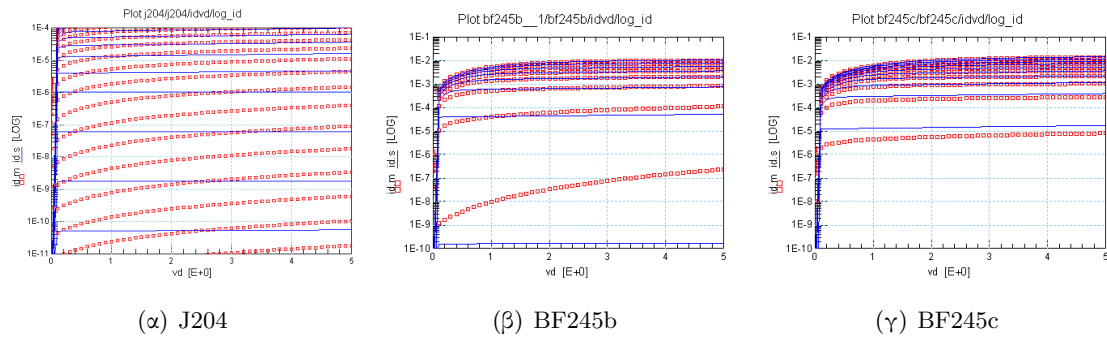


Σχήμα 7.18: ID-VD, μοντέλο spectre jfet

7.3.2 Γραφικές παραστάσεις λογαριθμικών ρευμάτων logid

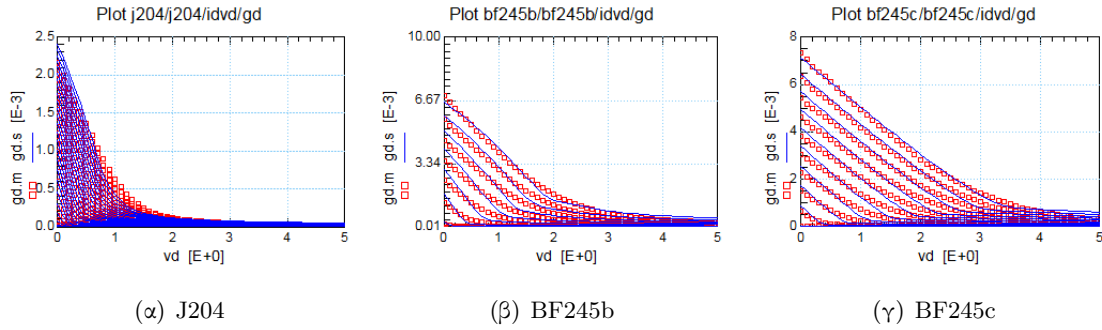


Σχήμα 7.19: LogID-VD, μοντέλο EKV3

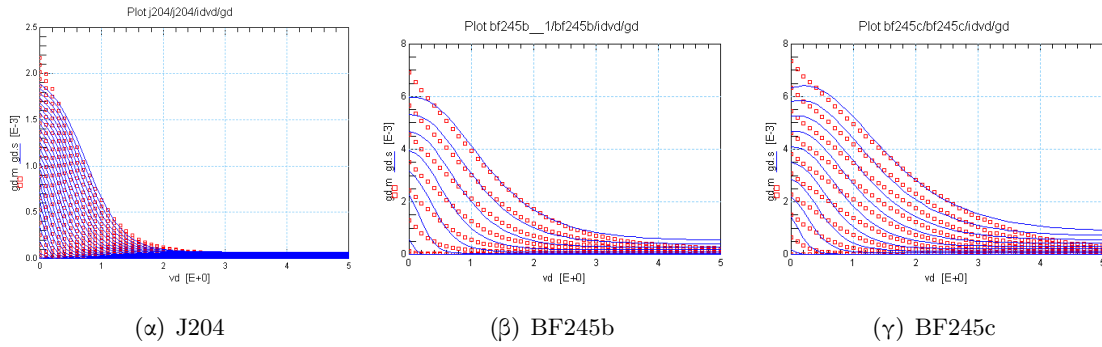


Σχήμα 7.20: LogID-VD, μοντέλο spectre jfet

7.3.3 Γραφικές παραστάσεις διαγωγιμοτήτων g_d



Σχήμα 7.21: g_d -VD, μοντέλο EKV3



Σχήμα 7.22: g_d -VD, μοντέλο spectre jfet

Εδώ βλέπουμε ότι και τα δύο μοντέλα λειτουργούν αρκετά καλά με μία καλύτερη επικάλυψη στο τελευταίο σημείο του κορεσμού από το EKV3 μοντέλο που φαίνεται στις γραφικές παραστάσεις του ρεύματος.

Κεφάλαιο 8

Επίλογος

Η παρούσα διπλωματική εργασία μέσα από ένα γενικό θεωρητικό υπόβαθρο, και με τη βοήθεια όλων των εργαλείων που χρησιμοποιήθηκαν κατά την εργαστηριακή διαδικασία, μελέτησε και εφάρμοσε στην πράξη τις δυνατότητες των δύο μοντέλων που χρησιμοποιήσαμε. Το μοντέλο EKV3 και το μοντέλο `spectre jfet`. Όπως είδαμε και στο προηγούμενο κεφάλαιο με τα αποτελέσματα της μοντελοποίησης στις γραφικές παραστάσεις και τα δύο μοντέλα, μας επιφέραν μια ικανοποιητική μοντελοποίηση των τρανζίστορ που χρησιμοποιήθηκαν.

8.1 Συμπεράσματα για το EKV3 μοντέλο

Το μοντέλο EKV3 όπως απέδειξε και στην διαδικασία εξαγωγής παραμέτρων είναι ένα ισχυρό μοντέλο που μπορεί να ανταποκριθεί σχεδόν σε όλες τις απαιτήσεις της μοντελοποίησης που υπήρχαν. Το EKV3 παρότι κατασκευασμένο για την μοντελοποίηση MOSFET λειτούργησε παραπάνω από ικανοποιητικά για τα JFET τρανζίστορ. Ως μοντέλο FET κάλυψε τα περισσότερα από τα φαινόμενα και τη λειτουργία των JFET τρανζίστορ. Βεβαίως αυτό έγινε σε ένα βαθμό με κάποιες αναγκαίες υποθέσεις εργασίας όπου παράμετροι του EKV3 μεταχειρίστηκαν με διαφορετική λογική, είχαν όμως παρόλο αυτά την ίδια επίδραση στο αποτέλεσμα, όπως περιγράφηκε λεπτομερώς στο κεφάλαιο 5. Οι υποθέσεις αυτές εργασίας και η ειδική μεταχείριση στη λειτουργία του σε μια σειρά παραμέτρους δεν εμπόδισαν το EKV3, ενάντια σε ένα βαθμό στις αρχικές μας προβλέψεις, να μας δώσει ένα πολύ ικανοποιητικό αποτέλεσμα σε επίπεδο λεπτομέρειας. Αξίζει να σημειώσουμε το μεγάλο πλήθος παραμέτρων που υπάρχουν στο EKV3 που δίνουν τη δυνατότητα για δύσκολα επίπεδα μοντελοποίησης. Συνολικά το EKV3 είναι ένα πολύ χρήσιμο μοντέλο, δομημένο με συνέχειες και όχι α-συνέχειες που είναι σημαντικό ζήτημα στη διαδικασία μοντελοποίησης. Είναι ένα εργαλείο που μπορεί να αποτελέσει και βάση για να δημιουργηθεί και ένα ολοκληρωμένο μοντέλο EKV3 για JFET που να ενσωματώνει όλες τις ιδιαιτερότητες που περιγράφηκαν παραπάνω. Ειδικά τώρα που η τεχνολογία SiC JFET είναι πολλά υποσχόμενη, ένα μοντέλο EKV3 φτιαγμένο εξ' ολοκλήρου για JFET θα ήταν απαραίτητο.

8.2 Συμπεράσματα για το μοντέλο spectre jfet

Το μοντέλο spectre jfet παρότι παλιό και χωρίς την κάλυψη των φαινομένων που παρείχε το EKV3, κατάφερε να μας δώσει ένα ικανοποιητικό αποτέλεσμα. Τα θετικά του στοιχεία είναι η απλή του δομή και η έξυπνη λειτουργία του με τα επίπεδα μοντελοποίησης (παράμετρος level), σύμφωνα με το οποίο το μοντέλο μας παρείχε διαφορετικές εξισώσεις ρεύματος για αντίστοιχο επίπεδο μοντελοποίησης. Η σχεδιάσή του αυτή το κάνει πολύ προσιτό και εύχρηστο και μας δίνει ένα πολύ καλό αποτέλεσμα. Το μοντέλο spectre jfet έχει ασφαλώς και κάποιες ατέλειες, αρκετές παραπάνω από το μοντέλο EKV3. Παρουσιάζει μεγαλύτερες ασυνέχειες και οι παράμετροι που πραγματικά παίζουν σημαντικό ρόλο στη μοντελοποίηση είναι λίγοι. Αυτό οφείλεται στη λογική με την οποία μοντελοποιείται η κάλυψη των φαινομένων που υπάρχουν στα FET γενικά, η οποία είναι ελλιπής. Παρόλο όμως τα υπαρκτά αυτά προβλήματα οφείλουμε να τονίσουμε ακόμη μία φορά ότι σε σχέση με τον χρόνο που υπάρχει, τις ανανεώσεις του που δεν είναι καθόλου συχνές και με την απλή και έξυπνη σχεδίαση του το μοντέλο spectre jfet είναι ένα χρήσιμο μοντέλο που φέρνει ικανοποιητικά αποτελέσματα.

8.3 Συγκριτικά, EKV3 και spectre jfet

Μία τυπική σύγκριση μεταξύ των μοντέλων EKV3 και spectre jfet δεν είναι τόσο εύκολη. Το μοντέλο EKV3 όπως αναφέρθηκε πολλές φορές έχει δημιουργηθεί για την μοντελοποίηση MOSFET και με αναγκαίες υποθέσεις εργασίας χρησιμοποιήθηκε για την μοντελοποίηση JFET. Ενώ το μοντέλο spectre jfet σχεδιάστηκε για την μοντελοποίηση JFET. Παρόλο αυτά μία ουσιαστική σύγκριση μεταξύ των δύο αυτών μοντέλων είναι φανερό ότι γίνεται. Το EKV3 είναι εμφανώς ανώτερο από το spectre jfet στη σχεδίαση, στην κάλυψη φαινομένων, στη χρήση, στον αριθμό των παραμέτρων και στην έλλειψη ασυνεχειών. Τα αποτελέσματα της μοντελοποίησης στα τρανζίστορ που χρησιμοποιήθηκαν το αποδεικνύουν.

8.4 ΤΕΛΟΣ

Παράρτημα Α

EKV3

A.1 Λίστα εξαγόμενων παραμέτρων

Παρακάτω παρουσιάζονται για κάθε τρανζίστορ οι λίστες των εξαγόμενων παραμέτρων του μοντέλου EKV3 οι οποίες μας δώσανε τα αποτελέσματα των γραφικών παραστάσεων που είδαμε στο κεφάλαιο 7.

A.1.1 J204

Parameter	Value	Parameter	Value	Parameter	Value
SA	0	SB	0	SIGN	1
TNOM	27	TG	-1	QOFF	0
XL	0	XW	0	SCALE	1
NQS-NOI	1	TH-NOI	0	INFO-LEVEL	1
AVTO	0	AGAMMA	0	AKP	0
VTO	-1.1	COX	1m	XJ	4On
PHIF	400m	GAMMA	300m	GAMMAG	10
N0	1.01	VBI	0	AQMA	500m
AQMI	400m	ETAQM	750m	KP	155u
E0	51.35MEG	E1	725.8MEG	ETA	1
ZC	1u	THC	0	FPROUT	1MEG
PDITS	0	PDITSL	0	PDITSD	1
DDITS	300m	KA	0	LA	1u
KB	0	LB	1u	WKP1	1u
WKP2	0	WKP3	1	LVT	1
WVT	1	AVT	0	LGAM	1m
WGAM	1m	AGAM	0	NFVTA	0
NFVTB	10K	DL	0	DW	0
DLC	0	DWC	0	RLX	1.337m
RSX	-1	RGX	-1	RBX	-1

LL	0	LLN	1	WDL	0
LDW	0	LR	55n	QLR	0
NLR	150f	FLR	1	WR	80n
QWR	0	NWR	5.5f	NCS	200m
LETA0	O	LETA	180m	LETA2	0
WETA	0	UCRIT	2.227MEG	LAMDA	1
DELTA	1.9	ACLM	830m	ETAD	500m
SIGMAD	200m	LOV	30n	GAMMAOV	2.5
VFBOV	250m	V0V	0	CGSO	0
CGDO	0	CGBO	0	KJF	0
CJF	0	VFR	0	DFR	1m
IBA	0	IBB	400MEG	IBN	1
KG	0	XB	3.1	EB	29G
LOVIG	0	AGIDL	0	BGIDL	2.3G
CGIDL	500m	EGIDL	800m	AF	1
KGFN	0	NT	7.7E+17	ALPHAC	100K
HOOGE	1E-20	SAREF	0	SBREF	0
WLOD	0	KKP	0	LKKP	0
WKKP	0	PKKP	0	TKKP	0
LLODKKP	1	WLODKKP	1	KVTO	0
LKVTO	0	WKVTO	0	PKVTO	0
LLODKVTO	1	WLODKVTO	1	TCV	579u
BEX	-1.8	TEXA	6.25	UCEX	800m
TLAMBDA	0	TE0EX	-15	TE1EX	1.5
IBBT	900u	TCVL	0	TCVW	0
TCWL	0	TR	0	TR2	0
ND	1	JS	0	JSW	0
JSWG	0	MJ	900m	MJSW	700m
MJSWG	700m	PB	800m	PBSW	600m
CJ	0	CJSW	0	CJSWG	0
NJTS	1	NJTSSW	1	NJTSSWG	1
BV	10	XTI	3	TCJ	0
TCJSW	0	TSJSWG	0	TPB	0
TPBSW	0	TPBSWG	0	TNJTTS	0
TNJTSSW	0	TNJTSSWG	0	RSH	0
LDIF	0	HDIF	0	RS	0
RD	0	WE0	0	WE1	0
WRLX	0	WUCRIT	-1n	WLAMBDA	20n
WETAD	0	WUCEX	0	WLR	0

WQLR	0	WNLR	0	LWR	0
LQWR	0	LNWR	0	DGAMMAEDGE	0
DPHIEDGE	0	WEDGE	0	LDPHIEDGE	0
WDPHIEDGE	0	WLDPHIEDGE	0	RGSH	3
GC	1	RDSBSH	1K	RBWSH	3m
RBN	0	RSBWSH	1m	RSBN	0
RDBWSH	1m	RDBN	0	RINGTYPE	1

A.1.2 BF245b

Parameter	Value	Parameter	Value	Parameter	Value
SA	0	SB	0	SIGN	1
TNOM	27	TG	-1	QOFF	0
XL	0	XW	0	SCALE	1
NQS-NOI	1	TH-NOI	0	INFO-LEVEL	1
AVTO	0	AGAMMA	0	AKP	0
VTO	-3.07	COX	200u	XJ	40n
PHIF	500m	GAMMA	1.2	GAMMAG	25
N0	1	VBI	0	AQMA	500m
AQMI	400m	ETAQM	750m	KP	123.2u
E0	566.6MEG	E1	195.3MEG	ETA	400m
ZC	1u	THC	0	FPROUT	1MEG
PDITS	0	PDITSL	0	PDITSD	1
DDITS	300m	KA	0	LA	1u
KB	0	LB	1u	WKP1	1u
WKP2	0	WKP3	1	LVT	1
WVT	1	AVT	0	LGAM	1m
WGAM	1m	AGAM	0	NFVTA	0
NFVTB	10K	DL	0	DW	0
DLC	0	DWC	0	RLX	894.6u
RSX	-1	RGX	-1	RBX	-1
LL	0	LLN	1	WDL	0
LDW	0	LR	55n	QLR	0
NLR	150f	FLR	1	WR	80n
QWR	0	NWR	5.5f	NCS	200m
LETA0	O	LETA	150m	LETA2	0
WETA	0	UCRIT	3.287MEG	LAMDA	651.7m

DELTA	1.8	ACLM	830m	ETAD	220m
SIGMAD	200m	LOV	30n	GAMMAOV	2.5
VFBOV	250m	V0V	0	CGSO	0
CGDO	0	CGBO	0	KJF	0
CJF	0	VFR	0	DFR	1m
IBA	0	IBB	400MEG	IBN	1
KG	0	XB	3.1	EB	29G
LOVIG	0	AGIDL	0	BGIDL	2.3G
CGIDL	500m	EGIDL	800m	AF	1
KGFN	0	NT	7.7E+17	ALPHAC	100K
HOOGE	1E-20	SAREF	0	SBREF	0
WLOD	0	KKP	0	LKKP	0
WKKP	0	PKKP	0	TKKP	0
LLODKKP	1	WLODKKP	1	KVTO	0
LKVTO	0	WKVTO	0	PKVTO	0
LLODKVTO	1	WLODKVTO	1	TCV	579u
BEX	-1.8	TEXA	6.25	UCEX	800m
TLAMBDA	0	TE0EX	-15	TE1EX	1.5
IBBT	900u	TCVL	0	TCVW	0
TCWL	0	TR	0	TR2	0
ND	1	JS	0	JSW	0
JSWG	0	MJ	900m	MJSW	700m
MJSWG	700m	PB	800m	PBSW	600m
CJ	0	CJSW	0	CJSWG	0
NJTS	1	NJTSSW	1	NJTSSWG	1
BV	10	XTI	3	TCJ	0
TCJSW	0	TSJSWG	0	TPB	0
TPBSW	0	TPBSWG	0	TNJTS	0
TNJTSSW	0	TNJTSSWG	0	RSH	0
LDIF	0	HDIF	0	RS	0
RD	0	WE0	0	WE1	0
WRLX	0	WUCRIT	-1n	WLAMBDA	20n
WETAD	0	WUCEX	0	WLR	0
WQLR	0	WNLR	0	LWR	0
LQWR	0	LNWR	0	DGAMMAEDGE	0
DPHIEDGE	0	WEDGE	0	LDPHIEDGE	0
WDPHIEDGE	0	WLDPHIEDGE	0	RGSH	3
GC	1	RDSBSH	1K	RBWSH	3m
RBN	0	RSBWSH	1m	RSBN	0

RDBWSH	1m	RDBN	0	RINGTYPE	1
--------	----	------	---	----------	---

A.1.3 BF245c

Parameter	Value	Parameter	Value	Parameter	Value
SA	0	SB	0	SIGN	1
TNOM	27	TG	-1	QOFF	0
XL	0	XW	0	SCALE	1
NQS-NOI	1	TH-NOI	0	INFO-LEVEL	1
AVTO	0	AGAMMA	0	AKP	0
VTO	-4.5	COX	200u	XJ	4On
PHIF	200m	GAMMA	1.2	GAMMAG	14
N0	1	VBI	0	AQMA	500m
AQMI	400m	ETAQM	750m	KP	104.5u
E0	133.7MEG	E1	1G	ETA	400m
ZC	1u	THC	0	FPROUT	1MEG
PDITS	0	PDITSL	0	PDITSD	1
DDITS	300m	KA	0	LA	1u
KB	0	LB	1u	WKP1	1u
WKP2	0	WKP3	1	LVT	1
WVT	1	AVT	0	LGAM	1m
WGAM	1m	AGAM	0	NFVTA	0
NFVTB	10K	DL	100n	DW	0
DLC	0	DWC	0	RLX	136uu
RSX	-1	RGX	-1	RBX	-1
LL	0	LLN	1	WDL	0
LDW	0	LR	55n	QLR	0
NLR	150f	FLR	1	WR	80n
QWR	0	NWR	5.5f	NCS	200m
LETA0	O	LETA	530m	LETA2	0
WETA	0	UCRIT	9.339MEG	LAMDA	344.7m
DELTA	1.5	ACLM	830m	ETAD	100m
SIGMAD	200m	LOV	30n	GAMMAOV	2.5
VFBOV	250m	V0V	0	CGSO	0
CGDO	0	CGBO	0	KJF	0
CJF	0	VFR	0	DFR	1m
IBA	0	IBB	400MEG	IBN	1

KG	0	XB	3.1	EB	29G
LOVIG	0	AGIDL	0	BGIDL	2.3G
CGIDL	500m	EGIDL	800m	AF	1
KGFN	0	NT	7.7E+17	ALPHAC	100K
HOOGE	1E-20	SAREF	0	SBREF	0
WLOD	0	KKP	0	LKKP	0
WKKP	0	PKKP	0	TKKP	0
LLODKKP	1	WLODKKP	1	KVTO	0
LKVTO	0	WKVTO	0	PKVTO	0
LLODKVTO	1	WLODKVTO	1	TCV	579u
BEX	-1.8	TEXA	6.25	UCEX	800m
TLAMBDA	0	TE0EX	-15	TE1EX	1.5
IBBT	900u	TCVL	0	TCVW	0
TCWL	0	TR	0	TR2	0
ND	1	JS	0	JSW	0
JSWG	0	MJ	900m	MJSW	700m
MJSWG	700m	PB	800m	PBSW	600m
CJ	0	CJSW	0	CJSWG	0
NJTS	1	NJTSSW	1	NJTSSWG	1
BV	10	XTI	3	TCJ	0
TCJSW	0	TSJSWG	0	TPB	0
TPBSW	0	TPBSWG	0	TNJTS	0
TNJTSSW	0	TNJTSSWG	0	RSH	0
LDIF	0	HDIF	0	RS	0
RD	0	WE0	0	WE1	0
WRLX	0	WUCRIT	-1n	WLAMBDA	20n
WETAD	0	WUCEX	0	WLR	0
WQLR	0	WNLR	0	LWR	0
LQWR	0	LNWR	0	DGAMMAEDGE	0
DPHIEDGE	0	WEDGE	0	LDPHIEDGE	0
WDPHIEDGE	0	WLDPHIEDGE	0	RGSH	3
GC	1	RDSBSH	1K	RBWSH	3m
RBN	0	RSBWSH	1m	RSBN	0
RDBWSH	1m	RDBN	0	RINGTYPE	1

Παράρτημα Β

Spectre jfet

B.1 Λίστα εξαγόμενων παραμέτρων

Παρακάτω παρουσιάζονται για κάθε τρανζίστορ οι λίστες των εξαγόμενων παραμέτρων του μοντέλου spectre jfet οι οποίες μας δώσανε τα αποτελέσματα των γραφικών παραστάσεων που είδαμε στο κεφάλαιο 7.

B.1.1 J204

Parameter	Value	Parameter	Value	Parameter	Value
level	2	vto	-1.19	beta	1.41
lambda	66.23m	lambda1	1m	np	2
alpha	1.775	io	4.973u	ns	538.2m
ai	0	bi	0	vtop	600m
vtos	1.2	vtoe	330m	vtoc	-3.3
rd	1	rs	rd	rg	0
rb	0	minr	100m	is	10f
n	1	imelt	100	tt	0
cgs	370p	cgd	370p	pb	1
fc	500m	isb	10f	nb	1
cgbs	0	cgbs	0	pbb	1
tnom	25	trise	0	xti	3
tlev	0	tlevc	0	eg	1.125
gap1	702u	gap2	1.108K	tcv	0
bto	0	bte	0	lto	0
lte	0	tc1	0	tc2	0
imax	75	bvj	1.2K	kf	0
af	1	kfd	0	afg	1

B.1.2 BF245b

Parameter	Value	Parameter	Value	Parameter	Value
level	2	vto	-3.119	beta	1.216m
lambda	69.41m	lambda1	1u	np	1.641
alpha	2.340	io	638.8u	ns	966.5m
ai	0	bi	0	vtop	600m
vtos	1.2	vtoe	330m	vtoc	-3.3
rd	5m	rs	rd	rg	0
rb	0	minr	100m	is	10f
n	1	imelt	100	tt	0
cgs	370p	cgd	370p	pb	1
fc	500m	isb	10f	nb	1
cgb	0	cgb	0	pbb	1
tnom	25	trise	0	xti	3
tlev	0	tlevc	0	eg	1.125
gap1	702u	gap2	1.108K	tcv	0
bto	0	bte	0	lto	0
lte	0	tc1	0	tc2	0
imax	75	bvj	1.2K	kf	0
af	1	kfd	0	afg	1

B.1.3 BF245c

Parameter	Value	Parameter	Value	Parameter	Value
level	2	vto	-4.598	beta	680.5u
lambda	85.62m	lambda1	1n	np	1.769
alpha	2.862	io	2.158u	ns	717m
ai	0	bi	0	vtop	600m
vtos	1.2	vtoe	330m	vtoc	-3.3
rd	50m	rs	rd	rg	0
rb	0	minr	100m	is	10f
n	1	imelt	100	tt	0
cgs	370p	cgd	370p	pb	1
fc	500m	isb	10f	nb	1
cgb	0	cgb	0	pbb	1
tnom	25	trise	0	xti	3
tlev	0	tlevc	0	eg	1.125

gap1	702u	gap2	1.108K	tcv	0
bto	0	bte	0	lto	0
lte	0	tc1	0	tc2	0
imax	75	bvj	1.2K	kf	0
af	1	kfd	0	afg	1

B.2 Verilog-A κώδικας

Listing B.1: Spectre jfet code

```
// JFET (junction field-effect transistor) model
//
// Equations taken from Cadence's Affirma Spectre Circuit Simulator
// Device Model Equations, Copyright 2002 Cadence Design Systems
// Verilog-A translation by Geoffrey Coram, Analog Devices, Inc.
//
// Version 1b, 23 October 2006
//
// Downloaded from The Designer's Guide (www.designers-guide.org).
// Post any questions on www.designers-guide.org/Forum.

#include "disciplines.vams"
#include "constants.vams"

#define SPICE_GMIN 1.0e-12

module jfetva(d,g,s);
inout g,d,s;
electrical g,d,s;
electrical di, si;
branch (d,di) br_rd;
branch (s,si) br_rs;
branch (di,si) br_ds;
branch (g,si) br_gs;
branch (g,di) br_gd;

parameter integer njfet = 1 from [0:1];
parameter integer pjfet = 0 from [0:1];
parameter integer level = 1 from [1:4] exclude 3;

// channel current parameters
parameter real vto = -2;
parameter real beta = 1.0e-4 from [0:inf);
parameter real lambda = 0.0 from [0:inf);
parameter real lambda1 = 0.0 from [0:inf);
parameter real alpha = 2.0 from [0:inf);
parameter real np = 2.0 from [0:inf);
parameter real io = 0.0 from [0:inf);
parameter real ns = 1.0 from [0:inf);
```

```

// level==3 parameters (4-terminal device, not implemented here)
//parameter real vtos = 1.2;
//parameter real vtop = 0.6;
//parameter real vtoe = 0.33;
//parameter real vtoc = -3.3;
//parameter real rb = 0.0 from [0:inf);
//parameter real isb = 1.0e-14 from (0:inf);
//parameter real nb = 1.0 from (0:inf);
//parameter real cgbd = 0.0 from [0:inf);
//parameter real cgbs = 0.0 from [0:inf);
//parameter real mjb = 0.5 from (0:inf);
//parameter real pbb = 1.0 from (0:inf);

// extrinsic resistors
parameter real rd = 0.0 from [0:inf);
parameter real rs = 0.0 from [0:inf);

// capacitance parameters
parameter real tt = 0.0 from [0:inf);
parameter real cgd = 0.0 from [0:inf);
parameter real cgs = 0.0 from [0:inf);
parameter real fc = 0.5 from [0:0.95];
parameter real mj = 0.5 from (0:inf);
parameter real pb = 1.0 from (0:inf);

// gate junction currents
parameter real is = 1.0e-14 from (0:inf);
parameter real n = 1.0 from (0:inf);

// temperature parameters
parameter real tnom=27.0 from [0:inf);
parameter real xti=3.0 from (0:inf);
parameter real bto=0 from (-tnom-'P_CELSIUS0:inf);
parameter real bte=0;
parameter real tc1=0.0;
parameter real tc2=0.0;

// noise parameters
parameter real kf = 0.0 from [0:inf);
parameter real af = 1.0 from [0.1:inf);

// top level variables available with "save J1:all" in Spectre
real vgs, vgd, vds, vdsat;
real igs, igd, id_chan, gm, gds;
real qgs, qgd;
real qd, qs;

analog function real spice_energygap;
    input temp;
    real temp;
    spice_energygap = 3.23 - (7.02e-4*temp*temp)/(1108 + temp);
endfunction

analog begin : the_module

    real type, mode;

```

```

real T, TnomK, Vt, delta_T, ratio_T, factor, eg, eg_tnom;
real pb_T, cgd_T, cgs_T, rd_T, rs_T, beta_T, is_T;
real fl, f2, f3, Fcp, qgd_diff, qgs_diff, qgd_dep, qgs_dep;
real v_gs, v_gd, v_ds, Vth, Vds, Vgst, Vdsat, Vdseff, Ids;

if (njfet == 1) begin
    type = 1;
    if (pjfet == 1) begin
        $strobe("Error: _device _cannot _be _both _an _N-JFET _and _a _P-JFET.");
        $stop;
    end
end else if (pjfet == 1) begin
    type = -1;
end else begin
    $strobe("Error: _device _must _be _either _an _N-JFET _or _a _P-JFET.");
    $stop;
end

// temperature equations

T = $temperature;
TnomK = tnom + 'P_CELSIUS0;
Vt = $vt;

ratio_T = T/TnomK;
delta_T = T - TnomK;

factor = 1 + delta_T * (tc1 + tc2 * delta_T);
if (factor < 0) begin
    $strobe("Temperature-adjusted _resistances _are _negative");
    factor = 1;
    $stop;
end
rd_T = rd * factor;
rs_T = rs * factor;

eg = spice_energygap(T);
eg_tnom = spice_energygap(TnomK);

pb_T = pb*(ratio_T) - 3*Vt*ln(ratio_T) - eg_tnom*(ratio_T) + eg;

factor = (1+mj*(0.0004*(delta_T) - pb_T/pb + 1 ));
if (factor < 0) begin
    $strobe("Temperature-adjusted _capacitances _are _negative");
    factor = 1;
    $stop;
end
cgd_T = cgd*factor;
cgs_T = cgs*factor;

beta_T = beta*pow(T/(TnomK+bto), bte);

is_T = is*pow(ratio_T, xti)*exp(eg_tnom/$vt(TnomK) - eg/Vt);

vgs = V(br_gs);

```

```

vgd = V(br_gd);
vds = V(br_ds);
v_gs = type * vgs;
v_gd = type * vgd;
v_ds = type * vds;

Vth = vto;
//      if (level == 3)
//          Vth = vto*pow(vtop-VBS, vtoe) + vtoe;

// resistors

V(br_rd) <+ I(<d>)*rd_T;
V(br_rs) <+ I(<s>)*rs_T;

// gate currents

igd = type*(is_T * (limexp(v_gd/(n*Vt)) - 1) + 'SPICE_GMIN*v_gd);
igs = type*(is_T * (limexp(v_gs/(n*Vt)) - 1) + 'SPICE_GMIN*v_gs);

I(br_gd) <+ igd;
I(br_gs) <+ igs;

// gate capacitances

qgd_diff = tt * igd;
qgs_diff = tt * igs;

f1 = pb_T/(1-mj) * (1 - pow((1-fc),1-mj));
f2 = pow((1-fc), (1+mj));
f3 = 1 - fc * (1+mj);
Fcp = fc * pb_T;

if (v_gd <= Fcp)
    qgd_dep = cgd_T * pb_T * (1-pow((1-v_gd/pb_T),(1-mj)))/(1-mj);
else
    qgd_dep = cgd_T * (f1 + 1/f2 * (f3 * (v_gd - Fcp) + (0.5*mj/pb_T)
        * (v_gd * v_gd - Fcp * Fcp)));

if (v_gs <= Fcp)
    qgs_dep = cgs_T * pb_T * (1-pow((1-v_gs/pb_T),(1-mj)))/(1-mj);
else
    qgs_dep = cgs_T * (f1 + 1/f2 * (f3 * (v_gs - Fcp) + (0.5*mj/pb_T)
        * (v_gs * v_gs - Fcp * Fcp)));

qgd = qgd_diff + type*qgd_dep;
qgs = qgs_diff + type*qgs_dep;

I(br_gd) <+ ddt(qgd);
I(br_gs) <+ ddt(qgs);

qd = -qgd;
qs = -qgs;

```

```

// channel current

if (v_ds > 0) begin : forward_mode
    mode = 1;
    Vgst = v_gs - Vth;
    Vds = v_ds;
end else begin : reverse_mode
    mode = -1;
    Vgst = v_gd - Vth;
    Vds = -v_ds;
end
Vdsat = Vgst;

if (Vgst <= 0) begin : subthresh
    real ilimit, iexp;
    if (level == 1 || level == 4) begin
        Ids = 0;
    end else begin
        ilimit = 2*beta_T*Vt*Vt;
        iexp = io*exp(Vgst/(ns*Vt))*(1-exp(-Vds/Vt));
        Ids = iexp*ilimit/(iexp+ilimit);
    end
end else if (Vds <= Vgst) begin : triode
    real lambda_factor;
    lambda_factor = 1+lambda*(1+lambda1*Vgst)*Vds;
    if (level == 1) begin
        Ids = beta_T*(2*Vgst-Vds)*Vds*lambda_factor;
    end else if (level == 2) begin
        Ids = beta_T*pow(Vgst,np)*tanh(alpha*Vds/Vgst)*lambda_factor;
//    end else if (level == 3) begin
//        Ids = beta_T*(vto+vtop)/(Vth+vtop)*tanh(alpha*Vds/Vgst)*lambda_factor;
    end else if (level == 4) begin
        Ids = beta_T*(2*Vgst-Vds)*Vds;
    end
end else begin : saturation
    real lambda_factor, clm;
    lambda_factor = 1+lambda*(1+lambda1*Vgst)*Vds;
    if (level == 1) begin
        Ids = beta_T*Vgst*Vgst*lambda_factor;
    end else if (level == 2) begin
        Ids = beta_T*pow(Vgst,np)*tanh(alpha*Vds/Vgst)*lambda_factor;
//    end else if (level == 3) begin
//        Ids = beta_T*(vto+vtop)/(Vth+vtop)*tanh(alpha*Vds/Vgst)*lambda_factor;
    end else if (level == 4) begin
        if (Vgst + vto <= 0)
            clm = Vgst/vto;
        else
            clm = 1 + lambda1*(Vgst+vto);
        Ids = beta_T*Vgst*Vgst*(1-lambda*(Vds-Vgst)*clm);
    end
end

id_chan = type*mode*Ids;
I(br_ds) <+ id_chan;

`ifdef HAVEDDX
// noise

```

```
gm = ddx(Ids, g);
gds = ddx(Ids, d);
Vdseff = max(Vds, Vdsat);
I(br_ds) <+ white_noise(8/3*'P_K*T*(gm+gds)*(1.5 - Vdseff/(2*Vdsat)), "THERMAL")
      + flicker_noise(kf*pow(abs(Ids), af), 1.0, "FLICKER");

V(br_rd) <+ white_noise(4*'P_K*T*rd.T, "RD");
V(br_rs) <+ white_noise(4*'P_K*T*rs.T, "RS");
'endif

end
endmodule
```

Βιβλιογραφία

- [1] C. Smith Adel S. Sendra-Kenneth. *Microelectronic circuits*. Papasotiriou, 1994.
- [2] A. Bagizos. Modelling of mos transistors at high frequencies. *National Technical University of Athens*, 2008.
- [3] Cadence. Veriloga-a code for jfet model, version 1b. Cadence Affirma Spectre Circuit Simulator, 2002.
- [4] Emanuele Panzeri Gianluigi Pessina Claudio Arnaboldi, Giuliano Boella. *JFET Transistors for Low Noise Applications at Low Frequency*. Department of Electrical and Computer Engineering University of Canterbury, New Zealand, 2010.
- [5] Foxnews. Shake up silicon valley. <http://www.foxnews.com/tech/2011/06/13/first-graphene-based-computer-chip-may-shake-up-silicon-valley>, 2011.
- [6] El. Kagiadas. *Electronics*. Electronic Library of National Technical University of Athens, Athens, χ.χ.
- [7] A. Bagizos M. Bucher. The ekv3.0 model code and parameter extraction. *EKV Model Usersb●● Group Meeting and Workshop*, χ.χ.
- [8] A. Bagizos M. Bucher, F. Krummenacher. Ekv3.0 mos transistor model for advanced analog ic design. EKV Usersb●● Meeting/Workshop, EPFL, 2004.
- [9] Paul Gaynor Rory Shillington. Applications of silicon carbide jfets in power converters. *IEEE*, 2004.
- [10] Philips Semiconductors. Datasheet bf245a, bf245b, bf245c, 1995.
- [11] Vishay Siliconix. Datasheet j/sst201 series. j201, j202, j204, χ.χ.
- [12] wikipedia. Transistor. <http://en.wikipedia.org/wiki/Transistor>, 2008.
- [13] wikipedia. Graphene. <http://en.wikipedia.org/wiki/Graphene>, 2010.

