

ΠΟΛΥΤΕΧΝΕΙΟ ΚΡΗΤΗΣ

Τμήμα Ηλεκτρονικών Μηχανικών & Μηχανικών Υπολογιστών

Εργαστήριο Ηλεκτρονικής και Αρχιτεκτονικής Υπολογιστών

"Τεχνικές σχεδίασης σε επίπεδο συστήματος και κυκλωμάτων μετατροπέων Delta-Sigma AD"

Βολάνης Γεώργιος

<u>Επιτροπή:</u>

Bucher Matthias, Επίκουρος Καθηγητής (Επιβλέπων) Καλαϊτζάκης Κωνσταντίνος, Καθηγητής Μπάλας Κώστας, Αναπληρωτής Καθηγητής

Χανιά, Νοέμβριος 2010

Ευχαριστίες

Η εργασία αυτή εκπονήθηκε στο Εργαστήριο Ηλεκτρονικής και Αρχιτεκτονικής Υπολογιστών του Πολυτεχνείου Κρήτης υπό την επίβλεψη του Επίκουρου Καθηγητή κ. Matthias Bucher, κατά την διάρκεια του ακαδημαϊκού έτους 2009-2010.

Θα ήθελα πρωτίστως να ευχαριστήσω τον επιβλέποντα καθηγητή μου κ. Matthias Bucher για την υποστήριξή του, την καθοδήγηση και τις συμβουλές του αλλά και για την εμπιστοσύνη που έδειξε στις ικανότητές μου. Επίσης, θα ήθελα να ευχαριστήσω τον Καθηγητή κ. Καλαϊτζάκη Κωνσταντίνο και τον Αναπληρωτή Καθηγητή κ. Μπάλα Κώστα για την συμμετοχή τους ως μέλη της εξεταστικής επιτροπής.

Ένα μεγάλο ευχαριστώ και στο Διδακτορικό Φοιτητή Άγγελο Αντωνόπουλο και τους Μεταπτυχιακούς Φοιτητές Νίκο Μακρή και Θανάση Δημάκο για την πολύ μεγάλη βοήθειά τους και την καθοδήγησή τους σε κάθε βήμα της πορείας μου από την αρχή μέχρι και την ολοκλήρωση αυτής της εργασίας.

Για τη φιλία και τη στήριξή τους θα ήθελα να ευχαριστήσω και όλους τους φίλους και συναδέλφους που ήταν δίπλα μου σε όλες τις φάσεις τις ζωής μου και με στήριξαν ανιδιοτελώς σε μεγάλο βαθμό.

Τέλος, θα ήθελα να πω ένα μεγάλο ευχαριστώ και να εκφράσω την αγάπη και την ευγνωμοσύνη μου στους γονείς μου και όλη την οικογένειά μου, που είναι πάντα δίπλα μου και με στηρίζουν στα όνειρα και τις αποφάσεις μου.

Περιεχόμενα

1 Εισαγωγή6
1.1 Nyquist rate μετατροπείς7
1.2 Oversampling μετατροπείς8
1.3 ΣΔ μετατροπείς11
2 Αρχιτεκτονικές του ΣΔ Α-Ψ μετατροπέα15
2.1 Απλού σταδίου ή Πολλαπλών σταδίων15
2.1.1 Απλού σταδίου15
2.1.2 Πολλαπλών σταδίων18
2.1.3 Ευστάθεια20
2.2 Συνεχούς χρόνου(CT) ή Διακριτού χρόνου(DT)
2.2.1 Συνεχούς χρόνου(CT)22
2.2.2 Loop Delay23
2.2.3 Διακριτού χρόνου (DT)24
2.3 Πολλών bit ή Ενός bit25
2.3.1 Πολλών bit25
2.3.2 Ενός bit
2.4 Feedback ή Feedforward27
2.4.1 Feedback28
2.4.2 Feedforward29
3 Trade-offs και διαδικασίες βέλτιστης αναλογικής σχεδίασης
3.1 Trade-offs – Περιοχές λειτουργίας του MOSFET32
3.2 Περιοχές αναστροφής του MOSFET35
3.3 Τεχνολογίες υλοποίησης-Παράμετροι σχεδίασης
3.4 A single bit 10MHz Continuous-Time $\Delta\Sigma$ in 90nm CMOS
4 Σχεδίαση ενός folded cascode OTA με miller opamp για το gain boosting στα 1.2V41
4.1 Θεωρητική ανάλυση του folded cascode ΟΤΑ41
4.2 Θεωρητική ανάλυση του miller opamp48
4.3 DC-AC ανάλυση των ενισχυτών52
5 Συμπεράσματα – Μελλοντικές επεκτάσεις – Παράρτημα
5.1 Αναφορά στις λοιπές βαθμίδες του single bit Continuous-Time ΔΣ in 90nm67
5.2 Συμπεράσματα69
5.3 Μελλοντικές επεκτάσεις71
5.4 Παράρτημα71
Βιβλιογραφία74

Εισαγωγή

Οι μετατροπείς δεδομένων συμπεριλαμβανομένου τους μετατροπείς απο αναλογικό σε ψηφιακό (ADC) και φηφιακό σε αναλογικό (DAC) αποτελούν μια διασύνδεση μεταξύ του πραγματικού και του ψηφιακού κόσμου.Οι ADC δειγματοληπτούν την αναλογική κυματομορφή εισόδου στον χρόνο και την ψηφιοποιούν κβαντίζοντας την στο πλάτος.Η γραφική 1.1 δείχνει μέσω διαγράμματος την μετατροπή απο αναλογικό σε ψηφιακό.Σύμφωνα με το θεώρημα δειγματοληψίας του Nyquist, για την χωρίς παραμόρφωση ανακατασκευή ενός σήματος απο τα δείγματά του, θα πρέπει ο ελάχιστος ρυθμός δειγματοληψίας f_s του αναλογικού σήματος να είναι τουλάχιστον ο διπλάσιος του εύρους ζώνης του f_b. Έτσι το αναλογικό σήμα εισόδου πριν περάσει απο την διαδικασία της δειγματοληψίας και την κβάντισης φιλτράρεται με την χρήση ενός αντι-aliasing φίλτρου το οποίο αποκόβει ολα τα περιεχόμενα υψηλών συχνοτήτων μεγαλύτερα του f_s/2.Έπειτα αφού μετατραπεί σε ψηφιακό σήμα,η έξοδος του κβαντιστή επεξεργάζεται απο το DSP και τελικά με την χρήση DAC μετατρέπεται ξανά σε αναλογικό σήμα.



Γραφική 1.1: Διάγραμμα μετατροπής σήματος απο αναλογικό σε ψηφιακό

Υπάρχουν διάφοροι τύποι ADC ανάλογα με τις προδιαγραφές της εκάστοτε εφαρμογής.

- Flash ADC: Εξασφαλίζει υψηλή ταχύτητα αλλά καλύπτει μεγάλη περιοχή και έχει μεγάλη κατανάλωση.Είναι κατάλληλο για μικρή ανάλυση (6-10 bit).
- Sub-Ranging ADC: Η σχεδίασή τους απαιτεί λιγότερους συγκριτές στην υλοποίηση του κβαντιστή, επομένως είναι μικρότερου μεγέθους και έχουν μικρότερη κατανάλωση.
- Pipelined ADC: Υψηλή ανάλυση σε βάρος χρονικών καθυστερήσεων και υψηλής κατανάλωσης.
- Successive Approximation ADC: Μέτρια ταχύτητα κυκλώματος με μεγάλη όμως ανάλυση (8-14 bits).
- Delta Sigma ADC: Μέτριο εύρος ζώνης λόγω της υπερδειγματοληψίας αλλα πολυ υψηλή ανάλυση εξαιτίας αύτης της υπερδειγματοληψίας και της μορφοποίησης του θορύβου.

Επίσης, ανάλογα με το ρυθμό δειγματοληψίας υπάρχουν οι μετατροπείς απο αναλογικό σε ψηφιακό που ονομάζονται Nyquist καθώς και οι υπερδειγματοληπτημενοι-oversampling μετατροπείς.

Η διπλωματική αυτη επικεντρώνεται στου sigma delta μετατροπείς.Παρουσιάζονται διαφόρες αρχιτεκτόνικες υλοποίησης και αναλύονται τα πλεονέκτηματα-μειονεκτήματα της κάθε επιλογής.Επίσης παρουσιάζεται ενας συνεχούς χρόνου στα 90nm cmos, 1.2v, 1-bit ΣΔ με εύρος ζώνης 10MHz και υλοποιείται στο εργαλείο cadence ενας ΟΤΑ-RC ολοκληρωτής του φίλτρου του.

1.1 Nyquist rate μετατροπείς

Οι Nyquist-rate μετατροπείς[1],[2] απο αναλογικό σε ψηφιακό δειγματοληπτούν το αναλογικό σήμα με συχνότητα δειγματοληψίας διπλάσια του εύρους ζώνης τους. Ένα αντι-aliasing φίλτρο με αυστηρές προδιαγραφές είναι απαραίτητο ώστε να εξαλείψει την πλειοψηφία των σημάτων που βρίσκονται έξω απο την ζώνη σήματος.Η χρήση τέτοιων υψηλής τάξης φίλτρων οδηγεί σε αύξηση της κατανάλωσης.Σύμφωνα με το γραμμικό μοντέλο ενός Α-Ψ μετατροπέα, γραφική 1.2, ο θόρυβος κβάντισης μπορεί να μοντελοποιηθεί ως λευκός προσθετικός θόρυβος.Η συνολική κατανάλωση ισχύος του θορύβου είναι $\frac{\delta^2}{12}$, όπου δ είναι η απόσταση μεταξύ δύο σταθμών κβάντισης.Ο θόρυβος κβάντισης είναι ομοιόμορφα κατανεμημενος στο εύρος συχνοτήτων [- f_s/2, f_s/2], γραφική 1.4(b).Ο λόγος σήματος προς θόρυβο κβάντισης δίνεται απο την σχέση (1.1), όπου b είναι ο αριθμός των bits του Nyquist-rate Α-Ψ μεταρτοπέα.Στην πραγματικότητα όμως,εξαιτίας των διαφόρων μη ιδανικοτήτων και του θορύβου στα εσωτερικά κυκλώματα που το απαρτίζουν, η πρακτική τιμή του λόγου είναι πάντα χαμηλότερη απο το άνω όριο που είναι η (1.1).

$$SNR_Q = \frac{3}{2} \times (2^b - 1)^2$$
 (1.1)

Ο συνολικός λόγος σήματος προς θόρυβο(SNR) δεν επηρεάζεται μόνο απο τον θόρυβο κβάντισης αλλά και απο επιπρόσθετο θόρυβο και παραμόρφωση απο τα κυκλώματα. Αυτό έχει ως αποτέλεσμα, αν και φαινομενικά αύξηση του b αυξάνει το SNR, να μην συμβαίνει κατι τέτοιο στην πραγματικότητα. Πιο συγκεκριμένα στους μετατροπείς αυτου του τύπου ο θόρυβος βρίσκεται στο ίδιο φάσμα συχνοτήτων με το σήμα, με αποτέλεσμα να απαιτείται μεγάλη ακρίβεια στις εσωτερικές λειτουργίες του όπως ειναι η σύγκριση, ενίσχυση και αφαίρεση. Έτσι για αναλύσεις μεγαλύτερες των 12 bits, η κατανάλωση είναι πάρα πολυ μεγάλη αφού χρειάζονται πολύπλοκα κυκλώματα που θα κάνουν επιδιορθώσεις σφαλμάτων ή calibration.



Γραφική 1.2: Γραμμικό μοντέλο ενός Α-Ψ μετατροπέα

1.2 Oversampling μετατροπείς

Αυτοί οι μετατροπείς ανταλλάσσουν την ανάλυση στον χρόνο με αυτή του πλάτους.Η πιο σημαντική παράμετρος είναι ο λόγος υπερδειγματοληψίας (OSR), ο οποίος ορίζεται ως ο λόγος της συχνότητας δειγματοληψίας προς την συχνότητα Nyquist.

$$OSR = \frac{f_s}{2f_b}$$
(1.2)

Εάν η έισοδος του σήματος δεν προκαλεί κορεσμό του κβαντιστή τότε το σφάλμα κβάντισης ,όπως απεικονίζεται και στην γραφική 1.3 είναι φραγμένο ανάμεσα $\pm \delta/2$ οπού δ όπως όρισα και πριν ,είναι η απόσταση μεταξύ δύο σταθμών κβάντισης.

Το σφάλμα κβάντισης είναι η διαφορά ανάμεσα στην έξοδο του κβαντιστή και στο σήμα εισόδου και είναι απόλυτα ντετερμινιστικό εκτός και αν η είσοδος αλλάζει τυχαία ,τότε τα δειγματα σφάλματος κβάντισης είναι ασυσχέτιστα και ομοιόμορφα κατανεμημένα στο εύρος $\pm \delta/2$.Επιπλέον αν οι στατιστικές ιδιότητες του σήματος σφάλματος κβάντισης θεωρηθούν ανεξάρτητες της εισόδου, τότε όπως ανέφερα και στην προηγούμενη παράγραφο μπορεί να θεώρηθει ως λευκός προσθετικός θόρυβος με την ίδια διακύμανση που δίνεται απο την σχέση:

$$\sigma_{\rm e}^{\ 2} = \frac{1}{\delta} \int_{-\delta/2}^{\delta/2} e^2 \, de = \frac{\delta^2}{12} \tag{1.3}$$

Η διαφορά με τους μετατροπείς ρυθμού Nyquist είναι οτι παρόλο που ο θόρυβος κβάντισης εξακολουθεί να είναι $\frac{\delta^2}{2}$, είναι ομοιόμορφα κατανεμήμενος σε ευρύτερο φάσμα συχνοτήτων του [- f_s/2, f_s/2] όπως φαίνεται στην γραφική 1.4(b).Με αυτόν τον τρόπο επιτυγχάνεται μείωση του θόρυβου κβάντισης στην ζώνη σήματος [-f_b, f_b] εφόσον πλέον είναι ένα μόνο μέρος του συνολικού θορύβου κβάντισης και μάλιστα γίνεται παρα πολύ μικρός οταν το OSR είναι πολύ μεγάλο.Σε συνδυασμό με την χρήση φίλτρου μετά την κβάντιση, εξασφαλίζεται υψηλή ανάλυση. Με την χρήση του θεωρήματος Parseval μπορούμε να υπολογίσουμε την ισχύ θορύβου κβάντισης απο την φασματική πυκνότητα του θορύβου[3]:

$$P_{e} = \int_{-f_{s}/2}^{f_{s}/2} (E(f) * E(f)) df$$
(1.4)

Εφόσον ο θόρυβος κβάντισης θεωρείται λευκός η φασματική πυκνότητα είναι ισοδύναμη με:

$$\mathsf{E}(\mathsf{f}) = \frac{\sigma_e}{\sqrt{f_s}} \tag{1.5}$$

Όπως φαίνεται απο την (1.3) η ισχύς του θορύβου κβάντισης εξαρτάται μόνο απο το δ και όχι απο την συχνότητα δειγματοληψίας f_s . Εαν το σήμα προς κβάντιση έχει συχνότητες μικρότερες απο f_b και η συχνότητα δειγματοληψίας επιλεγεί μεγαλύτερη απο τον ρυθμό Nyquist $2f_b$ τότε η συνολική ισχύς θορύβου στο εύρος ζώνης σήματος N_0 είναι:

$$N_0^{2} = \int_{-f_b}^{f_b} (E(f) * E(f)) df = \frac{2f_b \sigma_e^2}{f_s}$$
(1.6)

Και τελικά αν στην (1.6) αντικαταστήσω την (1.2):

$$N_0 = \frac{\sigma_e}{\sqrt{OSR}} \tag{1.7}$$

Έτσι, παρατηρούμε ότι ο θόρυβος κβάντισης (αποτετραγωνισμένος-RMS) στην ζώνη σήματος μειώνεται κατα την τετραγωνική ρίζα του λόγου υπερδειγματοληψίας.Αυτό έχει ως αποτέλεσμα διπλασιασμός της συχνότητας δειγματοληψίας να οδηγεί σε 3db μείωση του θορύβου κβάντισης και

αύξηση της ανάλυσης κατά μισό bit. Όσον αφορά τον λόγο σήματος προς θόρυβο κβάντισης του μετατροπέα, αυτός δίνεται απο την σχέση[1]:

$$SNR_Q = \frac{3}{2} \times (2^b - 1)^2 \times OSR$$
 (1.8)

Σε σύγκριση με την (1.1) προκύπτει πολύ μεγαλύτερο SNR_Q εξαιτείας του πολλαπλασιασμού του με τον παράγοντα OSR.Πέρα απο την μείωση του θορύβου κβάντισης στην ζώνη σήματος, λόγω του μηχανισμού της υπερδειγματοληψίας και όλοι οι άλλοι θόρυβοι και παραμορφώσεις ελαχιστοποιούνται.Έτσι για να επιτευχθεί υψηλή ανάλυση δεν απαιτούνται τώρα πολύπλοκα και ακριβή εσωτερικά κυκλώματα.Το πρόβλημα αυτού του είδους μετατροπέων που τείνει να ξεπεραστεί με την χρήση μικρότερου μεγέθους CMOS τεχνολογιών εντοπίζεται στην ταχύτητα λειτουργίας εσωτερικών κυκλωμάτων οπώς ενισχύτες,συγκριτες.Πιο συγκεκριμένα η αύξηση του ρυθμού δειγματοληψίας οδηγεί σε ταχύτερης λειτουργίας κυκλώματα.



Γραφικη 1.3: Κυματομορφή Θορύβου κβάντισης ($V_{LSB} = V_{ref}/2^N$)



Γραφική 1.4: Κατανομή θορύβου κβάντισης (a) Nyquist rate (b) oversampling μετατροπείς

1.3 ΣΔ μετατροπείς

Σύμφωνα με τα προηγούμενα η απόδοση ενός κβαντιστή βελτιώνεται με την υπερδειγματοληψία. Έτσι σε ένα υπερδειγματοληπτημένο σύστημα, αν το σήμα εισόδου βρίσκεται μόνο στην ζώνη συχνοτήτων $|f| < f_b$, οι υπόλοιπες συχνότητες ($f_b < |f| < f_s/2$) του σήματος εξόδου θα περιέχουν μόνο θόρυβο κβάντισης. Για ένα δεδομένο δ η ισχύς του θορύβου κβάντισης P_e είναι σταθερή και έτσι μία αύξηση της φασματικής πυκνότητας έξω απο την ζώνη σήματος σε συνδυασμό με τον μηχανισμό ανάδρασης θα οδήγησει σε επιπλέον μείωση του θορύβου κβάντισης στην επιθυμητή ζώνη σήματος. Αυτό λέγεται μορφοποίηση θορύβου. Ένας ΣΔ Α-Ψ μετατροπέας υπερδειγματοληπτεί το σήμα είσοδου και πραγματοποιεί μορφοποίηση θορύβου σπρώχνοντας τον έξω απο την επιθυμητή ζώνη σήματος. Ο ΣΔ Α-Ψ μετατροπέας πρώτης τάξης παρουσιάζεται στην γραφική 1.5: Η γραφική 1.5(a) δείχνει ένα σχηματικό διάγραμμα και η γραφική 1.5(b) ένα σχηματικό διάγραμμα με την χρήση του μοντέλου λευκού θορύβου για τον κβαντιστή και τον μετατροπέα απο ψηφιακό σε αναλογικό.



Γραφική 1.5: Πρώτης τάξης ΣΔ Α-Ψ μετατροπέας

Απο την γραφική 1.5(b) (το γραμμικοποιημένο μοντέλο) μπορεί να υπολογιστεί η συνάρτηση μεταφοράς του στο πεδίο Ζ:

$$Y(z) = z^{-1}X(z) + (1 - z^{-1})E_Q(z) - z^{-1}E_D(z)$$
(1.9)

Όπου $E_{q}(z)$ είναι ο θόρυβος κβάντισης και $E_{D}(z)$ το σφάλμα μη γραμμικότητας του μετατροπέα σήματος απο αναλόγικο σε ψηφιακό.Συνήθως ο μετατροπέας απο ψηφιακό σε αναλογικό είναι 1-bit ,δύο επιπέδων και άρα είναι πάντα γραμμικός.Αυτό έχει ως αποτέλεσμα ο τελευταίος όρος της (1.9) να παραλείπεται.

$$Y(z) = z^{-1}X(z) + (1 - z^{-1})E_Q(z)$$
(1.10)

Η συνάρτηση μεταφοράς σήματος (STF) ορίζεται ως η συνάρτηση μεταφοράς που εφαρμόζεται στο σήμα εισόδου και η συνάρτηση μεταφοράς θορύβου (NTF) ως την συνάρτηση μεταφοράς του εφαρμόζεται στον θόρυβο κβάντισης[1],[2],[3].

$$Y(z) = STF(z) X(z) + NTF(z) E_Q(z)$$
 (1.11)

Και

$$STF(z) = z^{-1}$$
 $NTF(z) = 1 - z^{-1}$ (1.12)

12

Από την σχέση (1.12) προκύπτει οτι το σήμα εισόδου απλά καθυστερείτε κατα ένα κύκλο ρολογιού και το πλάτος του στο πεδίο συχνοτήτων είναι μονάδα.Ο θόρυβος κβάντισης μορφοποιείται από ένα υψιπερατό φίλτρο $1 - z^{-1}$ και το μη σταθερό πλάτος του είναι :

$$|\mathsf{NTF}(f)| = |1 - e^{j2\pi f/f_s}| = 2|\sin(\frac{\pi f}{f_s})|$$
(1.13)

Έτσι η φασματική πυκνότητα του θόρυβου κβάντισης είναι:

$$N(f) = E_{Q}(f) |NTF(f)| = \frac{2\sigma_{e}}{\sqrt{f_{s}}} |\sin(\frac{\pi f}{f_{s}})|$$
(1.14)

Η γραφική 1.6 δείχνει την επίδραση της μορφοποίησης θορύβου στον πρώτης τάξης ΣΔ Α-Ψ μετατροπέα.



Γραφική 1.6: Μορφοποίηση Θορύβου του πρώτης τάξης ΣΔ Α-Ψ μετατροπέα

Ο συνολικός θόρυβος στην ζώνη σήματος – $f_{\rm b} < f < f_{\rm b}$ είναι :

$$N_0^2 = \int_{-f_b}^{f_b} N(f) * N(f) df = 2\sigma_e^2 \left(\frac{2f_b}{f_s} - \frac{1}{\pi}\sin(\frac{2f_b\pi}{f_s})\right) \approx \frac{\pi^2 \sigma_e^2}{30SR^3}$$
(1.15)

Απο την σχέση αυτή παρατηρούμε ότι εαν διπλασιαστεί το OSR τότε ο θόρυβος στην ζώνη σήματος μειώνεται κατά 9db και η ανάλυση αυξάνεται κατά 1.5bit.Όσον αφορά τον λόγο σήματος προς θόρυβο κβάντισης του μετατροπέα,αυτός δίνεται απο την σχέση[2]:

$$SNR_{Q} = \frac{3}{2} \times \frac{2L+1}{\pi^{2L}} \times OSR^{2L+1} \times (2^{B}-1)^{2} = 10\log(\frac{3}{2}2^{2B}) + 10\log[\frac{(2L+1)}{\pi^{2L}}(OSR)^{2L+1}]$$
(1.16)

Όπου L η τάξη και B ο αριθμός των bits του ΣΔ Α-Ψ μετατροπέα.Είναι φάνερο ότι όσο μεγαλύτερη είναι η τάξη, ο ρυθμός δειγματοληψίας και ο αριθμός των bits(ανάλυση) του κβαντιστή τόσο μεγαλύτερο είναι το SNR_Q του ΣΔ Α-Ψ μετατροπέα.Θα δουμε στο παρακάτω κεφάλαιο ότι δεν μπορούμε να τα αυξάνουμε συνεχώς.Τέλος το SNR_Q εξαρτάται επίσης απο άλλους θορύβους (όπως είναι ο θερμικός και ο flicker θόρυβος) και παραμόρφώσεις των εσωτερικών κυκλωμάτων του.

Αρχιτεκτονικές του ΣΔ Α-Ψ μετατροπέα

Υπάρχουν διάφοροι τρόποι υλοποίησης ενός ΣΔ Α-Ψ μετατροπέα.Τα βασικά χαρακτηριστικά που περιγράφουν την αρχιτεκτονική του μετατροπέα είναι:

- Απλού σταδίου ή πολλαπλών.
- Συνεχούς χρόνου η διακριτού.
- Ο εσωτερικός κβαντιστής αν είναι ενός bit ή πολλών bit.
- Το φίλτρο αν είναι τοπολογίας feedback ή feedforward.

2.1 Απλού σταδίου ή Πολλαπλών σταδίων

Στην παράγραφο αυτή, παρουσιάζονται οι ΣΔ Α-Ψ μετατροπείς απλού και πολλαπλών σταδίων.Επίσης αναλύεται το θέμα της ευστάθειας που ταλανίζει τους μετατροπείς αυτούς.

2.1.1 Απλού σταδίου

Ένας απλού σταδιου (single stage) ΣΔ Α-Ψ μετατροπέας αποτελεί την πιο απλή αρχιτεκτονική που υπάρχει. Ήδη στο κεφάλαιο 1 παρουσιάστηκε ο πρώτης τάξης ΣΔ Α-Ψ μετατροπέας ο οποίος αποτελείται απο έναν ολοκληρωτή. Περισσότεροι ολοκληρωτές μπορούν να τοποθετηθούν σε σειρά ώστε να αυξήσουν την τάξη της μορφοποίησης θορύβου. Στην ουσία η τάξη του μετατροπέα ισούται με τον αριθμό των ολοκληρωτών που απαρτίζουν το φίλτρο του. Η γραφική 2.1 δείχνει το διάγραμμα ενός δεύτερης τάξης απλού σταδίου ΣΔ Α-Ψ μετατροπέα. Σε σύγκριση με τον πρώτης τάξης, αποτελείται απο δύο ολοκληρωτές οι οποίοι ολοκληρώνουν την διαφόρα του σήματος εισόδου με το σήμα ανατροφοδότησης από την έξοδο. Η έξοδος του δεύτερης τάξης μετατροπέα είναι:

$$Y(z) = X(z)z^{-2} + E_Q(z)(1 - z^{-1})^2$$
(2.1)

Από την (2.1) συμπεραίνουμε ότι η έξοδος του μετατροπέα είναι το σήμα εισόδου καθυστερημένο κατά δύο κύκλους ρολογιού ενώ πλέον έχουμε μορφοποίηση θορύβου δεύτερης τάξης.Το πλάτος της συνάρτησης μεταφοράς θορύβου (NTF = $(1 - z^{-1})^2$) στο πεδίο συχνοτήτων είναι:

$$|NTF(f)| = 4(\sin(\pi f))^2$$
 (2.2)

Και η φασματική πυκνότητα του θόρυβου κβάντισης είναι:

N(f) = E(f)NTF(f) =
$$\frac{4\sigma_e^2}{\sqrt{f_s}} (\sin(\pi f))^2$$
 (2.3)

Η ισχύς του θορύβου στην ζώνη σήματος είναι [3]:

$$N_0^{\ 2} = \int_{-f_b}^{f_b} \left(N(f) * N(f) \right) df \approx \frac{\pi^4 \sigma_e^2}{50 S R^5}$$
(2.4)

Κάθε διπλασιασμός του OSR προκαλεί μείωση του θορύβου στην ζώνη σήματος κατά 15db, 2.5 bits. Αυτό αποτελεί σαφής βελτίωση των 9db του μετατροπέα πρώτης τάξης που είδαμε στο προηγούμενο κεφάλαιο. Ο λόγος σήματος προς θόρυβο κβάντισης του μετατροπέα, δίνεται από την σχέση (1.16) όπου L=2 [1],[2]:

$$SNR_{Q} = \frac{3}{2} \times \frac{5}{\pi^{4}} \times OSR^{5} \times (2^{B} - 1)^{2} = 10\log(\frac{3}{2}2^{2B}) + 10\log[\frac{5}{\pi^{4}}(OSR)^{5}]$$
(2.5)



Γραφική 2.1: Διάγραμμα ενός δεύτερης τάξης απλού σταδίου ΣΔ Α-Ψ μετατροπέα

Όπως ανέφερα και προηγουμένως μπορούμε να αυξήσουμε την τάξη του μετατροπέα προσθέτοντας απλά ολοκληρωτές σε σειρά, όπως φαίνεται στην γραφική 2.2 που χρησιμοποιούνται L ολοκληρωτές.

Η έξοδος του L τάξης απλού σταδίου ΣΔ Α-Ψ μετατροπέα είναι:

$$Y(z) = X(z)z^{-L} + E_Q(z)(1 - z^{-1})^L$$
(2.6)

Ο συνολικός θόρυβος στην ζώνη σήματος είναι:

$$N_0^2 \approx \frac{\pi^{2L} \sigma_e^2}{(2L+1)OSR^{2L+1}}$$
(2.7)

Και ο λόγος σήματος προς θόρυβο δίνεται απο την σχέση (1.16)



Γραφική 2.2: Διάγραμμα ενός L τάξης απλού σταδίου ΣΔ Α-Ψ μετατροπέα

Έτσι όσο μεγαλύτερης τάξης είναι ο μετατροπέας τόσο μικρότερο OSR χρειάζεται για να επιτευχθεί υψηλή ανάλυση. Αυτό οφείλεται στο γεγονός ότι έχουμε μεγαλύτερης τάξης μορφοποίηση θορύβου. Όμως η αύξηση της τάξης του μετατροπέα συνοδεύεται από δύο μειονεκτήματα.

 Προβλήματα ευστάθειας που θα περιγράψω αναλυτικά στην παράγραφο 2.1.3.Συνοπτικά όταν η τάξη του μετατροπέα είναι μεγαλύτερη του δύο, τότε γίνεται ασταθής. Το μέγιστο πλάτος του σήματος εισόδου των εσωτερικών ολοκληρωτών μπορεί να είναι πολύ μεγάλο.Σε αυτή την περίπτωση πρέπει οι ολοκλήρωτες να εξασφαλίζουν μεγάλη γραμμικότητα.

2.1.2 Πολλαπλών σταδίων

Η βασική ιδέα των ΣΔ Α-Ψ μετατροπέων πολλαπλών σταδίων (cascaded/MASH)[2] είναι η χρήση μετατροπέων πρώτης και δεύτερης τάξης, για την κατασκευή μετατροπέα μεγαλύτερης τάξης και κατ' επέκταση μεγαλύτερης τάξης μορφοποίηση θορύβου.Εφόσον οι μετατροπείς πρώτης και δεύτερης τάξης είναι πάντοτε ευσταθείς(το σήμα εισόδου είναι μικρότερο από τα επίπεδα κβάντισης) και ο μετατροπέας μεγαλύτερης τάξης θα είναι και αυτός ευσταθής.Ο θόρυβος κβάντισης κάθε σταδίου γίνεται είσοδος στο επόμενο στάδιο και η έξοδος κάθε σταδίου φιλτράρεται ψηφιακά.Η έξοδος του μετατροπέα είναι το άθροισμα αυτών των φιλτραρισμένων εξόδων.Ο θόρυβος κβάντισης εξαλείφεται από όλα τα στάδια εκτός το τελευταίο.Ο θόρυβος κβάντισης του τελευταίου σταδίου έχει τάξη μορφοποίησης ίση με την τάξη του μετατροπέα, η οποία ισούται με το άθροισμα των τάξεων του κάθε σταδίου.Η γραφική 2.3 αναπαριστά έναν μετατροπέα πολλαπλών σταδίων,όπου για να πάρουμε έναν μετατροπέα τρίτης τάξης χρησιμοποιείται ένας δεύτερης τάξης σε συνδυασμό με ένα μετατροπέα πρώτης τάξης μετατροπέα του δεύτερης τάξης μετατροπέα του διου γίνεται είσοδος στον πρώτης και δεα του δεύτερης τάξης σε συνδυασμό με ένα μετατροπέα αρώτης τάξης.Το σφάλμα κβάντισης του δεύτερου σταδίου.Οι έξοδοι των δύο μετατροπέων είναι αντίστοιχα:

$$Y1(z) = z^{-2} X(z) + (1 - z^{-1})^2 E_{Q1}(z)$$
(2.8)

Και

$$Y2(z) = Z^{-1}E_{Q1}(z) + (1 - z^{-1})E_{Q2}(z)$$
(2.9)

Όπου E_{Q1}(z) και E_{Q2}(z) μοντελοποιούν τα σφάλματα κβάντισης του πρώτου και δεύτερου σταδίου αντίστοιχα. Όσο αφορά την έξοδο Y(z), αυτή προκύπτει αφού καθυστερήσουν κατά ένα κύκλο ρολογιού και μια δεύτερης τάξης διαφορά οι έξοδοι Y1(z) και Y2(z) αντίστοιχα και έπειτα αφαιρεθούν. Σύμφωνα με την λογική εξάλειψης θορύβου οι έξοδοι των δύο σταδίων συνδυάζονται ως εξής:

$$Y(z) = Z^{-1}Y1(z) - (1 - z^{-1})^2 Y2(z)$$
(2.10)

Άρα η έξοδος αντικαθιστώντας την (2.8) και (2.9) στην (2.10):

$$Y(z) = z^{-3}X(z) - (1 - z^{-1})^{3} E_{Q2}(z)$$
(2.11)

Έτσι, το σφάλμα κβάντισης του πρώτου σταδίου εξαλείφθηκε ενώ το σφάλμα κβάντισης του δεύτερου σταδίου δέχεται τρίτης τάξης μορφοποίηση θορύβου.Η προσέγγιση των πολλαπλών σταδίων μπορεί να οδηγήσει σε κατασκευή ευσταθών μετατροπέων μεγάλης τάξης απλά προσθέτοντας συνδυασμούς σταδίων πρώτης και δεύτερης τάξης.Για παράδειγμα, πέμπτης τάξης μορφοποίηση θορύβου προκύπτει με την χρήση δύο δεύτερης τάξης σταδίων και ενός πρώτης τάξης(2-2-1 αρχιτεκτονική).



Γραφική 2.3: Διάγραμμα ενός ΣΔ Α-Ψ τρίτης τάξης , δύο σταδίων (2-1 αρχιτεκτονική)

Το μειονέκτημα αυτής της αρχιτεκτονικής είναι ότι τα κέρδη των αναλογικών και ψηφιακών μερών πρέπει να ταιριάζουν(matching).Διαφορετικά ο θόρυβος κβάντισης κάθε σταδίου δεν μπορεί να εξαλειφθεί πλήρως και ένα μέρος του θα βρεθεί στην έξοδο του μετατροπέα περιορίζοντας την ανάλυσή του(quantization noise leakage).Η πιο σημαντική βαθμίδα είναι ο ολοκληρωτής, αλλά σε ΣΔ μετατροπείς με περισσότερα των δύο σταδίων, μπορεί να υπάρχουν επίσης συντελεστές κέρδους στο αναλογικό μέρος που πρέπει να έχουν ακριβή τιμή για να εξαλείψουν εντελώς τον θόρυβο κβάντισης των πρώτων σταδίων.Ένα άλλο μειονέκτημα είναι ο κορεσμός των ολοκληρωτών αφού στην έισοδο τους δέχονται σήμα και θόρυβο.Για το λόγο αυτό το σήμα εισόδου πρέπει να είναι μικρού πλάτους.Επιπλέον χρειάζονται κυκλώματα ψηφιακής ακύρωσης θορύβου και η έξοδος του μετατροπέα είναι μια λέξη και όχι ένα bit που είναι στους μετατροπείς απλού σταδίου.

2.1.3 Ευστάθεια

Η ευστάθεια του ΣΔ Α-Ψ μετατροπέα(stability)[1][3] δεν μπορεί να εξασφαλιστεί και δεν υπαρχεί θεωρία που να αποδεικνύει ότι ένας μετατροπέας τάξης μεγαλύτερης του δύο, είναι ευσταθής. Ακόμα και για τον μετατροπέα δεύτερης τάξης η ευστάθεια του ισχύει μόνο για σταθερό σήμα εισόδου. Σε πολλές περιπτώσεις το σήμα εισόδου πρέπει να ελαχιστοποιηθεί ή ένας κβαντιστής πολλών bits να χρησιμοποιηθεί ώστε να εξασφαλισθεί η ευστάθεια του μετατροπέα. Ένας μετατροπέας μπορεί να οριστεί ως ευσταθής εάν η είσοδος του κβαντιστή παραμείνει περιορισμένη. Το θέμα της ευστάθειας μπορεί να επεξηγηθεί με την χρήση της ανάλυσης root locus. Σύμφωνα με την ανάλυση αυτή ο κβαντιστής, ο οποίος αποτελεί μη γραμμική βαθμίδα, μοντελοποιείται σαν μεταβλητό κέρδος k που προσδιορίζεται απο το πλάτος εισόδου του.

$$Kέρδος = \frac{επίπεδο εξόδου κβαντιστή}{πλάτος εισόδου}$$
(2.12)

Η γραφική 2.4 δείχνει τις root locus γραφικές των πρώτης, δεύτερης και τρίτης τάξης ΣΔ Α-Ψ μετατροπέων.Όσο αφορά τους πρώτης και δεύτερης τάξης ΣΔ μετατροπείς γραφική 2.4(a) και 2.4(b) αντίστοιχα, όταν το επίπεδο σήματος στην είσοδο του κβαντιστή είναι μικρό(k μεγάλο), ένας από τους δύο πόλους απομακρύνεται από τον μοναδιαίο κύκλο.Συνεπώς, το σήμα εισόδου του κβαντιστή θα αυξηθεί.Όταν το επίπεδο σήματος στην είσοδο του κβαντιστή είναι μεγάλο(k μικρό), όλοι οι πόλοι βρίσκονται μέσα στον μοναδιαίο κύκλο.Έτσι το σύστημα είναι σταθερό για όλες τις τιμές του κέρδους κβαντιστή k.Κατί τέτοιο όμως δεν ισχύει για μεγαλύτερης τάξης ΣΔ μετατροπείς.Όπως φαίνεται στην γραφική 2.4(c), όταν το επίπεδο σήματος στην είσοδο του κβαντιστή είναι μικρό(k πολύ μεγάλο), ένας από του τρείς πόλους(έστω ο πραγματικός) είναι έξω απο τον μοναδιαίο κύκλο ενώ οι μιγαδικοί πόλοι είναι μέσα στον μοναδιαίο κύκλο.Αυτό έχει ως αποτέλεσμα να αυξάνονται τα επίπεδα σήματος του μετατροπέα. Όταν τα επίπεδα σήματος αυξηθούν(το k μειώνεται), ο πραγματικός πόλος επιστρέφει μέσα στον μοναδιαίο κύκλο, αλλά το ζευγάρι των μιγαδικών κινούνται έξω από τον μοναδιαίο κύκλο.Έτσι πο σύστημα δεν είναι ευσταθές για όλα τα k.

Αν υπήρχε ένας μηχανισμός που να έκανε την τιμή του κέρδους k να αυξάνεται όταν το επίπεδο εισόδου αυξάνεται, τότε το ζεύγος των μιγαδικών πόλων της γραφικής 2.4(c) μπορεί να επιστρέψει εντός του μοναδιαίου κύκλου όσο το επίπεδο εισόδου αυξάνεται.Όπως θα δείξω και στην παράγραφο 2.3 ένας κβαντιστής πολλών bits μπορεί να υλοποιήσει τον παραπάνω μηχανισμό και αποτελεί τον κύριο τρόπο βελτίωσης της ευστάθειας μεγάλης τάξης απλού σταδίου ΣΔ Α-Ψ μετατροπέα.Η μέθοδος αυτή απλά βελτιώνει την ευστάθεια, αλλα δεν εξασφαλίζει την ευστάθεια κάτω από οποιεσδήποτε συνθήκες.Αυτό οφείλεται στο γεγονός ότι εφόσον σε έναν κβαντιστή πολλών bits το επίπεδο εξόδου, το κέρδος k μπορεί να έχει τόσο χαμηλή τιμή ώστε οι πόλοι να παραμένουν έξω από τον μοναδιαίο κύκλο και το σήμα να επιδέχεται επιπλέον αύξηση. Είδαμε στην παράγραφο 2.1.2 ότι στους ΣΔ Α-Ψ μετατροπείς πολλαπλών σταδίων, δεν υφίσταται το πρόβλημα της ευστάθειας καθώς τα διάφορα στάδια τους απαρτίζονται από μετατροπείς πρώτης και δεύτερης τάξης που είπαμε πως είναι ευσταθείς.

Άλλη μία μέθοδος για να εξασφαλιστεί ευστάθεια σε έναν μεγάλης τάξης απλού σταδίου ΣΔ Α-Ψ μετατροπέα είναι η μείωση του συντελεστή κέρδους του κάθε ολοκληρωτή του.Η μείωση αυτή έχει ως αποτέλεσμα την εξασθένηση της τάξης μορφοποίησης θορύβου, $(1 - z^{-1})^L$. Έτσι για να εξασφαλισθεί ο λόγος σήματος προς θόρυβο του μετατροπέα,σχέση (1.16), πρέπει να αυξηθεί το OSR.



Γραφική 2.4: Root Locus ΣΔ Μετατροπείς

2.2 Συνεχούς χρόνου(CT) ή Διακριτού χρόνου(DT)

Στην παράγραφο αυτή,παρουσιάζονται οι ΣΔ Α-Ψ μετατροπείς συνεχούς και διακριτού χρόνου.Επιπλέον αναλύονται τα δύο κυριότερα προβλήματα των μετατροπέων συνεχούς χρόνου, Clock Jitter και Loop Delay.

2.2.1 Συνεχούς χρόνου(CT)

Η κύρια διαφορά ανάμεσα στους ΣΔ Α-Ψ μετατροπείς συνεχούς και διακριτού χρόνου, εντοπίζεται στην θέση του δειγματολήπτη.Όπως φαίνεται και στην γραφική 2.5, στον μετατροπέα συνεχούς χρόνου το σήμα δειγματοληπτείται πριν τον κβαντιστή.Αντίθετα, όπως θα αναλύσω στην επόμενη παράγραφο, η δειγματοληψία στον μετατροπέα διακριτού χρόνου γίνεται στην είσοδο του συστήματος.Η τοποθέτηση του δειγματολήπτη στο τέλος του φίλτρου, πριν τον κβαντιστή, έχει ως αποτέλεσμα τα σφάλματα δειγματοληψίας να μορφοποιούνται όπως ακριβώς είδαμε ότι συμβαίνει με τον θόρυβο κβάντισης αφού τα σφάλματα δειγματοληψίας και ο θόρυβος κβάντισης εφαρμόζονται στον ίδιο κόμβο.Έτσι αποφεύγεται η χρήση υψηλής κατανάλωσης αντί-aliasing φίλτρου και το φίλτρο του μετατροπέα θεωρείται αρκετό.



Γραφική 2.5: Διάγραμμα συνεχούς χρόνου ΣΔ Α-Ψ μετατροπέα

Εκτός την αποφυγή επιπλέον φίλτρου(υψηλής κατανάλωσης και κατάληψης μεγάλου χώρου), η χρήση ενός μετατροπέα συνεχούς χρόνου συνοδεύεται από τα παρακάτω πλεονεκτήματα:Απουσία θορύβου $\frac{kT}{c}$, υψηλή ταχύτητα, χαμηλή κατανάλωση.Επίσης, επιτρέπει υψηλότερες συχνότητες δειγματοληψίας και κατ'επέκταση μεγαλύτερο εύρος ζώνης σήματος.

Το μεγάλο μειόνεκτημα του μετατροπέα συνεχούς χρόνου είναι η παραμόρφωση του ωρολογιακού παλμού(clock jitter) και η καθυστέρηση του loop(loop delay).Το σφάλμα του clock jitter του κβαντιστή δεν δημιουργεί ιδιαίτερο πρόβλημα εν αντιθέσει με το σφάλμα του στους Ψ-Α μετατροπείς ανατροφοδότησης, το οποίο δεν υπόκειται μορφοποίηση θορύβου και προστίθεται στον κόμβο εισόδου.Αυτό έχει ως αποτέλεσμα η ανάλυση του μετατροπέα να μειώνεται και και το SNR να δίνεται από την σχέση [1]:

$$SNR = 20\log\left[\frac{\sqrt{OSR}}{2\pi f_{max}\sigma_{jitter}}\right]$$
(2.13)

Όπου σ²_{jitter} η διασπορά του clock jitter και f_{max} η μέγιστη συχνότητα του δειγματοληπτημένου σήματος.Για το loop delay θα αναφερθώ στην επόμενη παράγραφο 2.2.2.

Ένα άλλο μειονέκτημα, είναι η αναλογική φύση του φίλτρου του μετατροπέα συνεχούς χρόνου, γεγονός που καθιστά την σχεδίαση του πιο περίπλοκη και δημιουργεί mismatch ανάμεσα στην αναλογική και την ψηφιακή μορφοποίηση θορύβου.

Οι ολοκληρωτές του συνεχούς χρόνου φίλτρου του μετατροπέα μπορούν να υλοποιηθούν σύμφωνα με ένα από τους παρακάτω τρόπους:

- Active RC , όταν μας ενδιαφέρει η γραμμικότητα.
- G_m-C, όταν μας ενδιαφέρει το κέρδος και το εύρος ζώνης του σήματος.Χαμηλή κατανάλωση.
- Mosfet-C, μη γραμμικότητα. Tunability πλεονεκτήματα.
- Συνδυασμός των παραπάνω επιλογών κυρίως Active RC με G_m-C.Το πρώτο στάδιο υλοποιείται πάντα με τον Active RC τρόπο επειδή μας ενδιαφέρει η γραμμικότητα.

Τέλος, οι συνεχούς χρόνου ΣΔ Α-Ψ μετατροπείς συνήθως συνδυάζονται με την δομή του απλού σταδίου, εξασφαλίζοντας την επιθυμητή απόδοση χωρίς να αυξάνουν την πολυπλοκότητα και την κατανάλωση.

2.2.2 Loop Delay

Όπως είδαμε και στην προηγούμενη παράγραφο, το loop delay [4] αποτελεί ένα απο τα σημαντικότερα μειονεκτήματα των ΣΔ μετατροπέων συνεχούς χρόνου.Στην ουσία πρόκειται για μία καθυστέρηση στο loop, η οποία προκαλείται από τον κβαντιστή.Εξαιτίας αυτής της καθυστέρησης, ο θόρυβος στην ζώνη σήματος όπως και το πλάτος σήματος αυξάνονται.Έτσι η απόδοση του μετατροπέα μειώνεται καθώς έχουμε περισσότερο θόρυβο και παραμόρφωση.Έχει βρεθεί ότι το loop delay εξαρτάται από τον σχηματισμό του παλμού του ψηφιακού σε αναλογικό μετατροπέα.

Έστω ότι έχω έναν παλμό ενός NRZ Ψ-Α μετατροπέα. Το loop delay μετατοπίζει τον παλμό έξω από τον κύκλο ρολογιού. Η γραφική 2.6 δείχνει έναν τέτοιο ορθογώνιο παλμό. Θεωρητικά ο παλμός πρέπει να διαρκεί απο το μηδέν εώς το T_s. Λόγω όμως της επιπρόσθετης καθυστέρησης t_d, ο παλμός υφίσταται ολίσθηση κατά t_d. Έτσι έχουμε τον παλμό να ξεκινά την χρονική στιγμή T_s + t_d στον επόμενο κύκλο ρολογιού.



Γραφική 2.6: Ορθογώνιος παλμός DAC παρουσία Loop Delay

Η ολίσθηση προκαλεί αύξηση της τάξης του φίλτρου του μετατροπέα, παρέχοντας την δυνατότητα αν ελεχθεί σωστά να αυξήσει την μορφοποίηση θορύβου, διαφορετικά οδηγεί το σύστημα σε αστάθεια.Για την μείωση της καθυστέρησης αυτής απαιτούνται πολύ γρήγοροι κβαντιστές.Επίσης μια συνηθισμένη τεχνική ανάκτησης της απόκρισης και περιορισμόυ της μειωμένης απόδοσης είναι η χρήση μιας τοπικής ανάδρασης γύρω απο τον κβαντιστή.

Πληροφοριακά, στην περίπτωση ενός RZ Ψ-Α μετατροπέα, ο παλμός θεωρητικά βρίσκεται ανάμεσα στο μήδεν και το ένα.Η τάξη του φίλτρου του μετατροπέα παραμένει σταθερή, εφόσον η καθυστέρηση δεν ολισθαίνει τον παλμό στον επόμενο κύκλο ρολογιού.Αυτό μεταφράζεται σε μία μέγιστη ολίσθηση:

$$t_{di} \le (1 - \beta) T_s \tag{2.14}$$

Όπου β, το τέλος του ιδανικού παλμού.Πέρα από την παραπάνω ολίσθηση, παρατηρούνται τα ίδια αποτελέσματα με την περίπτωση του NRZ DAC.

2.2.3 Διακριτού χρόνου (DT)

Όπως φαίνεται και απο την γραφική 2.7, η δειγματοληψία στον μετατροπέα διακριτού χρόνου γίνεται στην είσοδο του συστήματος. Αυτό έχει ως αποτέλεσμα να είναι απαραίτητη η χρήση ενός αντίaliasing φίλτρου πριν απο τον δειγματολήπτη. Το φίλτρο αυτό, μορφοποιεί τα σφάλματα δειγματοληψίας ώστε να μην ελλατώνεται η ανάλυση του μετατροπέα.

Πέρα από την χρήση του επιπλέον φίλτρου, ένα άλλο μειονέκτημα είναι η παρουσία του θορύβου $\frac{kT}{c}$, που ισοδυναμεί με μεγαλύτερες χωρητικότητες για μεγάλο SNR.Επιπλέον μια τέτοια υλοποίηση έχει χαμηλές συχνότητες δειγματοληψίας και κατ'επέκταση μικρό εύρος ζώνης σήματος. Ένα πλεονεκτήμα είναι ότι το φίλτρο του μετατροπέα(Loop filter) είναι ψηφιακό και επομένως απλό στην υλοποίηση. Άλλα πλεονεκτήματα είναι το πολύ καλό matching και η μη ευαισθησία του στο clock jitter.



Γραφική 2.7: Διάγραμμα διακριτού χρόνου ΣΔ Α-Ψ μετατροπέα

Οι ολοκληρωτές του φίλτρου του διακριτου χρόνου μετατροπέα, υλοποιούνται με την μέθοδο Switch Capacitor. Έτσι εξασφαλίζεται ακριβής έλεγχος των κερδών των ολοκληρωτών.Η διαφορική υλοποίηση τους αυξάνει το δυναμικό εύρος(DR) κατά 6db.Ο πρώτος ολοκλήρωτης είναι και ο πιο σημαντικός ενώ η υλοποίηση του συγκριτή για την βαθμίδα είναι απλή καθώς οι μη ιδανικότητες του υπόκεινται μορφοποίηση απο την διάταξη.

Τέλος αξίζει να σημειωθεί ότι η πλειοψηφία των συνεχούς χρόνου μετατροπέων προέρχονται από μετατροπείς διακριτού χρόνου με την χρήση μετασχηματισμού DT-CT. Αυτό συνήθως πραγματοποιείται είτε με την χρήση μετασχηματισμού z ή με την χρήση μετασχηματισμού χρονικής αμεταβλητότητας. Και οι δύο μέθοδοι θεωρούν ότι η απόκριση του φίλτρου συνεχούς χρόνου είναι ίση με του διακριτού χρόνου μετατροπέα, χρησιμοποιώντας πίνακες που μετασχηματίζουν τους πόλους του διακριτού χρόνου φίλτρου σε πόλους συνεχούς χρόνου.

2.3 Πολλών bit ή Ενός bit

2.3.1 Πολλών bit

Σύμφωνα με την σχέση (2.7), ο θόρυβος στην ζώνη σήματος εξαρτάται από το OSR, την τάξη του μετατροπέα και την διασπορά του θόρυβου κβάντισης σ_e, η οποία εξαρτάται απο την απόσταση μεταξύ δύο σταθμών κβάντισης δ.Η χρήση ενός κβαντιστή πολλών bit(multibit quantizer) οδηγεί σε μείωση της διασποράς αυτής και κατ'επέκταση του συνολικού θορύβου στην ζώνη σήματος, N₀².Συγχρόνως, από την σχέση (1.16) προκύπτει ότι ο λόγος σήματος πρός θόρυβο του ΣΔ Α-Ψ μετατροπέα αυξάνεται καθώς αυξάνεται ο αριθμός των bit (B) του κβαντιστή.Μάλιστα έχει αποδειχθεί ότι κάθε επιπλέον bit αυξάνει το SNR κατά 6db.Αυτή η αύξηση της ανάλυσης του μετατροπέα που συνοδεύεται από

διατήρηση ή και μείωση της τιμής του OSR, είναι πολύ σημαντική σε εφαρμογές μεγάλης ταχύτητας και ανάλυσης.

Επιπλέον, η χρήση ενός κβαντιστή πολλών bit είναι πολύ σημαντική στην περίπτωση μετατροπέα απλού σταδίου μεγάλης τάξης.Οι μετατροπείς απλού σταδίου τάξης μεγαλύτερης του δύο είναι ασταθείς.Η αστάθεια, όπως είδαμε και στην παράγραφο 2.1.3, οφείλεται στην διαφορά του σήματος είσοδου και την έξοδο του κβαντιστή.Με την χρήση του κβαντιστή πολλών bit βελτιώνεται η ευστάθεια του μετατροπέα αφού μειώνεται η παραπάνω διαφορά και έτσι αυξάνεται η τάξη της μορφοποίησης θορύβου, με συνέπεια το SNR να αυξάνεται περισσότερο των 6 db για κάθε επιπρόσθετο bit του κβαντιστή.Εκτός απο τον μετατροπέα απλού σταδίου, ο κβαντιστής πολλών bit χρησιμοποιείται και στην δομή πολλαπλών σταδίων.Έτσι ο θόρυβος κβάντισης που οδηγείται στο επόμενο στάδιο είναι μικρότερος, γεγονός που συντελεί στην αποφυγή κορεσμού του μετατροπέα.Στον μετατροπέα πολλαπλών σταδίων, ο κβαντιστής πολλών bit τοποθετείται συνήθως στο τελευταίο στάδιο αφού ο θόρυβος κβάντισης των προηγούμενων σταδίων θεωρητικά έχει εξαλειφθεί(όπως και οι μη γραμμικότητες των πολλών bit DAC).

Το μεγάλο μειονέκτημα των κβαντιστών πολλών bit είναι η μη γραμμικότητα του εσωτερικού μετατροπέα από ψηφιακό σε αναλογικό(DAC). Αν εξαιρέσουμε τον 1-bit DAC, οι υπόλοιποι DAC πολλών bit είναι μη γραμμικοί. Όταν στον μετατροπέα χρησιμοποιήσουμε έναν κβαντιστή πολλών bits, τότε αναγκαστικά και ο DAC πρέπει να είναι πολλών bit. Ο οποιοσδήποτε θόρυβος του DAC προστίθεται στον ίδιο κόμβο με το σήμα εισόδου και έτσι περνάει απευθείας στην έξοδο του μετατροπέα. Αντίθετα με τον θόρυβο του κβαντιστή που υφίσταται μορφοποίηση από την συνάρτηση μεταφοράς του θορύβου του συστήματος. Επειδή ο θόρυβος του DAC δεν υφίσταται μορφοποίηση, στην ουσία η μη γραμμικότητα του μετατροπέα είναι ίση με την γραμμικότητα του DAC. Επομένως όσο περισσότερο γραμμικός είναι ο DAC πολλών bit, τόσο μεγαλύτερη είναι η ανάλυση του ΣΔ Α-Ψ μετατροπέα.

Το πρόβλημα της μη γραμμικότητας του DAC πολλών bit, αντιμετωπίζεται με την χρήση διαφόρων κυκλωματικών τεχνικών όπως είναι οι electronic trimming και δυναμική αντιστοιχία στοιχείου(dynamic element matching-DEM).Η πιο δημοφιλής μέθοδος είναι η DEM.Έχει σχεδιαστεί ώστε να μετατρέπει το DC σφάλμα σε ενα ευρύ φάσματος θόρυβο, επιλέγοντας διαφορετικά στοιχεία να αναπαραστήσουν ένα κώδικα ψηφιακής εισόδου σε διαφορετικές χρονικές στιγμές.Με την μέθοδο DEM δεν εξαλείφονται τα σφάλματα αλλά απλώνεται η ισχύς τους σε ένα ευρύτερο εύρος ζώνης.Πληροφοριακά, τέσσερις προσεγγίσεις υλοποίησης της μεθόδου DEM[2] είναι:

- Random Dynamic Averaging (RDA)
- Data Weighted Averaging (DWA)
- Individual Level Averaging (ILA)
- Clock Level Averaging (CLA)

Πέρα της μη γραμμικότητας του DAC, ένας κβαντιστής πολλών bit είναι πιο πολύπλοκος από τον αντίστοιχο ενός bit ο οποίος μπορεί να υλοποιηθεί σαν ένα απλό συγκριτή.Στην περίπτωση ενός flash Α-Ψ μετατροπέα εαν επιθυμούμε N bit ανάλυση, τότε πρέπει να χρησιμοποιήσουμε 2^N - 1 συγκριτές.Η κυκλωματική αυτή πολύπλοκότητα οδηγεί σε υψηλή κατανάλωση και κατάληψη μεγάλου χώρου.Επιπλέον, ο κβαντιστής πολλών bit μπορεί να εμφανίσει DC-offset,σφάλμα κέρδους και μη γραμμικότητες.

2.3.2 Evóς bit

Σε εναν ΣΔ Α-Ψ μετατροπέα η χρήση κβαντιστή ενός bit έχει το πλεονέκτημα ότι ο DAC που μπορεί να χρησιμοποιηθεί στην ανάδραση είναι γραμμικός. Έτσι δεν προστίθεται επιπλέον θόρυβος και αποφεύγεται η χρήση υψηλής κατανάλωσης και πολυπλοκότητας DEM κυκλωμάτων, που στοχεύουν στην γραμμικοποίηση των DAC πολλών bit.

Επιπλέον, ο ενός bit κβαντιστής είναι απλός στην υλοποίηση(συνήθως ισοδύναμος με κύκλωμα ενός comparator)και πάσχει μόνο από DC-offset και όχι από σφάλμα κέρδους και μη γραμμικότητες. Ακόμα και το DC-offset εξαλείφεται από την ανάδραση, αφού η συνάρτηση μεταφοράς του θορύβου έχει ένα μηδενικό στο DC(μηδενική συχνότητα).

Το κύριο μειονέκτημα έιναι η περιορισμένη ανάλυση του μετατροπέα για δεδομένο OSR.Όπως δείχνει και η σχέση (1.16) το SNR του μετατροπέα ενός bit (B=1) εξαρτάται απο το OSR και την τάξη του φίλτρου του μετατροπέα.Ωστόσο αύξηση του OSR ισοδυναμεί με αύξηση της κατανάλωσης και αύξηση της τάξης του φίλτρου του μετατροπέα οδηγεί σε αστάθεια.

2.4 Feedback ή Feedforward

Η επιλογή της τοπολογίας Feedback ή Feedforward του φίλτρου του ΣΔ Α-Ψ μετατροπέα είναι εξίσου σημαντική όπως και οι προηγούμενες επιλογές.Γενίκα ένας απλός ΣΔ μετατροπέας μπορεί να περιγραφεί από την αρχιτεκτονική της γραφικής 2.8.Από την τοπολογία αυτή, προκύπτουν οι σχέσεις [5]:

$$H(z) = \frac{1}{1 + L_1(z)}$$
(2.15)

Και

$$G(z) = \frac{L_0(z)}{1 + L_1(z)}$$
(2.16)

Οι οποίες στην ουσία είναι η συνάρτηση μεταφοράς θορύβου(NTF) και η συνάρτηση μεταφοράς σήματος(STF) αντίστοιχα του μετατροπέα. Στην πράξη, η $L_1(z)$ έχει υψηλό κέρδος στην ζώνη σήματος και για τον λόγο αυτό είναι υπεύθυνη για την μορφοποίηση του θορύβου. Πιο συγκεκριμένα, οι πόλοι της $L_1(z)$ γίνονται τα μηδενικά της NTF. Επίσης να σημειώσουμε ότι τόσο η NTF όσο και η STF έχουν του ίδιους πόλους, που δεν είναι άλλοι από τις ρίζες της ποσότητας $1 + L_1(z) = 0$.



Γραφική 2.8: Αρχιτεκτονική ενός ΣΔ μετατροπέα

2.4.1 Feedback

Η τοπολογία της γραφικής 2.9 είναι μία αλυσίδα ολοκληρωτών με κατανεμημένη ανατροφοδότηση(distributed feedback).Τα φίλτρα L₀ και L₁για την συγκεκριμένη τοπολογία είναι [5]:

$$L_0(z) = \frac{b_1}{(z-1)^n}$$
(2.17)

Και

$$-L_1(z) = \frac{a_1}{(z-1)^n} + \frac{a_2}{(z-1)^{n-1}} + \frac{a_3}{(z-1)^{n-2}} + \dots$$
(2.18)

Οι πόλοι της $L_1(z)$ γίνονται μηδενικά της NTF, συνεπώς τα μηδενικά της NTF βρίσκονται στο dc(μηδενική συχνότητα).



Γραφική 2.9: Τοπολογία κατανεμημένης ανατροφοδότησης

Στην τοπολογία κατανεμημένης ανατροφοδότησης, οι απαιτήσεις για κέρδος και εύρος ζώνης μειώνονται καθώς απομακρυνόμαστε από τον κβαντιστή.

Έστω ότι η NTF έχει σχεδιαστεί ως ένα υψιπερατό φίλτρο, όπως είναι το φίλτρο Butterworth, τότε η STF θα είναι ένα χαμηλοπερατό φίλτρο με τους πόλους του Butterworth.Συμπεραίνουμε οτί είναι εφικτό να εξασφαλίσουμε σχεδόν επίπεδη απόκριση στην ζώνη διέλευσης σήματος του φίλτρου.Η επίπεδη απόκριση της STF έχει το πλεονέκτημα αποφυγής φίλτρου στην είσοδο, το οποίο στοχεύει στην αποτροπή των εισόδων που προκάλουν υπερφόρτωση του μετατροπέα(peaking).Επίσης η STF έχει τη μέγιστη, συγκριτικά με όλες τις άλλες τοπολογίες, ζώνη μετάβασης μεταξύ της ζώνης διέλευσης σήματος και της αποκοπής επιτρέποντας καλύτερες anti-aliasing ιδιότητες.Επιπλέον αξίζει να σημειωθεί ότι η υλοποίηση της STF ως ένα χαμηλοπερατό φίλτρο αυξάνει την ευστάθεια του μετατροπέα.

Εκτός των παραπάνω, η τοπολογία της κατανεμημένης ανατροφοδότησης εφόσον συνδυαστεί με δίαφορους DAC πάρεχει δυνατότητα έλεγχου του σήματος στους κόμβους των ολοκληρωτών(scaling) εξασφαλίζοντας την βέλτιστη αναλογία θορύβου-γραμμικότητας και κατ'επέκταση χαμηλότερη κατανάλωση.

Τέλος, αποφεύγεται η χρήση υψηλής κατανάλωσης ενισχυτών για την υλοποίηση κυκλώματος αθροιστή στην είσοδο του κβαντίστη κατι που συμβαίνει στην feedforward τοπολογία.Συχνά,επίσης η τοπολογία συνδυάζεται με τοπικές ανατροφοδοτήσεις που στοχεύουν στην βελτίωση της μορφοποίησης θορύβου στο τέλος της ζώνης σήματος.

Το πιο σημαντικό μειονέκτημα της τοπολογίας αυτής είναι ότι οι έξοδοι των ολοκληρωτών περιέχουν ποσότητες τόσο του σήματος εισόδου όσο και του φιλτραρισμένου θορύβου κβάντισης.Το γεγονός αυτό, μπορεί να γίνει αντιληπτό αν κατανοήσουμε τι συμβαίνει όταν έναν dc σήμα εφαρμοστεί στην είσοδο.Εφόσον κάθε ολοκληρωτής έχει άπειρο dc κέρδος, το άθροισμα των δύο μονοπατιών που οδηγούν στην είσοδο του κάθε ολοκληρωτή πρέπει να είναι μηδέν ώστε να αποτρέψουν οποιοδήποτε περιεχόμενο dc να εμφανιστεί στην είσοδο τους.Το ένα μονοπάτι είναι το 1-bit σήμα ανατροφοδότησης πολλαπλασιασμένο με έναν συντελεστή.Το άλλο μονοπάτι εισόδου του ολοκληρωτή είναι η έξοδος του προηγούμενου ολοκληρωτή.Έτσι η έξοδος του προηγούμενου ολοκληρωτή, πρέπει να περιέχει μία dc ποσότητα ώστε να εξουδετερώσει το 1-bit σήμα ανατροφοδότησης.

Κάθε έξοδος ολοκληρωτή περιέχει έναν συνδυασμό φιλτραρισμένου θορύβου κβάντισης και σήματος εισόδου. Έτσι η παλινδρόμηση του σήματος στους κόμβους των ολοκληρωτών είναι μεγάλη και επηρεάζει αρνητικά την γραμμικότητα τους.

2.4.2 Feedforward

Η τοπολογία της γραφικής 2.10 είναι μία αλυσίδα ολοκληρωτών με feedforward άθροιση [5]. Τα φίλτρα L_0 και L_1 για την συγκεκριμένη τοπολογία είναι:

$$L_0(z) = -L_1(z) = \frac{a_1}{(z-1)} + \frac{a_2}{(z-1)^2} + \frac{a_3}{(z-1)^3} + \dots$$
(2.19)

29

Από την φύση της τοπολογίας του φίλτρου οι πόλοι της $L_1(z)$ περιορίζονται στο dc(z=1,j0). Οι πόλοι της $L_1(z)$ γίνονται μηδενικά της NTF, συνεπώς όλα τα μηδενικά της NTF βρίσκονται στο dc(μηδενική συχνότητα).



Γραφική 2.10: Τοπολογία feedforward άθροισης

Φίλτρα Chebyshev δεν μπορούν να υλοποιηθούν με την τοπολογία αυτή, καθώς έχουν μηδενικά αποκοπής σε μη μηδενικές συχνότητες.Αντίθετα είναι εφικτή η υλοποίηση υψιπερατών Butterworth φίλτρων.Ένα μειονέκτημα της Butterworth NTF είναι ότι παράγει μια STF η οποία περιέχει κορυφές(peaking) στις υψηλές συχνότητες.Έτσι αν δεν μπορούμε να παράγουμε επίπεδη απόκριση της STF, η μόνη λύση είναι η χρήση ενός επιπλέον φίλτρου στην είσοδο.Το φίλτρο αυτό, αποτρέπει τις είσοδους να προκαλέσουν υπερφόρτωση του μετατροπέα.

Ένα άλλο μειονέκτημα της τοπολογίας αυτής είναι η χρήση υψηλής κατανάλωσης ενισχυτών για την υλοποίηση κυκλώματος αθροιστή στην είσοδο του κβαντίστη.Ωστόσο,η τοπολογία πλεονεκτεί έναντι της προηγούμενης στο γεγονός ότι η παλινδρόμηση (swing) στους κόμβους των ολοκληρωτών καθορίζεται μόνο απο τον θόρυβο κβάντισης.Έτσι, η παλινδρόμηση είναι μικρή και δεν προσθέτει απαιτήσεις για αύξηση της γραμμικότητας των ολοκληρωτών.

Μία μικρή παραλλαγή της τοπολογίας αυτής, όπως φαίνεται και στην γραφική 2.11, είναι η χρήση αρνητικών ανατροφοδοτήσεων γύρω από τα ζεύγη των ολοκληρωτών στο φίλτρο του μετατροπέα.Οι αρνητικές ανατροφοδοτήσεις, μετακινούν τα μηδενικά της NTF μακρία απο το dc κατά μήκος του μοναδιαίου κύκλου. Έτσι, οι συχνότητες του άπειρου κέρδους loop(και κατ'επέκταση η άπειρη μείωση θορύβου) ολισθαίνουν μακριά από το dc σε σε πεπερασμένες θετικές συχνότητες.Εν κατακλείδι, η τοποθέτηση μηδενικών στον μοναδιαίο κύκλο βελτιώνει την μορφοποίηση θορύβου στην άκρη της ζώνης σήματος.



Γραφική 2.11: Τοπολογία feedforward άθροισης με τοπικές ανατροφοδοτήσεις

Τέλος, να σημειώθει ότι συχνά χρησιμοποιείται συνδυασμός των δύο προαναφερθέντων τοπολογιών κυρίως όταν μας ενδιαφέρει να υπάρχει ανεξαρτησία στο προσδιορισμό των STF και NTF.

Trade-offs και διαδικασίες βέλτιστης αναλογικής σχεδίασης

3.1 Trade-offs – Περιοχές λειτουργίας του MOSFET

Κάθε MOS συσκευή η οποία λειτουργεί στην περιοχή κορεσμού(V_{DS}>V_{DSAT}) σε ένα αναλογικό κύκλωμα, λειτουργεί κάτω από ένα δεδομένο ρεύμα πόλωσης στην υποδοχή,δεδομένο συντελεστή αναστροφής και μήκος καναλιού.Ο συντελεστής αναστροφής παρέχει μια αριθμητική αναπαράσταση της περιοχής και του επιπέδου αναστροφής του MOS, επιτρέποντας βέλτιστη αναλογική σχεδίαση στην ασθενή,μέτρια και ισχυρή αναστροφή.Ο συντελεστής αναστροφής μπορεί να υπολογιστεί σύμφωνα με την παρακάτω σχέση:

$$IC = \frac{I_D}{I_{SPEC0} \left(\frac{W}{L}\right)}$$
(3.1)

Όπου *I_{SPEC0}* το ρεύμα τεχνολογίας:

$$I_{SPEC0} = 2n_0 \mu_0 C'_{OX} U_T^2$$
(3.2)

Ο συντελεστής υποστρώματος διατηρείται σταθερός στην μέση τιμή μέτριας αναστροφής του n_0 και ο συντελεστής κινητικότητας σταθερός στην χαμηλού πεδίου τιμή του μ_0 . C'_{OX} είναι ο συντελεστής διαγωγιμότητας και U_T η θερμική τάση.

Κάθε αλλαγή των παραπάνω τριών σχεδιαστικών παραμέτρων οδηγεί σε διαφορετικά tradeoffs λειτουργίας.Η γραφική 3.1 παρουσιάζει τις περιοχές λειτουργίας του MOSFET και παραθέτει τα trade-offs λειτουργίας ως προς τον επιλεγμένο συντελεστή αναστροφής και μήκος καναλιού για δεδομένο ρεύμα πόλωσης στην υποδοχή.

Με την λειτουργία σε χαμηλούς συντελεστές αναστροφής, weak ή moderate αναστροφή, (στο αριστερό άκρο της γραφικής,τιμές IC<10) εξασφαλίζονται υψηλές τιμές για την διαγωγιμότητα g_m, το πηλίκο g_m/I_D και το DC κέρδος τάσης.Ταυτόχρονα, η τάση V_{EFF} = V_{GS} - V_T και η τάση κορεσμού υποδοχήςπηγής V_{DSAT}, παίρνουν τις ελάχιστες τιμές τους.Ελάχιστες τιμές έχουμε και στους δύο τύπους θορύβων, θερμικό και flicker καθώς και στο ταίριασμα ρεύματος.Τέλος, σε αυτές τι περιοχές, παρατηρείται ότι η επιφάνεια της πύλης WL, τα πλάτη καναλιού, ο λόγος W/L και οι χωρητικότητες κυμαίνονται σε μεγάλα επίπεδα, με αποτέλεσμα να υπάρχει μείωση στο εύρος ζώνης [6].

Όσον αφορά την λειτουργία σε υψηλούς συντελεστές αναστροφής,strong αναστροφή, (στο δεξί άκρο της γραφικής, τιμές IC>10) εξασφαλίζεται υψηλή τιμή για το εύρος ζώνης f_T, σε συνδυασμό με χαμηλές τιμές για το πλάτος καναλιού W, την επιφάνεια της πύλης WL, τις χωρητικότητες και την

παραμόρφωση της διαγωγιμότητας.Τέλος, σε αυτές τις περιοχές,παρατηρείται μη επιθυμητή αύξηση των τάσεων V_{EFF}, V_{DSAT} και μείωση της διαγωγιμότητας g_m, του πηλίκου g_m/I_D και του DC κέρδους τάσης.



Γραφική 3.1: Trade-offs αναλογικής σχεδίασης

Έτσι, ερμηνεύοντας τα trade-offs της γραφικής μόνο ως προς τον συντελεστή αναστροφής, προκύπτουν τα εξης συμπεράσματα:

- Η τάση V_{EFF} = V_{GS} V_T και η τάση κορεσμού υποδοχής-πηγής V_{DSAT} είναι ελάχιστες στην ασθενή αναστροφή και αυξάνονται κατά την τετραγωνική ρίζα του IC στην ισχυρή αναστροφή.
- Η διαγωγιμότητα g_m και το πηλίκο g_m/I_D είναι μέγιστα στην ασθενή αναστροφή, μειώνονται ελάχιστα στην μέτρια και μειώνονται κατά την αντίστροφη τετραγωνική ρίζα του IC στην ισχυρή αναστροφή.
- Όσο αφορά το DC κέρδος τάσης και το εύρος ζώνης προκύπτει ότι όσο ο IC αυξάνεται στην ασθενή αναστροφή, το κέρδος παραμένει σταθερό λόγω του σταθερού πηλίκου g_m/I_D, ενώ το εύρος ζώνης μειώνεται ανάλογα με τον IC, εξαιτίας της μείωσης της επιφάνεια της πύλης και των εσωτερικών χωρητικοτήτων πύλης.Στην ισχυρή αναστροφή, το κέρδος μειώνεται κατά την αντίστροφη τετραγωνική ρίζα του IC αφού το g_m/I_D μειώνεται, ενώ το εύρος ζώνης αυξάνεται κατά την τετραγωνική ρίζα του IC. Έτσι το γινόμενο κέρδους-εύρος ζώνης είναι σταθερό.
- Ο θόρυβος flicker, αυξάνεται σύμφωνα με την τετραγωνική ρίζα του IC, επειδή η επιφάνεια της πύλης μειώνεται αντίστροφα με το IC.Για υψηλές τιμές του IC, έχουμε επιπλέον αύξηση του θόρυβου, ειδικά στα PMOS εξαιτίας της αύξησης του με τον συντελεστή αναστροφής.

Η λειτουργία με μικρά μήκη καναλιού(στο κάτω μέρος της γραφικής 3.1) ελλατώνει την αντίσταση υποδοχής-πηγής r_{ds}, το DC κέρδος τάσης και την τάση early V_A. Η r_{ds} είναι ανάλογη με την V_A καθώς ισούται με το πηλίκο V_A/I_D.Επειδή η επιφάνεια της πύλης WL, τα πλάτη καναλιού και οι χωρητικότητες πρέπει να μειώνονται με το μήκος, για να διατηρείται ο λόγος W/L σταθερός, αυτές οι παράμετροι βρίσκονται σε χαμηλά επίπεδα για μικρά μήκη καναλιού, με αποτέλεσμα να αυξάνονται το εύρος ζώνης, το mismatch του ρεύματος και ο θόρυβος flicker στην πύλη και υποδοχή των τρανζίστορ.

Αντίθετα, η λειτουργία με μεγάλα μήκη καναλιού(στο πάνω μέρος της γραφικής 3.1)οδηγεί σε αύξηση της αντίστασης υποδοχής-πηγής r_{ds}, του DC κέρδους τάσης και της τάσης early V_A. Επειδή η επιφάνεια της πύλης WL, τα πλάτη καναλιού και οι χωρητικότητες πρέπει να αυξάνονται με το μήκος, για να διατηρείται ο λόγος W/L σταθερός,αυτές οι παράμετροι βρίσκονται σε υψηλά επίπεδα για μεγάλα μήκη καναλιού, με αποτέλεσμα να μείωνονται το εύρος ζώνης, το mismatch του ρεύματος και ο θόρυβος flicker στην πύλη και υποδοχή των τρανζίστορ.Τέλος τα μήκη καναλιού, στο μέσο της γραφικής, αντιστοιχούν σε ελάχιστες τιμές των παραμέτρων V_{EFF}, V_{DSAT}, θερμικού θορύβου και παραμόρφωσης g_m και μέγιστες τιμές των παραμέτρων g_m,g_m/I_D. Έτσι, ερμηνεύοντας τα trade-offs της γραφικής μόνο ως προς το μήκος καναλιού, προκύπτουν τα εξης συμπεράσματα:

- Η τάση early V_A και η αντίσταση υποδοχής-πηγής r_{ds}, για μικρά μήκη καναλιού, μειώνονται στην ασθενή αναστροφή εξαιτίας του DIBL(drain-induced barrier lowering). Αύξηση του μήκους καναλιού έχει ως αποτέλεσμα την αύξηση τους, εξαιτίας της μείωσης της επιρροής του DIBL.
- Το κέρδος τάσης αυξάνεται ανάλογα με το μήκος καναλιού, ενώ το εύρος ζώνης μειώνεται ως προς το αντίστροφο τετράγωνο του L.
- Οι εσωτερικές χωρητικότητες πύλης, εξαρτώνται από το μήκος καναλιού, αυξάνονται ως προς το τετράγωνο του L εξαιτίας της σημαντικής αύξησης της επιφάνειας πύλης.
- Ο θόρυβος flicker στην πύλη και υποδοχή των τρανζίστορ, εξαρτάται από το μήκος καναλιού, μειώνεται αντίστροφα με το L εξαιτίας της αύξησης της επιφάνειας πύλης κατά το τετράγωνο του L.
- Ο θερμικός θόρυβος είναι ανεξάρτητος του μήκους καναλιού.Εξαίρεση αποτελεί η περίπτωση μικρού μήκους συσκευών που λειτουργούν σε υψηλό IC.

Ο συνδυασμός λειτουργίας σε χαμηλούς συντελεστές αναστροφής και μεγάλα μήκη καναλιού(στο πάνω αριστερά μέρος της γραφικής) οδηγεί σε DC βελτιστοποίηση ελλατώνοντας το εύρος ζώνης, το mismatch του ρεύματος και τον θόρυβο flicker στην πύλη και υποδοχή των τρανζίστορ, ενώ συγχρόνως αυξάνει το DC κέρδος τάσης, την διαγωγιμότητα g_m, το πηλίκο g_m/I_D και την αντίσταση υποδοχής-πηγής.

Αντίστοιχα, ο συνδυασμός λειτουργίας σε υψηλούς συντελεστές αναστροφής και μικρά μήκη καναλιού(στο κάτω δεξιά μέρος της γραφικής) οδηγέι σε ΑC βελτιστοποίηση αυξάνοντας το εύρος ζώνης, το mismatch του ρεύματος και τον θόρυβο flicker στην πύλη και υποδοχή των τρανζίστορ, ενώ συγχρόνως ελλατώνει το DC κέρδος τάσης, την επιφάνεια της πύλης, τις χωρητικότητες πύλης και την παραμόρφωση της διαγωγιμότητας.

Οι περιοχές λειτουργίας του MOSFET ανάλογα με τις τιμές του συντελεστή αναστροφής IC είναι η ασθενής, η μέτρια και η ισχυρή περιοχή αναστροφής.Η ασθενής αναστροφή λαμβάνει χώρα για IC < 0.1, η μέτρια αναστροφή για 0.1 < IC < 10 και η ισχυρή αναστροφή για IC > 10.'Οπως θα δούμε και

στην επόμενη παράγραφο, η λειτουργία στην περιοχή μέτριας αναστροφής είναι η πιο ενδεδειγμένη για την σχεδίαση σε χαμηλή τάση τροφοδοσίας. Αυτό συμβαίνει κυρίως λόγω της υψηλής διαγωγιμότητας, εύρους ζώνης και την χαμηλή τάση κορεσμού υποδοχής-πηγής που έχουν τα MOSFET στην περιοχή αυτή [6].

3.2 Περιοχές αναστροφής του MOSFET

Στην προηγούμενη παράγραφο ανέλυσα τα ποιοτικά trade-offs απόδοσης γία ένα δεδομένο συντελεστή αναστροφής και μήκος καναλιού.Τώρα θα αναλύσουμε τα trade-offs της απόδοσης, ανά περιοχή αναστροφής του MOSFET, για δεδομένο συντελεστή αναστροφής όπως φαίνεται και στην παρακάτω γραφική 3.2.



Γραφική 3.2: Trade-offs περιοχών λειτουργίας του MOSFET

Έτσι, με βάση την παραπάνω γραφική, οι υποπεριοχές αναστροφής του MOSFET είναι:

- Deep weak inversion (IC < 0.1, V_{EFF} < -163mV, V_{DSAT} <104mV).Σε αυτή την περιοχή έχουμε ελάχιστες τιμές για τις τάσεις V_{EFF},V_{DSAT} όπως και για το εύρος ζώνης.Μεγάλη αύξηση παρατηρείται στο πλάτος και την επιφάνεια πύλης, ενώ μικρότερη αύξηση συμβαίνει στο DC κέρδος τάσης, την διαγωγιμότητα g_m και το πηλίκο g_m/I_D.Τέλος, υπάρχει υψηλό ρεύμα διαρροής.
- High side of weak inversion (IC = 0.1, V_{EFF} = -72mV, V_{DSAT} = 108mV).Στην περιοχή αυτή έχουμε βέλτιστες τιμές για την διαγωγιμότητα g_m και το πηλίκο g_m/I_D.Οι τάσεις V_{EFF}, V_{DSAT} παραμένουν

χαμηλές, ενώ σε υψηλές τιμές εξακολουθούν να βρίσκονται το DC κέρδος τάσης, το πλάτος και η επιφάνεια πύλης.Τέλος, υπάρχει αύξηση στο εύρος ζώνης.

- Weak-inversion side of moderate inversion (0.1 < IC < 1, -72mV < V_{EFF} < 40mV, 108mV < V_{DSAT} < 135mV). Se autή την περίπτωση έχουμε, λόγω αύξησης του συντελεστή αναστροφής, μείωση του πλάτους, της επιφάνειας πύλης, της διαγωγιμότητα g_m, του πηλίκου g_m/I_D και του κέρδους τάσης. Ένω αύξηση παρατηρείται στις τάσεις V_{EFF} , V_{DSAT} και στο εύρος ζώνης.
- Center of moderate inversion (IC = 1, V_{EFF} = 40mV, V_{DSAT} = 135mV).Οι παράμετροι που μειώθηκαν στην προηγούμενη περιοχή υφίστανται περαιτέρω μέιωση, ενώ περαιτέρω αύξηση παρατηρείται στις παραμέτρους που αυξήθηκαν και πριν.
- Strong-inversion side of moderate inversion (1 < IC < 10, 40mV < V_{EFF} < 225mV, 135mV < V_{DSAT} < 243mV).Η λειτουργία σε αυτές τις τρείς τελευταίες περιοχές ενδείκνυται για σχέδιαση χαμηλής κατανάλωσης και τροφοδοσίας.Το μέγεθος και το εύρος ζώνης είναι μέτρια, ενώ το πηλίκο g_m/I_D είναι σχετικά υψηλό.Οι τάσεις V_{EFF} , V_{DSAT} έχουν επίσης μέτρια τιμή.Τέλος να σημειωθεί λόγω του μικρού κορεσμού, το εύρος ζώνης αν και δεν είναι και το μέγιστο δυνατό επαρκή για πολλές εφαρμογές.
- Low-side of strong inversion (10 < IC < 100, $225mV < V_{EFF} < 724mV$, $243mV < V_{DSAT} < 595mV$). Η περιοχή αυτή έχει πολύ υψηλό εύρος ζώνης και χαμηλό πλατός, επιφάνεια πύλης. Ωστόσο, οι χαμηλές τιμές της διαγωγιμότητας g_m, του πηλίκου g_m/I_D και του κέρδους τάσης, σε συνδυασμό με τις υψηλές τάσεις V_{EFF}, V_{DSAT} δεν υποστηρίζουν low-voltage σχεδίαση.
- Heavy or deep strong inversion (IC > 100, V_{EFF} > 724mV, V_{DSAT} > 595mV). Όμοια με πριν, η λειτουργία και σε αυτή την υποπεριοχή δεν συνίσταται για low-voltage σχεδίαση. Παρατηρούνται πολύ υψηλές τάσεις V_{EFF}, V_{DSAT}, πολύ υψηλό εύρος ζώνης, μικρή επιφάνεια πύλης, χαμηλή διαγωγιμότητα και πηλίκο g_m/I_D και πολύ μικρό κέρδος τάσης [6].

Συνοψίζοντας, στην γραφική 3.2 έχουμε μια αριθμητική αναπαράσταση των trade-offs της απόδοσης για ένα δεδομένο συντελεστή αναστροφής.Οι παράμετροι W, WL, g_m/I_D , g_m και A_{Vi} μειώνονται καθώς ο IC αυξάνεται(μετάβαση απο weak σε strong inversion), ενώ οι τάσεις V_{EFF} , V_{DSAT} και το εύρος ζώνης f_{Ti} αυξάνονται.Η λειτουργία στην ασθενή αναστροφή μπορεί να επιφέρει μία μικρή αύξηση των g_m/I_D , g_m και A_{Vi} , ταυτόχρονα όμως αυξάνονται σημαντικά τα W και WL και επέρχεται σημαντική μείωση του εύρους ζώνης.Το εύρος ζώνης είναι μέγιστο στην ισχυρή αναστροφή.Στην περιοχή όμως αυτή, έχουμε πολύ χαμηλές τιμές των παραμέτρων g_m/I_D , g_m και A_{Vi} ,συνδυασμένες με υψηλές τάσεις V_{EFF} , V_{DSAT} που δεν υποστηρίζουν χαμηλής τάσης τραφοδοσίας σχεδίαση.Τέλος, η μέτρια αναστροφή πάρεχει μέτριες αλλά ικανοποιητικές τίμες για τις παραμέτρους W, WL, g_m/I_D , g_m , A_{Vi} και f_{Ti} , ενώ επιθυμητές είναι και οι τιμές για τις τάσεις V_{EFF} , V_{DSAT} ώστε να μπορεί να επιτευχθεί low-voltage σχεδίαση.Εξαιτίας της σπουδαιότητας των τάσεων αυτών, θα παραθέσω εκφράσεις υπολογισμού τους συναρτήσει του συντελεστή αναστροφής.

Η σχέση που συνδέει την $V_{EFF} = V_{GS} - V_T$ με το ρεύμα της υποδοχής απο την ασθενή έως την ισχυρή αναστροφή δίνεται από τον τύπο:
$$I_{\rm D} = 2n\mu C'_{OX} U_T^2(\frac{W}{L}) ln^2 (1 + e^{\frac{V_{GS} - V_T}{2nU_T}})$$
(3.3)

Όπου n o substrate factor του τρανζίστορ, μ η κινητικότητα τον φορέων πλειονότητας στο κανάλι, C'_{OX} η χωρητικότητα του οξειδίου της πύλης και U_T η θερμική τάση.Επίσης, το ρεύμα πόλωσης της υποδοχής,στην περιοχή κορεσμού, δίνεται από την σχέση:

$$I_{\rm D} = 2n\mu C_{OX}' U_T^2 \left(\frac{W}{L}\right) IC \tag{3.4}$$

Εξισώνοντας την (3.3) με την (3.4) έχουμε:

$$2n\mu C'_{OX} U_T^2 \left(\frac{W}{L}\right) ln^2 (1 + e^{\frac{V_{GS} - V_T}{2nU_T}}) = 2n\mu C'_{OX} U_T^2 \left(\frac{W}{L}\right) IC$$

$$\rightarrow ln^2 (1 + e^{\frac{V_{GS} - V_T}{2nU_T}}) = IC$$

$$\rightarrow ln(1 + e^{\frac{V_{GS} - V_T}{2nU_T}}) = \sqrt{IC}$$

$$\rightarrow e^{\frac{V_{GS} - V_T}{2nU_T}} = e^{\sqrt{IC}} - 1$$

$$\rightarrow ln(e^{\frac{V_{GS} - V_T}{2nU_T}}) = ln(e^{\sqrt{IC}} - 1)$$

$$\rightarrow V_{GS} - V_T = 2nU_T ln(e^{\sqrt{IC}} - 1)$$

$$\rightarrow V_{EFF} = 2nU_T ln(e^{\sqrt{IC}} - 1)$$
(3.5)

Επομένως, η σχέση της τάσης V_{EFF} με τον συντελεστή αναστροφής από ασθενή μέχρι ισχυρή αναστροφή, δίνεται απο τον τύπο (3.5)[6].Τέλος όσο αφόρα την τάση κορεσμού υποδοχής-πηγής V_{DSAT}, από ασθενή μέχρι ισχυρή αναστροφή ως προς το IC, προκύπτει ότι δίνεται από την παρακάτω σχέση:

$$V_{DSAT} = 2U_{T}\sqrt{IC + 0.25} + 3U_{T}$$
(3.6)

3.3 Τεχνολογίες υλοποίησης-Παράμετροι σχεδίασης

Η σχεδίαση του ενισχυτή του ολοκλήρωτη του ΣΔ Α-Ψ μετατροπέα που θα συζητηθεί στο επόμενο κεφάλαιο έγινε σε τεχνολογία των 90nm με την βοήθεια του **CADENCE DESIGN SYSTEM PROGRAM.**Η σχεδίαση του κυκλώματος έγινε με την εγκαθίδρυση και χρήση της βιβλιοθήκης tsmcN90rf. Στην συνέχεια ακολουθεί ο υπολογισμός της χωρητικότητας οξειδίου-πύλης C'_{OX} , του Bodyeffect παράγοντα γ, του διπλάσιου δυναμικού Fermi Φ, του παράγοντα διαγωγιμότητας K_p, και του ρεύματος τεχνολογίας I_{spec0} (για shape factor, W/L = 1) των NMOS και PMOS που χρησιμοποιώ στην σχεδίαση.

NMOS:

$$C'_{OX} = \frac{\varepsilon_{OX}}{T_{OX}} = \frac{3.45 \cdot 10^{-11}}{2.83 \cdot 10^{-9}} = 1.22 \cdot 10^{-2} \frac{F}{m^2}$$

$$\gamma = \frac{\sqrt{2 \cdot q \cdot \varepsilon_{si} \cdot N_{sub}}}{C'_{OX}} = \frac{\sqrt{2 \cdot q \cdot \varepsilon_{si}} \cdot \sqrt{N_{sub}}}{C'_{OX}} = \frac{5.8 \cdot 10^{-15} \cdot \sqrt{6 \cdot 10^{22}}}{1.22 \cdot 10^{-2}} = 0.116 \sqrt{V}$$

$$\mathcal{D}_F = U_T \cdot \ln(\frac{N_{sub}}{n_i(T)}) = 2 \cdot U_T \cdot \ln(\frac{N_{sub}}{n_i(300K)}) = 0.026 \cdot \ln(\frac{6 \cdot 10^{22}}{1.19 \cdot 10^{16}}) = 0.40 \text{ V}$$

$$K_\rho = \mu \cdot C'_{OX} = 44.87 \cdot 10^{-3} \cdot 1.22 \cdot 10^{-2} = 5.47 \cdot 10^{-4} \frac{A}{V^2}$$

$$I_{spec0} = 2 \cdot n \cdot U_T^2 \cdot K_\rho = 2 \cdot 1.11 \cdot 6.6784 \cdot 10^{-4} \cdot 5.47 \cdot 10^{-4} = 0.8109 \,\mu\text{A}$$

Κάποιες άλλες τιμές παραμέτρων μικρότερης σημασίας είναι: $A_{VT} = 2 \text{ mV} \cdot \mu\text{m}$, UCRIT = $2.2 \cdot 10^6 \text{ V/m}$, LAMBDA = 0.5, $A_{\text{beta}} = 0.01 \,\mu\text{m}$, LETA = 0.8 και WETA = 0.

PMOS:

$$C_{OX}' = \frac{\varepsilon_{OX}}{T_{Ox}} = \frac{3.45 \cdot 10^{-11}}{3 \cdot 10^{-9}} = 1.15 \cdot 10^{-2} \frac{F}{m^2}$$

$$\gamma = \frac{\sqrt{2 \cdot q \cdot \varepsilon_{Si} \cdot N_{Sub}}}{C_{OX}'} = \frac{\sqrt{2 \cdot q \cdot \varepsilon_{Si}} \cdot \sqrt{N_{Sub}}}{C_{OX}'} = \frac{5.8 \cdot 10^{-15} \cdot \sqrt{6 \cdot 10^{22}}}{1.15 \cdot 10^{-2}} = 0.123 \sqrt{V}$$

$$\mathcal{D}_F = U_T \cdot \ln(\frac{N_{Sub}}{n_i(T)}) = 2 \cdot U_T \cdot \ln(\frac{N_{Sub}}{n_i(300K)}) = 0.026 \cdot \ln(\frac{6 \cdot 10^{22}}{1.19 \cdot 10^{16}}) = 0.40 \text{ V}$$

$$K_\rho = \mu \cdot C_{OX}' = 8.236 \cdot 10^{-3} \cdot 1.15 \cdot 10^{-2} = 0.947 \cdot 10^{-4} \frac{A}{V^2}$$

$$I_{speco} = 2 \cdot n \cdot U_T^2 \cdot K_\rho = 2 \cdot 1.07 \cdot 6.6784 \cdot 10^{-4} \cdot 0.947 \cdot 10^{-4} = 0.1353 \,\mu\text{A}$$

Kάποιες άλλες τιμές παραμέτρων μικρότερης σημασίας είναι: $A_{VT} = 2 \text{ mV} \cdot \mu\text{m}$, UCRIT = $13 \cdot 10^6 \text{ V/m}$, LAMBDA = 1.0, $A_{beta} = 0.01 \,\mu\text{m}$, LETA = 0.4 και WETA = 0.

3.4 A single bit 10MHz Continuous-Time $\Delta\Sigma$ in 90nm CMOS

Με βάση τις αρχιτεκτονικές που παρουσιάστηκαν στον κεφάλαιο 2, καταλήγω στην αρχιτεκτονική της γραφικής 3.3[7].Τα κριτήρια της επιλογης αυτής, είναι το υψηλό δυναμικό εύρος (DR) και το μεγάλο εύρος ζώνης.Τα δύο αυτά κριτήρια σε συνδυασμό με την χαμηλή κατανάλωση ισχύος αποτελούν τον ακρογωνιαίο λίθο της σχεδίασης ευρυζωνικών ασύρματων συστημάτων.Ο ΣΔ Α-Ψ μετατροπέας που περιγράφεται είναι ενός bit συνεχούς χρόνου, με 10 MHz εύρος ζώνης στα 1.2V και 90nm CMOS.To SNDR ειναι 65 db, ενώ η κατανάλωση του είναι μόλις 6.8 mW.



Γραφική 3.3: Αρχιτεκτονική του τρίτης τάξης απλού bit CTΔΣ

Παρατηρούμε από την παραπάνω γραφική ότι ο μετατροπέας αποτελείται από ένα φίλτρο τρίτης τάξης με κατανεμημένη ανατροφοδότηση(distributed feedback).Για την κατανεμημένη ανατροφοδότηση έχω αναφερθεί λεπτομερώς στην παράγραφο 2.4.1 .Η τοπική ανατροφοδότηση γύρω απο τον τρίτο ολοκληρωτή(g_{m3}) βελτιώνει την μορφοποίηση θορύβου στο άκρο της ζώνης σήματος. Στην τοπολογία κατανεμημένης ανατροφοδότησης, οι απαιτήσεις για κέρδος και εύρος ζώνης μειώνονται καθώς απομακρυνόμαστε από τον κβαντιστή.Το γεγονός αυτό, σε συνδυασμό με την υψηλή συχνότητα δειγματοληψίας έχει ως αποτέλεσμα το κέρδος και εύρος ζώνης του τρίτου ολοκληρωτή να είναι πολύ υψηλά.Αντιθέτως, οι περιορισμοί λόγω θορύβου και απαιτήσεων γραμμικότητας δεν είναι σημαντικοί καθώς μορφοποιούνται(ελαχιστοποιούνται) από το φίλτρο του μετατροπέα.Έτσι, για τον τρίτο ολοκληρωτή μια g_m-C υλοποίηση αποδεικνύεται η βέλτιστη επιλογή αφού συν τις αλλοις συνοδεύεται και από χαμηλή κατανάλωση.Για τους ίδιους λόγους με πριν και για

τον δεύτερο ολοκληρωτή η g_m-C υλοποίηση αποδεικνύεται η βέλτιστη επιλογή.(περισσότερα θα αναφέρω στο κεφάλαιο 5).

Όσο αφορά τον πρώτο ολοκληρωτή, λόγω της τοπολογίας κατανεμημένης ανατροφοδότησης, οι απαιτήσεις γραμμικότητας είναι πολύ μεγάλες. Η έξοδος του ολοκληρωτή καθορίζεται κυρίως από το σήμα εισόδου. Έτσι η παλινδρόμηση (swing) του σήματος στον κόμβο του ολοκληρωτή είναι μεγάλη και επηρεάζει αρνητικά την γραμμικότητά του. Αν συνυπολογίσουμε και τις όχι και τόσο μεγάλες απαιτήσεις για κέρδος και εύρος ζώνης, η υλοποίηση του ολοκληρωτή ως ΟΤΑ-RC αποδεικνύεται η βέλτιστη επιλογή.

Η χρήση τριών διαφορετικών DAC, όπως είδαμε και στην παράγραφο 2.1.3, γίνεται για να εξασφαλιστεί η ευστάθεια του απλού σταδίου ΣΔ Α-Ψ μετατροπέα .Συντελείται μείωση του συντελεστή κέρδους του κάθε ολοκληρωτή και επιτρέπεται εύκολος έλεγχος της παλινδρόμησης του σήματος στον κόμβο των ολοκληρωτών, εξασφαλίζοντας βέλτιστες τιμές θορύβου και γραμμικότητας που οδηγούν στην χαμηλότερη κατανάλωση ισχύος.

Η επιλογή του συνεχούς έναντι του διακριτού χρόνου μετατροπέα αιτιολογείται στην παράγραφο 2.2.1.Αξίζει να τονιστεί ότι επιτρέπει υψηλότερες συχνότητες δειγματοληψίας και κατ'επέκταση μεγαλύτερο εύρος ζώνης σήματος, που είπαμε πως είναι σημαντικό στα ασύρματα περιβάλλοντα κατά την υλοποίηση πομπών και δεκτών.Επίσης στην παράγραφο 2.2.2, είδαμε ότι ένα από τα κυρίως προβλήματα που αντιμετωπίζουν οι μετατροπείς συνεχούς χρόνου είναι το loop delay.Είχα αναφέρει ότι μια συνηθισμένη τεχνική ανάκτησης της απόκρισης και περιορισμόυ της μειωμένης απόδοσης είναι η χρήση μιας τοπικής ανάδρασης γύρω απο τον κβαντιστή.Η ανάδραση αυτή στην γραφική 3.3 είναι το a₄.Ωστόσο, για να εξαλειφθεί πλήρως το loop delay πρέπει να είναι σταθερό.Έτσι, στην έξοδο του κβαντιστή τοποθετείται ένα flip flop(FF στην γραφική) με καθυστέρηση μισού κύκλου ρολογιού.

Στην παράγραφο 2.3.2, είδαμε ότι σε εναν ΣΔ Α-Ψ μετατροπέα η χρήση κβαντιστή ενός bit έχει το πλεονέκτημα ότι ο DAC που μπορεί να χρησιμοποιηθεί στην ανάδραση είναι γραμμικός. Έτσι δεν προστίθεται επιπλέον θόρυβος και αποφεύγεται η χρήση υψηλής κατανάλωσης και πολυπλοκότητας DEM κυκλωμάτων, που στοχεύουν στην γραμμικοποίηση των DAC πολλών bit. Έτσι, και οι τρείς DAC είναι γραμμικοί και ενός bit. Επιπλέον, η αποφυγή DEM κυκλώματος στην συγκεκριμένη αρχιτεκτονική είναι σημαντική διότι είναι γνωστό ότι τα κυκλώματα αυτά αυξάνουν το ανεπιθύμητο loop delay.

Τέλος, να σημειωθεί ότι με τις παραπάνω επιλογές εξασφαλίζονται οι καλύτερες προϋποθέσεις για εφαρμογές υψηλών ταχυτήτων, μεγάλου εύρους ζώνης και ανάλυσης μέχρι 11 bit.

Σχεδίαση ενός folded cascode OTA με miller opamp για το gain boosting σε τάση τροφοδοσίας 1.2V

4.1 Θεωρητική ανάλυση του folded cascode OTA

Στην γραφική 4.1 φαίνεται ο folded cascode ενισχυτής της βαθμίδας των ολοκληρωτών του τρίτης τάξης απλού bit CTΔΣ της γραφικής 3.3 που επέλεξα[7].Με τον ενισχυτή αυτόν, επιτυγχάνεται υψηλή γραμμικότητα, κέρδος και καλή παλινδρόμηση(swing) εξόδου.Για να επιτύχουμε επαρκή DC κέρδος χρησιμοποιείται gain boosting, με την χρήση ενός δύο σταδίων miller ενισχυτή που στοχεύει στην αύξηση της σύνθετης αντίστασης εξόδου και κατ'επέκταση του κέρδους του OTA.



Γραφική 4.1: Folded cascode OTA with gain boosting

Στην γραφική 4.1 cascode στάδια σχηματίζουν τα τρανζίστορ M_{n1a} με M_{n2a} , M_{n1b} με M_{n2b} , M_{p3a} με M_{p4a} και M_{p3b} με M_{p4b} . Όπως φαίνεται και από την γραφική 4.2, ένα cascode στάδιο προκύπτει από την συνένωση ενός σταδίου κοινής πηγής με ένα στάδιο κοινής πύλης. Το τρανζίστορ M_1 (αντίστοιχα τα M_{n1a} , M_{n1b} , M_{p4a} και M_{p4b} της γραφικής 4.1) μετασχηματίζει την τάση της πύλης σε ρεύμα υποδοχής ανάλογο της τάσης αυτής και το ρεύμα αυτό είναι η είσοδος του $M_2(M_{n2a}$, M_{n2b} , M_{p3a} και M_{p3b} της γραφικής 4.1). Το M_1 ονομάζεται συσκευή εισόδου, ενώ το M_2 συσκευή cascode.



Γραφική 4.2: Στάδιο cascode

Για να λειτουργεί το M₁ στην περιοχή κορεσμού που μας ενδιαφέρει πρέπει[8] $V_x \ge V_{in} - V_{TH1}$.Εφόσον και τα δύο τρανζίστορ βρίσκονται στην περιοχή κορεσμού η τάση V_x καθορίζεται από την τάση V_b.Ισχύει ότι V_x = V_b - V_{GS2}.Αντικαθιστώντας στην πάνω σχέση, V_b - V_{GS2} ≥ V_{in} - V_{TH1} + V_{GS2}.Για να λειτουργεί το M₂ στην περιοχή κορεσμού πρέπει V_{out} ≥ V_b - V_{TH2}.Αντικαθιστώντας το V_b, V_{out} ≥ V_{in} - V_{TH1} + V_{GS2} - V_{TH1} + V_{GS2} - V_{TH2}.Έτσι συμπαιρένουμε ότι η ελάχιστη τάση εξόδου ώστε να λειτουργούν και τα δύο τρανζίστορ στην περιοχή κορεσμού, ισούται με το άθροισμα της τάσης υπεροδήγησης του M₁(V_{EFF1}) με την τάση υπεροδήγησης του M₂.

Ας αναλύσουμε τι συμβαίνει όταν η τάση εισόδου μεταβάλλεται από το μηδέν μέχρι το $V_{DD}(1.2V$ για την υλοποίησή μου).Όταν $V_{in} \leq V_{TH1}$, τότε τα M_1 , M_2 βρίσκονται στην περιοχή αποκοπής.Αυτό έχει ως αποτέλεσμα $V_{out} = V_{DD}$ και $V_x = V_b - V_{TH2}$.Όταν η τάση εισόδου ξεπεράσει την τάση κατωφλιού V_{TH1} , τότε το M_1 αρχίζει να άγει ρεύμα και η τάση εξόδου μειώνεται.Επιπλέον η V_{GS2} αυξάνεται ενώ η τάση V_x μειώνεται.Τέλος, για πολύ μεγάλες τιμές τάσεις εισόδου τα M_1 , M_2 οδηγούνται σταδιακά στην περιοχή τριόδου.

Η πιο σημαντική ιδιότητα του σταδίου cascode είναι η μεγάλη σύνθετη αντίσταση εξόδου.Για τον υπολογισμό της, το κύκλωμα της γραφικής 4.2 μπορεί να εξεταστεί ως ένα σταδίο κοινής πηγής σε σειρά με μία αντίσταση εκπομπού(degeneration resistor) r₀₁.Έτσι, προκύπτει:

$$R_{out} = [1 + (g_{m2} + g_{mb2})r_{O2}]r_{O1} + r_{O2}$$
(4.1)

Αν g_mr_o \gg 1, η παραπάνω σχέση γίνεται R_{out} \approx (g_{m2} + g_{mb2})r_{o2}r_{o1}. Αυτό δείχνει ότι το τρανζίστορ M₂ αυξάνει την σύνθετη αντίσταση εξόδου του M₁ κατά τον παράγοντα (g_{m2} + g_{mb2})r_{o2}. Να σημειωθεί ότι παρόλο που η προσθήκη επιπλέον τρανζίστορ αυξάνει την σύνθετη αντίσταση εξόδου, συγχρόνως αυξάνει και τις απαιτήσεις για μεγαλύτερες τάσεις ώστε να λειτουργήσουν.

Η σύνθετη αντίσταση εξόδου συνδέεται με το κέρδος τάσης με την σχέση $|A_v| = G_m R_{out}$. Το G_m καθορίζεται από κάποια διαγωγιμότητα, όπως είναι η διαγωγιμότητα του τρανζίστορ M_1 στην γραφική

4.2. Έτσι, υπόκειται σε περιορισμούς ανάλογα το ρεύμα πόλωσης και τις χωρητικότητες. Για τον λόγο αυτό είναι επιθυμητό η αύξηση του κέρδους τάσης να είναι αποτέλεσμα αύξησης της σύνθετης αντίστασης εξόδου. Δεδομένου ότι και τα δύο τρανζίστορ M₁, M₂ λειτουργούν στην περιοχή του κορεσμού έχουμε για το κέρδος ότι:

 $G_{m}\approx g_{m1}$, $R_{out}\approx (g_{m2}+g_{mb2})r_{O2}r_{O1}$

Και

$$|A_{\rm V}| = (g_{\rm m2} + g_{\rm mb2})r_{\rm O2}r_{\rm O1}g_{\rm m1}$$
(4.2)

Είδαμε ότι το cascoding στην ουσία εφαρμόζεται για να αυξήσει το κέρδος τάσης. Ο εναλλακτικός τρόπος αύξησης του κέρδους είναι η αύξηση του μήκους L του τρανζίστορ εισόδου, για ένα δεδομένο ρεύμα πόλωσης. Αν για παράδειγμα το μήκος υποτετραπλασιαστεί τότε από την σχέση του ρεύματος υποδοχής, I_D =(1/2)μ_nC_{ox}(w/L)(V_{GS} - V_{TH})², προκύπτει ότι για να παραμείνει το ρεύμα σταθερό πρέπει η τάση υπεροδήγησης V_{GS} - V_{TH} να διπλασιαστεί. Αυτό έχει ως αποτέλεσμα και οι δύο τρόποι να έχουν την ίδια κατανάλωση τάσης. Όμως, η σύνθετη αντίσταση εξόδου διαφέρει από τον έναν τρόπο στον άλλον. Με το cascoding εξασφαλίζονται υψηλότερες τιμές σε σύγκριση με την μείωση του μήκους καναλίου. Έτσι επιτυγχάνονται μεγαλύτερα κέρδη που είναι και ο στόχος μας.

Μία cascode δομή δεν είναι απαραίτητο να λειτουργεί μόνο ως ενισχυτής.Μία άλλη εφαρμογή αυτής της τοπολογίας είναι η κατασκευή σταθερών πηγών ρεύματος[8].Η υψηλή σύνθετη αντίσταση εξόδου έχει ως αποτέλεσμα η πηγή ρεύματος να είναι πολύ κοντά στην ιδανική, με αντίτιμο μεγαλύτερη κατανάλωση τάσης.Για παράδειγμα, μία πηγή ρεύματος μπορεί να υλοποιηθεί με ένα PMOS cascode όπως φαίνεται και στην γραφική 4.3.



Γραφική 4.3: NMOS cascode ενισχυτής με PMOS cascode φορτίο

Ο folded cascode ΟΤΑ της γραφικής 4.1, περίεχει την τοπολογία της γραφικής 4.3 δύο φορές.Στο αριστερό μέρος, στο στάδιο εξόδου τα τρανζίστορ M_{n1a} με M_{n2a} είναι ο NMOS cascode ενισχυτής, ενώ τα τρανζίστορ M_{p3a} με M_{p4a} είναι το PMOS cascode φορτίο που λειτουργεί ως πηγή ρεύματος.Αντίστοιχα, στο δεξί μέρος του σταδίου εξόδου τα τρανζίστορ M_{n1b} με M_{n2b} είναι ο NMOS cascode ενισχυτής, ενώ τα τρανζίστορ M_{p3b} με M_{p4b} είναι το PMOS cascode φορτίο που λειτουργεί ως πηγή ρεύματος.

Η σύνθετη αντίσταση του PMOS cascode σταδίου ισούται με [1 + (g_{m3} + g_{mb3}) r_{03}] r_{04} + r_{03} . Αν οι τάσεις πόλωσης των πυλών επιλεγούν κατάλληλα, η μέγιστη παλινδρόμηση(swing) εξόδου ισούται με V_{DD} – (V_{GS1} – V_{TH1}) – (V_{GS2} – V_{TH2}) – | V_{GS3} – V_{TH3} |– | V_{GS4} – V_{TH4}]. Όσο αφορά το κέρδος της τοπολογίας της γραφικής 4.3, για

$$G_m \approx g_{m1}, R_{out} = \{ [1 + (g_{m2} + g_{mb2})r_{O2}]r_{O1} + r_{O2} \} || \{ [1 + (g_{m3} + g_{mb3})r_{O3}]r_{O4} + r_{O3} \}$$

Έχουμε,

$$|A_{V}| \approx g_{m1}R_{out} \rightarrow |A_{V}| \approx g_{m1}[(g_{m2}r_{O2}r_{O1})||(g_{m3}r_{O3}r_{O4})]$$
(4.3)

Όπως είδαμε, η βασική ιδέα της cascode δομής είναι η μετατροπή της τάσης εισόδου σε ρεύμα και οδήγηση του ρεύματος σε ένα στάδιο κοινής πύλης.Παρόλα αυτά, δεν είναι απαραίτητο η συσκευή εισόδου να είναι του ίδιου τύπου με την συσκευή cascode.Για παράδειγμα η ίδια λειτουργία μπορεί να επιτευχθεί και με ένα συνδυασμό PMOS-NMOS.Αυτό το ζευγάρι τρανζίστορ διαφορετικού τύπου σχηματίζει το στάδιο folded cascode.Χρησιμοποιείται σε εφαρμογές για αύξηση της σύνθετης αντίστασης εξόδου και επιπλεόν επιλύει πολλά από τα προβήματα της cascode δομής, όπως είναι η περιορισμένη παλινδρόμηση του σήματος εξόδου και οι δυσκολίες στην ταξινόμηση των σημάτων εισόδου-εξόδου.Πιο συγκεκριμένα όπως φαίνεται και στην γραφική 4.4, σε έναν NMOS ή PMOS cascode ενισχυτή, η συσκευή εισόδου αντικαθίσταται από τον αντίθετο τύπο τρανζίστορ ενώ συνεχίζει να επιτελεί την λειτουργία μετατροπής της τάσης εισόδου σε ρεύμα.



Γραφική 4.4: Μετασχηματισμός NMOS(a)-PMOS(b) cascode ενισχυτή σε folded cascode

Επίσης όπως παρατηρούμε στην παραπάνω γραφική, μία πηγή ρεύματος (I₂) προστίθεται για να πολώσει τα τρανζίστορ M₁,M₂.Αύξηση της τάσης εισόδου, έχει ως αποτέλεσμα μείωση της V_{out}.Το κέρδος τάσης και η σύνθετη αντίσταση εξόδου των κυκλωμάτων υπολογίζονται όμοια με πριν.Ας εξετάσουμε τώρα τι αλλαγές επιφέρει στην περιοχή λειτουργίας των τρανζίστορ η μεταβολή της τάσης εισόδου V_{in}[8].Για V_{in} > V_{DD} - $|V_{TH1}|$, στην γραφική 4.4(a) το M₁ βρίσκεται στην περιοχή της αποκοπής και από το M₂ διέρχεται όλο το ρεύμα(βρίσκεται δηλαδή στην περιοχή του κορεσμού).Για V_{in} < V_{DD} - $|V_{TH1}|$, το τρανζίστορ M₁ λειτουργεί πλέον στην περιοχή κορεσμού και κατ'επέκταση άγει ρεύμα το οποίο ελαττώνεται καθώς η τάση εισόδου μειώνεται.Μάλιστα μετα από μια συγκεκριμένη τιμή της τάσης εισόδου, το τρανζίστορ M₁ λειτουργεί πλέον στην περιοχή τριόδου.Τέλος, και στα τέσσερα κυκλώματα της γραφικής 4.4, το ρεύμα που δημιουργείται απο την συσκευή εισόδου(M₁) περνάει αρχικά από το M₂ και έπειτα από το φορτίο(I₁) και παράγει τάση εξόδου περίπου ίση με g_{m1}R_{out}V_{in}.

Η βασική ιδέα του folded cascode σταδίου που παρουσιάστηκε στην γραφική 4.4, μπορεί εύκολα να εφαρμοστεί σε διαφορικά ζεύγη και συνεπώς σε τελεστικούς ενισχυτές.Στην γραφική 4.5, βλέπουμε το ισοδύναμο κύκλωμα που προκύπτει αν αντικαταστήσουμε το NMOS ζευγάρι εισόδου με ένα PMOS πανομοιότυπο αντίγραφο.



Γραφική 4.5 : Τοπολογία folded cascode τελεστικού ενισχυτή

Τα δύο αυτά κυκλώματα παρουσιάσουν δύο σημαντικές διαφορές.

 Στο κύκλωμα της γραφικής 4.5(a), ένα ρεύμα πόλωσης, το I_{ss}, παρέχει το ρεύμα υποδοχής τόσο των τρανζίστορ εισόδου(M₁,M₂) όσο και των συσκευών cascode(M₃,M₄).Στο κύκλωμα της γραφικής 4.5(b), το ζευγάρι εισόδου χρειάζεται ένα επιπλέον ρεύμα πόλωσης I_{ss}, ενώ οι συσκευες cascode(M₃,M₄) πολώνονται με τα ρεύματα I_{ss1} = I_{ss}/2 + I_{D3} και I_{ss2} = I_{ss}/2 + I_{D4} αντίστοιχα. Έτσι, συμπεραίνουμε ότι η folded cascode τοπολογία καταναλώνει περισσότερη ισχύ. Στο κύκλωμα της γραφικής 4.5(a), το επίπεδο common mode εισόδου δεν μπορεί να ξεπεράσει την τιμή V_{b1} – V_{GS3} + V_{TH1}.Μικρό επίπεδο common mode εισόδου έχει ως αποτέλεσμα σε low voltage σχεδίαση, οι ελάχιστες τιμές των τάσεων των τρανζίστορ εισόδου να οδηγήσουν τα τρανζίστορ αυτά στην αποκοπή, κάτι που δεν είναι επιθυμητό. Στο κύκλωμα της γραφικής 4.5(b), η ελάχιστη τιμή που μπορεί να πάρει το επίπεδο common mode εισόδου είναι η μέγιστη προηγούμενη, V_{b1} – V_{GS3} + |V_{THP}|.Έτσι, γίνεται εφικτή η ταξινόμηση των σημάτων εισόδουεξόδου με τους περιορισμούς παλινδρόμησης των σημάτων να είναι αμελητέοι.

Aς επιστρέψουμε στον folded cascode OTA της γραφικής 4.1 που είναι και το ζητούμενο.Παρατηρούμε ότι η τοπολογία της γραφικής 4.5(b) αποτελεί την βάση του folded cascode OTA που μας ενδιαφέρει. Όπως ανέφερα και πιο πάνω, τα τρανζίστορ M_{p3a} με M_{p4a} και M_{p3b} με M_{p4b} (της γραφικής 4.1) είναι τα PMOS cascode φορτία που λειτουργούν ως πηγές ρεύματος. Στην ουσία είναι οι πηγές ρεύματος I_1 και I_2 αντίστοιχα της γραφικής 4.5(b). Επιπλέον, στην γραφική 4.1 τα τρανζίστορ M_{n1a} , M_{n1b} και M_{p2} χρησιμοποιούνται για την πόλωση των cascode συσκευών M_{n2a} , M_{n2b} και του διαφορικού ζεύγους εισόδου αντίστοιχα. Επομένως, είναι ισοδύναμα με τις πηγές ρεύματος I_{SS1} , I_{SS2} που πολώνουν τις cascode συσκευές M_3 , M_4 και την πηγή ρεύματος I_{SS} που χρησιμοποιείται για την πόλωση του διαφορικού ζεύγους εισόδου της γραφικής 4.5(b).

O folded cascode ενισχύτης της γραφικής 4.1 χωρίς το gain boosting, είναι αντίστοιχος με τον ενισχυτή που παρουσιάζεται στην γραφική 4.6. Με κατάλληλη επιλογή των τάσεων V_{b1} , V_{b2} , η παλινδρόμηση(swing) του σήματος εξόδου παίρνει ελάχιστη τιμή V_{EFF3} + V_{EFF5} και μέγιστη V_{DD} – $(|V_{EFF7}|+|V_{EFF9}|)$.



Γραφική 4.6: Folded cascode ενισχυτής χωρίς gain boosting

Για τον υπολογισμό του κέρδους στηριζόμαστε πάλι στην σχέση $|A_v| = G_m R_{out}$, άρα πρέπει να βρούμε με τι ισούται το G_m και με τι η R_{out} .Για

$$G_{m} \approx g_{m1} \kappa \alpha \iota R_{out} = [(g_{m7} + g_{mb7})r_{07}r_{09}] | | [(g_{m3} + g_{mb3})r_{03}(r_{01}) | r_{05}]$$

Έχουμε,

$$|A_{V}| \approx g_{m1}\{[(g_{m7} + g_{mb7})r_{07}r_{09}]| | [(g_{m3} + g_{mb3})r_{03}(r_{01}||r_{05}]\}$$

και το αντίστοιχο κέρδος για τον ενισχυτή 4.1[8](χωρίς gain boosting):

$$|A_{V}| \approx g_{mp1a} \{ [(g_{mp3a} + g_{mbp3a})r_{Op3a}r_{Op4a}] | | [(g_{mn2a} + g_{mbn2a})r_{On2a}(r_{Op1a}) | r_{On1a}] \}$$
(4.4)

Μέχρι τώρα έχουμε έχουν αναφερθεί οι τοπολογίες cascode και folded cascode που στοχεύουν στην αύξηση της σύνθετης αντίστασης εξόδου και κατά επέκταση στην αύξηση του κέρδους τάσης.Το gain boosting, στοχεύει στην περαιτέρω αύξηση της σύνθετης αντίστασης εξόδου αποφεύγοντας την προσθήκη άλλων συσκευών cascode.Η ιδέα του gain boosting απεικονίζεται στην γραφική 4.7.





Το στάδιο cascode της γραφικής 4.7(a) είδαμε και προηγουμένως ότι έχει σύνθετη αντίσταση εξόδου περίπου ίση με $g_{m2}r_{02}r_{01}$. Στην γραφική 4.7(b) φαίνεται ο ρόλος της συσκευής εισόδου ως αντίσταση εκπομπού να αντιλαμβάνεται το ρεύμα εξόδου και να το μετατρέπει σε τάση. Η παρατήρηση ότι η τάση αυτή που παράγεται κατά μήκος της αντίστασης r_{01} είναι ανάλογη με το ρεύμα εξόδου, δίνει

την δυνατότητα να αφαιρεθεί από την V_b και έτσι να τοποθετηθεί το τρανζίστορ M₂ σε μία ανατροφοδότηση ρεύματος-τάσης, αυξάνοντας την σύνθετη αντίσταση εξόδου της τοπολογίας.Σύμφωνα με την γραφική 4.7(c), η βασική ιδέα είναι να οδηγηθεί η πύλη του M₂ από έναν ενισχυτή(miller opamp στην περίπτωση μας), ο οποίος εξισώνει την τάση V_x με την V_b.Έτσι, οι μεταβολές της τάσης στην υποδοχή του M₂ επηρεάζουν την τάση V_x σε μικρότερο βαθμό αφού ο ενισχυτής ρυθμίζει την τελευταία αυτή τάση.Πιο σταθερή τάση V_x, έχει ως αποτέλεσμα το ρεύμα που διαρρέει την αντίσταση r_{o1} και κατά επέκταση το ρεύμα εξόδου να παραμένει πιο σταθερό, εξασφαλίζοντας μεγαλύτερη σύνθετη αντίσταση εξόδου.Ο τύπος που δίνει την αυξημένη αυτή σύνθετη αντίσταση εξόδου λόγω του gain boosting είναι:

$$R_{out} \approx A_1 g_{m2} r_{O2} r_{O1} \tag{4.5}$$

Παρατηρούμε ότι η σύνθετη αντίσταση εξόδου λόγω του gain boosting(άρα και το κέρδος) σε σύγκριση με αυτή του απλού σταδίου cascode, είναι αυξημένη κατά το κέρδος του ενισχυτή A₁.Επομένως, το συνολικό κέρδος του folded cascode ενισχυτή με gain boosting της γραφικής 4.1 προκύπτει από το κέρδος τάσης του folded cascode ενισχυτή που δίνεται από την σχέση (4.4), πολλαπλασιάζοντας τις διαγωγιμότητες των συσκευών cascode με το αντίστοιχο κέρδος τάσης του miller ενισχυτή. Έτσι, έχουμε:

 $|A_{V}| \approx g_{mp1a} \{ [(A_{mlOpamp1}g_{mp3a} + g_{mbp3a})r_{Op3a}r_{Op4a}] | | [(A_{mlOpamp2}g_{mn2a} + g_{mbn2a})r_{On2a}(r_{Op1a} | | r_{On1a}] \}$ (4.6)

4.2 Θεωρητική ανάλυση του miller opamp

Όπως αναφέρθηκε και στην προηγούμενη παράγραφο, στον folded cascode OTA για να εξασφαλιστεί επαρκή DC κέρδος χρησιμοποιείται gain boosting, με την χρήση ενός δύο σταδίων miller ενισχυτή[9].O miller ενισχυτής που επέλεξα παρουσιάζεται στην γραφική 4.8.Αποτελείται από τρείς καθρέπτες ρεύματος, ένα διαφορικό ζεύγος εισόδου, μία πηγή ρεύματος Ι₀ η οποία υλοποιείται με την χρήση ενός PMOS τρανζίστορ, το τρανζίστορ m6 και τις χωρητικότητες φορτίου, αντιστάθμισης(C_I,C_C αντίστοιχα).



Γραφική 4.8: Miller opamp δύο σταδίων

Το πρώτο στάδιο το οποίο είναι και το μεγαλύτερο μέρος του κυκλώματος, αποτελείται από ένα διαφορικό ζεύγος ανάμεσα σε δύο καθρέπτες ρεύματος.Το στάδιο αυτό, μας οδηγεί στο δεύτερο στάδιο(ή στάδιο εξόδου) του ενισχυτή που αποτελείται από την εν σειρά σύνδεση ενός PMOS(m6) με ένα NMOS(m7) τρανζίστορ.Ας αναλύσουμε το κύκλωμα σύμφωνα με την ροή ρεύματος σε αυτό. Αρχικά, το ρεύμα εισόδου I₀(m8) εφαρμόζεται στην είσοδο του NMOS καθρέπτη ρεύματος των mb,m5.Για το ρεύμα υποδοχής του m5 που αποτελεί και την έξοδο του καθρέπτη έχουμε:

$$I_{O} = \frac{1}{2} \mu_{n} C_{OX} \left(\frac{W_{mb}}{L_{mb}} \right) \left(V_{GS} - V_{TH} \right)^{2} \kappa \alpha \iota \ I_{Dm5} = \frac{1}{2} \mu_{n} C_{OX} \left(\frac{W_{m5}}{L_{m5}} \right) \left(V_{GS} - V_{TH} \right)^{2} \epsilon \pi \rho \mu \epsilon \nu \omega \varsigma,$$

$$I_{Dm5} = \frac{(W_{m5}/L_{m5})}{(W_{mb}/L_{mb})} I_{O}$$
(4.7)

Έτσι, δεδομένου ότι σε έναν NMOS καθρέπτη ρεύματος τα τρανζίστορ πρέπει να έχουν το ίδιο μήκος καναλιού έχουμε ότι $L_{m5} = L_{mb}$. Συνεπώς, από την σχέση (4.7) προκύπτει ότι το ρεύμα εξόδου του καθρέπτη είναι πολλαπλάσιο του ρεύματος αναφοράς I_o κατά τον παράγοντα n = $\frac{W_{m5}}{W_{mb}}$. Πρέπει ακόμα να σημειωθεί ότι και τα δύο τρανζίστορ λειτουργούν στην περιοχή του κορεσμού και η σύνθετη αντίσταση εξόδου του καθρέπτη είναι $\frac{1}{g_{ds5}}$.

Έπειτα, το ρεύμα εξόδου του NMOS καθρέπτη χρησιμοποιείται για την πόλωση του διαφορικού ζεύγους εισόδου των τρανζίστορ m2,m1. Είδαμε στην προηγούμενη παράγραφο, ότι μικρό επίπεδο common mode εισόδου έχει ως αποτέλεσμα σε low voltage σχεδίαση, οι ελάχιστες τιμές των τάσεων των τρανζίστορ εισόδου να οδηγήσουν τα τρανζίστορ αυτά στην αποκοπή, κάτι που δεν είναι επιθυμητό. Όμως, με την χρήση του παραπάνω ρεύματος το $I_{Dm2} - I_{Dm1}$ γίνεται ανεξάρτητο του $V_{in.CM}$.Η τάση εισόδου δίνεται προσεγγιστικά από την σχέση $V_{i2} = V_{i1} = \frac{V_{dd} - V_{ss}}{2}$.Εφόσον έχουμε ίσες τιμές των τάσεων εισόδου του διαφορικού ζεύγους, $V_{i2} = V_{i1}$, τα ρεύματα πόλωσης στην υποδοχή των m2,m1 είναι ίσα και δίνονται από την σχέση:

$$I_{Dm2} = I_{Dm1} = \frac{I_{Dm5}}{2}$$
(4.8)

Η τάση υποδοχής των m2,m1 ισούται με $V_{i2} + V_{TH}$, ενώ η τάση πηγής ισούται με $V_{i2} - V_{TH}$.Τα m2,m1 πρέπει να λειτουργούν στην περιοχή κορεσμού και επιπλέον να έχουν ίσα μήκη($L_{m2} = L_{m1}$) και ίσα πλάτη($W_{m2} = W_{m1}$) καναλιού.Ακόμα να σημειωθεί ότι η τιμή της διαγωγιμότητας του m1 πρέπει να έχει τιμή τουλάχιστον GBW·C_c[9].

Στη συνέχεια, το ρεύμα της σχέσης (4.8) εφαρμόζεται στην είσοδο του PMOS καθρέπτη ρεύματος των m3,m4. Για το ρεύμα υποδοχής του m4 που αποτελεί και την έξοδο του καθρέπτη έχουμε:

$$I_{Dm4} = \frac{(W_{m4}/L_{m4})}{(W_{m3}/L_{m3})} I_{Dm3} \rightarrow I_{Dm4} = \frac{(W_{m4}/L_{m4})}{(W_{m3}/L_{m3})} \cdot \frac{I_{Dm5}}{2}$$

και σε περίπτωση ίσων διαστάσεων των m3,m4,

$$I_{Dm4} = I_{Dm3} = \frac{I_{Dm5}}{2}$$
(4.9)

Στους PMOS καθρέπτες ρεύματος ισχύει ότι η τάση υποδοχής του τρανζίστορ που εφαρμόζεται το ρεύμα αναφοράς πρέπει να ίση με την τάση υποδοχής του τρανζίστορ που παράγει το ρεύμα εξόδου. Πρέπει ακόμα να σημειωθεί ότι και τα δύο τρανζίστορ λειτουργούν στην περιοχή του κορεσμού και η σύνθετη αντίσταση εξόδου του καθρέπτη είναι $\frac{1}{g_{ds4}}$.

Ο PMOS καθρέπτης ρεύματος σηματοδοτεί το τέλος του πρώτου σταδίου.Τώρα περνάμε στο δεύτερο στάδιο(ή στάδιο εξόδου) του ενισχυτή που αποτελείται από την εν σειρά σύνδεση ενός PMOS(m6) με ένα NMOS(m7) τρανζίστορ.Το ρεύμα εξόδου του ενισχυτή, όπως φαίνεται και από την γραφική 4.8 είναι στην ουσία το ρεύμα υποδοχής των τρανζίστορ m6,m7.Προκύπτει ότι το ρεύμα αυτό, είναι πολλαπλάσιο του ρεύματος I_{Dm5}:

$$I_{out} = I_{Dm6} = I_{Dm7} = k \cdot I_{Dm5}$$
(4.10)

Όσον αφορά το τρανζίστορ m6, έχουμε τα εξής: Η τάση πύλης ισούται με την τάση υποδοχής του m4, η τάση πηγής του ισούται με την τάση τροφοδοσίας V_{dd} και η τάση υποδοχής του ισούται με $(V_{dd} - V_{ss})/2$.Το μήκος καναλιού του είναι το ίδιο με αυτό του m3 και το πλάτος καναλιού είναι 2 · k φόρες μεγαλύτερο του m3.

Όσον αφορά το τρανζίστορ m7, έχουμε τα εξής: Η τάση πύλης ισούται με την τάση υποδοχής του m5(και του mb), η τάση πηγής του ισούται με την γείωση V_{ss} και η τάση υποδοχής του ισούται με $(V_{dd} - V_{ss})/2$.Το μήκος καναλιού του είναι το ίδιο με αυτό του m5 και του mb, αφού σχηματίζει NMOS καθρέπτη ρεύματος με το mb.Το πλάτος καναλιού του είναι κ φόρες μεγαλύτερο του m5.

Στην γραφική 4.9, παρουσιάζεται το μοντέλο μικρού σήματος[10] του δύο σταδίων miller ενισχυτή. Σύμφωνα με αυτό, παρατηρούμε ότι το πρώτο στάδιο είναι ισοδύναμο με μία πηγή ρεύματος ελεγχόμενη από την τάση εισόδου.C₁ είναι η παρασιτική χωρητικότητα που σχηματίζεται από την υποδοχή των m1,m4 ως την γείωση.Ο κόμβος αυτός έχει σύνθετη αντίσταση:

$$R_1 = \frac{1}{g_{ds1} + g_{ds4}} \tag{4.11}$$

Όσον αφορά το δεύτερο στάδιο(στάδιο εξόδου) παρατηρούμε ότι είναι επίσης ισοδύναμο με μία πηγή ρεύματος ελεγχόμενη από την τάση V_I.Σε αυτό το στάδιο, η παρασιτική χωρητικότητα είναι συνήθως πολύ μικρότερη από την χωρητικότητα φορτίου C_I και για τον λόγο αυτόν παραλείπεται.Η σύνθετη αντίσταση του σταδίου είναι:

$$R_{II} = \frac{1}{g_{ds6} + g_{ds7}}$$
(4.12)



Γραφική 4.9: Ισόδυναμο Μοντέλο μικρού σήματος του δύο σταδίων miller opamp

Τέλος, αν και εκτενέστερη αναφορά θα γίνει στην επόμενη παράγραφο ακολουθούν οι τύποι της κατανάλωσης ισχύος, του GBW και του κέρδους τάσης του miller ενισχυτή της γραφικής 4.8.

$$PowDissip = (V_{dd} - V_{ss}) \cdot (I_0 + I_{Dm5} + I_{out})$$
(4.13)

Από την παραπάνω σχέση πρόκυπτει ότι η κατανάλωση ισχύος ενός κυκλώματος, ισούται με το γινόμενο της πηγής τροφοδοσίας με το άθροισμα των πηγών ρεύματος του.

$$\mathsf{GBW} = \frac{g_{m_1}}{c_c} \tag{4.14}$$

Άρα το μοναδιαίο κέρδος-εύρος ζώνης εξαρτάται μόνο από την διαγωγιμότητα του m1 και την χωρητικότητα αντιστάθμισης.Τέλος, το κέρδος τάσης του ενισχυτή με βάση την σχέση |A_v|= G_mR_{out} και τις σχέσεις (4.11),(4.12) ισούται με :

$$A = \frac{g_{m1}}{g_{ds1+g_{ds4}}} \cdot \frac{g_{m6}}{g_{ds6+g_{ds7}}}$$
(4.15)

Στην επόμενη παράγραφο αφού πρώτα γίνει η διαστασιολόγηση των MOS των κυκλωμάτων, με την χρήση του εργαλείου Cadence Design Systems θα κάνουμε DC-AC ανάλυση για να υπολογίσουμε τις κυριότερες παραμέτρους των ενισχυτών.

4.3 DC-AC ανάλυση των ενισχυτών

Ας ξεκινήσουμε με την ανάλυση του miller opamp δύο σταδίων.Η μεθοδολογία σχεδίασης που ακολουθήθηκε βασίζεται στον λόγο g_m/I_D , σύμφωνα με το [11].Ενώ οι περισσότερες μεθοδολογίες που χρησιμοποιούνται για την αναλυτική σύνθεση αναλογικών κυκλωμάτων θεωρούν ότι τα MOS τρανζίστορ λειτουργούν στην ισχυρή ή στην ασθενή αναστροφή, η παραπάνω μεθοδολογία επιτρέπει την σύνθεση σε όλες της περιοχές λειτουργίας των τρανζίστορ όπως τις είδαμε στο κεφάλαιο 3. Η μέθοδος στηρίζεται στην σχέση που υπάρχει ανάμεσα στον λόγο της διαγωγιμότητας g_m με το DC ρεύμα υποδοχής I_D και το κανονικοποιημένο ρεύμα υποδοχής $I_D/(W/L)$.Η επιλογή του λόγου g_m/I_D βασίζεται στις παρακάτω ιδιότητες που έχει:

- Σχετίζεται με την απόδοση των αναλογικών κυκλωμάτων.
- Δίνει μια ένδειξη για την περιοχή λειτουργίας των τρανζίστορ.
- Παρέχει έναν απλό τρόπο καθορισμού των διαστάσεων των τρανζίστορ.
- Χαμηλότερη κατανάλωση με προσεκτική επιλογή του μήκους καναλιού των τρανζίστορ.

Ο λόγος g_m/I_D αποτελεί ένα μέτρο της ικανότητας να μετατραπεί το ρεύμα υποδοχής(άρα και η ισχύς) σε διαγωγιμότητα. Όσο μεγαλύτερη είναι η τιμή του, τόσο μεγαλύτερη είναι και η διαγωγιμότητα για μια σταθερή τιμή του ρεύματος υποδοχής. Το DC κέρδος τάσης και το GBW είναι ανάλογα του g_m , συνεπώς η απόδοση των αναλογικών κυκλωμάτων αυξάνεται καθώς αυξάνεται ο λόγος g_m/I_D . Η σχέση του λόγου g_m/I_D με την περιοχή λειτουργίας του τρανζίστορ, μπορεί να εξηγηθεί βάσει της εξάρτησης του ρεύματος υποδοχής με την τάση πύλης σύμφωνα με τον παρακάτω τύπο[12]:

$$\frac{g_m}{I_D} = \frac{1}{I_D} \cdot \frac{\partial I_D}{\partial V_G} = \frac{\partial (\ln I_D)}{\partial V_G} = \frac{\partial \{\ln(I_D/W/L)\}}{\partial V_G}$$

Η παραπάνω παράγωγος μεγιστοποιείται στην περιοχή της ασθενούς αναστροφής όπου η εξάρτηση του ρεύματος υποδοχής με την τάση πύλης είναι εκθετική, ενώ είναι δευτέρου βαθμού στην περιοχή της ισχυρής αναστροφής και καταλήγει σχεδόν γραμμική στην περιοχή της πολύ ισχυρής αναστροφής.Η μέγιστη τιμή της είναι ίση με $1/(nU_T)$, όπου n o συντελεστής υποστρώματος και U_T η θερμική τάση.Ο λόγος g_m/I_D μειώνεται καθώς κινούμαστε προς την ισχυρή αναστροφή και έτσι μπορεί να δώσει μία μια ένδειξη για την περιοχή λειτουργίας των τρανζίστορ.Στο κεφάλαιο 3, είδαμε αναλύτικα πως επηρεάζεται ο λόγος αυτός σε κάθε περιοχή λειτουργίας.Αξίζει να αναφερθεί στο σημείο αυτό ότι ο g_m/I_D και ο συντέλεστης αναστροφής ΙC(σχέση 3.1) συσχετίζονται με βάση την παρακάτω σχέση[6]:

$$\frac{g_m}{I_D} = \frac{1}{n U_T (\sqrt{IC + 0.5 \sqrt{IC} + 1})} = \frac{1}{n U_T (\sqrt{IC + 0.25} + 0.5)}$$

Έτσι, βλέπουμε ότι η αύξηση του συντελεστή αναστροφής δηλαδή μετακίνηση σε περιοχές ισχυρής αναστροφής, συνοδεύεται με μείωση του λόγου g_m/I_D .

Όπως ανάφερα και στην αρχή της ενότητας αυτής, η μέθοδος στηρίζεται στην σχέση που υπάρχει ανάμεσα στον λόγο της διαγωγιμότητας g_m με το DC ρεύμα υποδοχής I_D και το κανονικοποιημένο ρεύμα υποδοχής $I_D/(W/L)$.Οι δύο αυτοί παράγοντες της σχέσης είναι ανεξάρτητοι των διαστάσεων των τρανζίστορ, επομένως η σχέση τους αποτελεί μία μοναδική χαρακτηριστική(καμπύλη) για όλα τα τρανζίστορ του ίδιου τύπου(NMOS και PMOS) μίας συγκεκριμένης τεχνολογίας.Η μοναδικότητα της χαρακτηριστικής μπορεί να χρησιμοποιηθεί κατά την διαδικασία σχεδίασης όταν οι λόγοι διαστάσεων των τρανζίστορ W/L είναι άγνωστοι.Μόλις επιλεγεί μία τιμή για τον λόγο g_m/I_D , η περιοχή λειτουργίας του καθορίζεται και μπορεί πλέον να προσδιοριστεί ο λόγος W/L του τρανζίστορ από την χαρακτηριστική.Ο λόγος W/L του τρανζίστορ και εύρους ζώνης της σχεδίασης.

Ας ανατρέξουμε για άλλη μία φορά στην γραφική 4.8. Τα mb,m5 και mb,m7 σχηματίζουν αντίστοιχα δύο NMOS καθρέπτες ρεύματος.Όπως αναφέρθηκε και στην προηγούμενη παράγραφο, σε έναν NMOS καθρέπτη ρεύματος τα τρανζίστορ πρέπει να έχουν το ίδιο μήκος καναλιού.Έτσι, έχουμε ότι $L_{m5} = L_{mb} = L_{m7} = 1$ μm. Οι καθρέπτες ρεύματος θα πρέπει να λειτουργούν σε υψηλές τιμές IC (περίπου 10-12), στο όριο μέτριας με ισχυρή αναστροφή ή ακόμα και σε ισχυρή αναστροφή, ώστε να επιτυγχάνονται χαμηλές τιμές σε g_m/I_D και g_m, καλύτερο matching, μεγαλύτερη ταχύτητα και χαμηλότερος θόρυβος.Έτσι, τα mb,m5,m7 λειτουργούν στην μέτρια αναστροφή με λόγους g_m/I_D , $(g_m/I_D)_b = (g_m/I_D)_5 = (g_m/I_D)_7 = 7$.Το ρεύμα πόλωσης του τρανζίστορ mb, όπως φαίνεται και στην γραφική 4.8 είναι το ρεύμα της πηγής ρεύματος I₀(η οποία υλοποιείται με την χρήση του PMOS τρανζίστορ m8) και ισούται με 5.722 μΑ.Ο λόγος του καθρέπτη ρεύματος των mb,m5 έχει επιλεγεί ίσος με 1, δηλαδή (από σχέση (4.7)),

$$\frac{m5}{mb} = 1 \Rightarrow \frac{I_{Dm5}}{I_{Dmb}} = 1 \Rightarrow I_{Dm5} = I_{Dmb} = 5.66 \,\mu\text{A}$$

Η μικρή απόκλιση στην τιμή του ρεύματος υποδοχής των mb,m5 οφείλεται στην ύπαρξη mismatch. Επομένως, έχουμε ότι $(W/L)_5 = (W/L)_b = 30$ και για το παραπάνω μήκος καναλιού καταλήγουμε ότι $W_5 = W_b = 30$ μm.O λόγος του καθρέπτη ρεύματος των mb,m7 έχει επιλεγεί ίσος με 4.089, δηλαδή,

$$\frac{m7}{mb} = 4.089 \Rightarrow \frac{I_{Dm7}}{I_{Dmb}} = 4.089 \Rightarrow I_{Dm7} = 4.089 \cdot I_{Dmb} = 4.089 \cdot 5.722 \Rightarrow I_{Dm7} = 23.4 \,\mu\text{A}$$

Επομένως, έχουμε ότι $(W/L)_7 = 90$ και για το παραπάνω μήκος καναλιού καταλήγουμε ότι $W_7 = 90$ μm. Εκτός τους δύο παραπάνω NMOS καθρέπτες ρεύματος, ο ενισχυτής miller περιέχει και έναν PMOS καθρέπτη ρεύματος.Στην γραφική 4.8, είναι το ζεύγος των τρανζίστορ m3,m4.Για τα τρανζίστορ αυτά, έχει επιλεγεί ίδια τιμή για το μήκος καναλιού, $L_{m3} = L_{m4} = 0.6$ μm. Όσον αφορά την περιοχή λειτουργίας τους η οποία προσδιορίζεται από τον συντελεστή αναστροφής, ισχύουν ακρίβως τα ίδια με τους NMOS καθρέπτες ρεύματος(IC $\approx 10-12$).Έτσι, τα m3,m4 λειτουργούν στην περιοχή ισχυρής αναστροφής με λόγους g_m/I_D , $(g_m/I_D)_3 = (g_m/I_D)_4 = 10.0$ λόγος του καθρέπτη ρεύματος των m3,m4 έχει επιλεγεί ίσος με 1 και από την σχέση (4.9) για τα ρεύματα πόλωσης των m3,m4 προκύπτει:

$$I_{Dm4} = I_{Dm3} = \frac{I_{Dm5}}{2} = \frac{5.66}{2} = 2.83 \ \mu A$$

Επομένως, έχουμε ότι $(W/L)_3 = (W/L)_4 = 10$ και για το παραπάνω μήκος καναλιού καταλήγουμε ότι $W_3 = W_4 = 6$ μm.Τα τρανζίστορ του διαφορικού ζεύγους εισόδου θα πρέπει να λειτουργούν σε χαμηλές τιμές IC (περίπου 0.1) σε μέτρια αναστροφή ώστε να επιτυγχάνονται υψηλές τιμές σε g_m/l και g_m.Για ένα σταθερό ρεύμα πόλωσης, όσο πιο μεγάλος είναι ο λόγος g_m/l (transconductance efficiency), τόσο μεγαλύτερη είναι η διαγωγιμότητα g_m.Αυτό έχει ως αποτέλεσμα, όπως είδαμε και στο κεφάλαιο 3, να παρατηρείται μεγαλύτερο εσωτερικό(intrinsic) dc κέρδος και μεγαλύτερο GBW.Στον ενισχυτή miller, το διαφορικό ζεύγος εισόδου που απαρτίζεται από τα τρανζίστορ m1,m2, σχεδιάζεται έτσι ώστε τα τρανζίστορ να έχουν λόγους g_m/I_D , $(g_m/I_D)_1 = (g_m/I_D)_2$ = 10.47 και ίσα μήκη, πλάτη καναλιού.Το μήκος τους επιλέχθηκε ίσο με 3 μm.Τα ρεύματα πόλωσης τους όπως προκύπτει από την σχέση (4.8) είναι ίσα με:

$$I_{Dm2} = I_{Dm1} = \frac{I_{Dm5}}{2} = \frac{5.66}{2} = 2.83 \ \mu A$$

Επομένως, έχουμε ότι $(W/L)_1 = (W/L)_2 = 36$ και για το παραπάνω μήκος καναλιού καταλήγουμε ότι $W_1 = W_2 = 108$ μm. Επιπλέον, στο στάδιο εξόδου του miller ενισχυτή, το τρανζίστορ m6 πρέπει επίσης να λειτουργεί στην ισχυρή αναστροφή(IC=10) και μάλιστα όπως είδαμε στην προηγούμενη παράγραφο για το μήκος καναλιού του m6 ισχύει ότι $L_{m6} = L_{m3} = 0.6$ μm.Από την σχέση $g_{m6} \ge 10 \cdot g_{m1}[11]$, έχουμε ότι $(g_m/I_D)_6 = 10$.Για το ρεύμα πόλωσης του m6 σύμφωνα με την σχέση (4.10) έχουμε ότι:

$$I_{Dm6} = k \cdot I_{Dm5} = 23.39 \ \mu A$$

Συνεπώς, $(W/L)_6 = 61.8$.Τέλος, έχουμε και την πηγή ρεύματος η οποία λειτουργεί στην περιοχή ισχυρής αναστροφής(IC>10) με $(g_m/I_D)_8 = 1$, L = 4 μm, I_{D8} = 5.722 μΑ και W₈ = 1 μm. Από την παραπάνω διαστασιολόγηση προκύπτουν οι τιμές που τελικά επέλεξα να εισάγω στο εργαλείο cadence.Oι διαστάσεις των τρανζίστορ κάθε δομικής μονάδας φαίνονται στον παρακάτω πίνακα (4.1):

Transistors	g_m/I_D	W/L	W (μm)	L (μm)
mb	7	30	30	1
m1	10.47	36	108	3
m2	10.47	36	108	3
m3	10	10	6	0.6
m4	10	10	6	0.6
m5	7	30	30	1
m6	10	103	62	0.6
m7	7	90	90	1
m8	1	0.25	1	4

πινακάς 4.1. Διαθιάθεις τρανζιστο	Πίνακας	4.1: ∆	ιαστάσεις	τρανζί	ίστορ
-----------------------------------	---------	---------------	-----------	--------	-------

Ακολουθεί ακόμα ένας πίνακας στον οποίο παρουσιάζονται τα αποτελέσματα της προσομοίωσης του κυκλώματος, τα οποία περιλαμβάνουν τα ρεύματα πόλωσης των τρανζίστορ για τον εκάστοτε λόγο g_m/I_D :

Transistors	I _D bias (μA)	g_m/I_D
mb	5.722	7
m1	2.83	10.47
m2	2.83	10.47
m3	2.83	10
m4	2.83	10
m5	5.66	7
m6	23.39	10
m7	23.4	7
m8	5.722	1

 $Πίνακας 4.2: Ρεύματα πόλωσης, <math>g_m/I_D$ λειτουργίας

Βάσει της παραπάνω dc ανάλυσης του κυκλώματος και μέσω της σχέσης (4.13) έχουμε για την κανάλωση ισχύος:

PowDissip = $(V_{dd} - V_{ss}) \cdot (I_0 + I_{Dm5} + I_{out}) = (1.2 - 0) \cdot ((5.722 + 5.66 + 23.39) \cdot 10^{-6}) = 0.04172 \text{ mW}$

Ας συνεχίσουμε την ανάλυση του miller opamp με τον υπολογισμό του κέρδους, όπως προκύπτει από την DC ανάλυση του εργαλείου cadence .Γνωρίζουμε ότι |A_v|= G_mR_{out}.Η σύνθετη αντίσταση του πρώτου σταδίου από την σχέση (4.11) είναι:

 $R_{I} = \frac{1}{g_{ds1} + g_{ds4}} = \frac{1}{(0.00824 + 1.406) \cdot 10^{-6}} = 707.09 \text{ K}\Omega, \text{ άρα το κέρδος του πρώτου σταδίου είναι,}$ $A_{I} = \frac{g_{m1}}{g_{ds1} + g_{ds4}} = \frac{77.54}{0.00824 + 1.406} = 54.8280$

Ομοίως, Η σύνθετη αντίσταση του δεύτερου σταδίου από την σχέση (4.12) είναι:

$$R_{\parallel} = \frac{1}{g_{ds6} + g_{ds7}} = \frac{1}{(86.83 + 4.05) \cdot 10^{-6}} = 11 \text{ K}\Omega, \text{ επομένως το κέρδος του δεύτερου σταδίου έιναι,}$$
$$A_{\parallel} = \frac{g_{m6}}{g_{ds6} + g_{ds7}} = \frac{483.7}{88.63 + 4.05} = 5.3224$$

Άρα το ολικό κέρδος προκύπτει απλά ως το γινόμενο των δύο παραπάνω κερδών, δηλαδή Α = Α₁ · Α₁₁.Χρησιμοποιώντας την σχέση (4.15) το ολικό κέρδος του miller ενισχυτή ισούται με:

$$A = \frac{g_{m1}}{g_{ds1} + g_{ds4}} \cdot \frac{g_{m6}}{g_{ds6} + g_{ds7}} = \frac{77.54}{1.4142} \cdot \frac{483.7}{90.88} = 291.81 \Rightarrow A_{db} = 20\log 291.81 = 49.3022 \text{ db}$$

Όσον αφορά το μοναδιαίο gain bandwidth, δηλαδή το γινόμενο κέρδους-εύρους ζώνης του miller ενισχύτη που προσδιορίζει την συχνότητα στην οποία κέρδος ανοιχτού βρόγχου γίνεται μονάδα, έχουμε ότι υπολογίζεται με χρήση της (4.14) ως εξής:

GBW =
$$\frac{g_{m1}}{C_C} = \frac{77.54 \cdot 10^{-6}}{2.5 \cdot 10^{-12}} = 30.8$$
 MHz

Αξίζει να σημειωθεί ότι η τιμή της χωρητικότητας αντιστάθμισης (compensation) C_c εξαρτάται από το phase margin που θέλουμε να επιτύχουμε.Για παράδειγμα, για phase margin ίσο με 60° και χωρητικότητα φορτίου C_L = 10 pF, για τον υπολογισμό της C_c χρησιμοποιούμε την σχέση: $C_c > 0.22 \cdot C_L$

 \Rightarrow C_c = 2.5 pF[11].Στην γραφική 4.10 που ακολουθεί παρουσιάζεται το κέρδος όπως προκύπτει από την AC ανάλυση του εργαλείου cadence.



Γραφική 4.10: ΑC απόκριση-Κέρδος

Παρατηρούμε ότι το κέρδος του ενισχυτή παραμένει σταθερό στις πολύ χαμηλές συχνότητες, ενώ αρχίζει να μειώνεται καθώς η συχνότητα αυξάνεται.Η ζώνη συχνοτήτων, στην οποία το κέρδος του ενισχυτή παραμένει σχεδόν σταθερό, ονομάζεται μέση ζώνη(midband).Η σταθερή αυτή τιμή του κέρδους, 45.25db όπως φαίνεται στην γραφική, αποτελεί και το κέρδος του ενισχυτή.Στην μέση ζώνη, όλες οι χωρητικότητες (ζεύξης, παράκαμψης και οι εσωτερικές χωρητικότητες των τρανζίστορ) έχουν αμελητέα επίδραση και είναι δυνατόν να μην λαμβάνονται υπόψη κατά τον υπολογισμό του κέρδους.Στις υψηλές συχνότητες, προς το τέλος του φάσματος, η τιμή του κέρδους μειώνεται εξαιτίας των εσωτερικών χωρητικοτήτων του στοιχείου.Από την άλλη, στις χαμηλές συχνότητες του φάσματος, οι χωρητικότητες ζεύξης και παράκαμψης δεν συμπεριφέρονται πλέον ως τέλεια βραχυκυκλώματα, με αποτέλεσμα να προκαλούν πτώση στο κέρδος.

Από την AC ανάλυση του κυκλώματος προσδιορίζεται και η συχνότητα αποκοπής του ενισχυτή, δηλαδή η συχνότητα στην οποία το κέρδος έχει μειωθεί κατά 3db από την σταθερή τιμή που καταλαμβάνει στην μέση ζώνη.Επομένως η συχνότητα στην οποία το κέρδος γίνεται 42.25db είναι η συχνότητα αποκοπής και ισούται με f_{-3db} = 21.03 KHz όπως βλέπουμε και στην παρακάτω γραφική 4.11.



Γραφική 4.11: ΑC απόκριση-Συχνότητα αποκοπής

Η συχνότητα αποκοπής προσδιορίζεται συνήθως από τον επικρατούντα πόλο της συνάρτησης μεταφοράς[14].Η συνάρτηση μεταφοράς του δύο σταδίων miller opamp αποτελείται από δύο πόλους.Ο επικρατούν πόλος υπολογίζεται σύμφωνα με την παρακάτω σχέση:

 $\mathsf{P}_1 = \frac{(g_{ds1} + g_{ds4}) \cdot (g_{ds6} + g_{ds7})}{g_{m6} \cdot C_c} = \frac{1.4142 \cdot 10^{-6} \cdot 90.88 \cdot 10^{-6}}{483.7 \cdot 10^{-6} \cdot 2.5 \cdot 10^{-12}} = \frac{128.5261 \cdot 10^6}{1209.25} = 106.285 \text{ KHz}$

Η τιμή του επικρατούντα πόλου επαληθεύεται και με την χρήση της συνάρτησης bandwidth του calculator του cadence.Ο δεύτερος πόλος προσδιορίζεται από το τρανζίστορ m6 και την χωρητικότητα φορτίου σύμφωνα με την σχέση, $P_2 = g_{m6}/C_L = 48.7 \cdot 10^6$ Hz.

Από την AC ανάλυση συμπεραίνουμε ότι το κέρδος μέσης ζώνης καθορίζεται μέσω του ισοδύναμου κύκλωματος του ενισχυτή(γραφική 4.9), θεωρώντας ότι οι πυκνωτές ζεύξης και παράκαμψης συμπεριφέρονται ως τέλεια βραχυκυκλώματα και ότι οι εσωτερικές χωρητικότητες του τρανζίστορ συμπεριφέρονται ως τέλεια ανοιχτοκυκλώματα.Η συνάρτηση μεταφοράς χαμηλών συχνοτήτων καθορίζεται από την ανάλυση του ισοδύναμου κυκλώματος του ενισχυτή συμπεριλαμβάνοντας τους πυκνωτές ζεύξης και παράκαμψης, αλλα θεωρώντας ότι οι χωρητικότητες των τρανζίστορ συμπεριφέρονται ως τέλεια ανοιχτοκυκλώματα.Από την άλλη μεριά, η συνάρτηση μεταφοράς υψηλών συχνοτήτων καθορίζεται επίσης από την ανάλυση του ισοδύναμου κυκλώματος του ενισχυτή που τρανζίστορ συμπεριφέρονται ως τέλεια ανοιχτοκυκλώματα.Από την άλλη μεριά, η συνάρτηση μεταφοράς υψηλών συχνοτήτων καθορίζεται επίσης από την ανάλυση του ισοδύναμου κυκλώματος κυκλώματος με την διαφορά ότι τώρα συμπεριλαμβάνονται οι εσωτερικές χωρητικότητες του τρανζίστορ, αλλά οι πυκνωτές ζεύξης και παράκαμψης θεωρούνται ως τέλεια βραχυκυκλώματα.

Μία άλλη σημαντική παράμετρος που προκύπτει κατά την AC ανάλυση του miller ενισχυτή είναι το περιθώριο φάσης.Το περιθώριο φάσης αποτελεί ένα κριτήριο ευστάθειας για το κύκλωμα του

ενισχυτή.Ο ενισχυτής είναι ευσταθής, εάν η φάση που εισάγει, στην συχνότητα στην οποία το μέτρο ενίσχυσης του είναι 1(0 db), είναι μικρότερη από 180°, έτσι ώστε η συνολική φάση του βρόγχου ανατροφοδότησης να μη γίνει 360° ή 0°.Το περιθώριο φάσης του ενισχυτή είναι η διαφορά φάσης μεταξύ αυτής στην οποία το κέρδος γίνεται ίσο με την μονάδα, δηλαδή ίσο με 0 dB και τις -180°.Στην γραφική 4.12, υποδεικνύεται η συχνότητα στην οποία το περιθώριο φάσης το κέρδος γίνεται μονάδα, δηλαδή ίσο με 0 dB και τις -180°.Στην γραφική 4.12, υποδεικνύεται η συχνότητα στην οποία το περιθώριο φάσης είναι μικρότερο των 180° (και μεγαλύτερο από 45⁰), συμπεραίνουμε ότι το κύκλωμα είναι ευσταθές.



Γραφική 4.12: ΑC απόκριση-Περιθώριο φάσης

Η μείωση της φάσης που παρατηρείται, οφείλεται εξαιτίας της ύπαρξης μηδενικού (g_{m6}/C_c) στο δεξί μισό μιγαδικό επίπεδο, το οποίο εισάγει αρνητική ολίσθηση φάσης -90°[14].Εναλλακτικά, το περιθώριο φάσης δίνεται από την σχέση, PM = 180° – $\operatorname{arctg}(\frac{GBW}{Z}) - \sum_{i=1}^{n} \operatorname{arctg}(\frac{GBW}{P_i})$ [9], όπου Z το μηδενικό και P_i οι πόλοι του miller ενισχυτή.Όπως ανάφερα και λίγο πιο πάνω, το περιθώριο φάσης είναι μία πολύ σημαντική σχεδιαστική παράμετρος που δεικνύει το πόσο η φάση του ενισχυτή υπολείπεται η ξεπερνά την κρίσιμη τιμή των 180°, που αποτελεί την τιμή για οριακή ευστάθεια(σύμφωνα με [13], ο ενισχυτής είναι οριακά ευσταθής όταν το μέτρο της ενίσχυσής του είναι μονάδα στην συχνότητα στην οποία η διαφορά φάσης της απόκρισής του είναι 180°).

Η ανάλυση του miller ενισχυτή θα ολοκληρωθεί με τον υπολογισμό του λόγου απόρριψης κοινού σήματος και του ρυθμού ανόδου του.Ο λόγος απόρριψης κοινού σήματος(CMRR-common mode rejection ratio) χρησιμοποιείται για την μέτρηση της τάσης της συσκευής να απορρίπτει σήματα εισόδου κοινά και στις δύο εισόδους.Ιδανικά, ένας διαφορικός ενισχυτής χρησιμοποιώντας τις τάσεις εισόδου V_{i1} και V_{i2} παράγει την τάση εξόδου V_{out} = $A_d(V_{i1} - V_{i2})$, όπου A_d είναι το διαφορικό κέρδος.Ωστόσο, στην πράξη η τάση εξόδου του διαφορικού ενισχυτή δίνεται από την σχέση, V_{out} = $A_d(V_{i1} - V_{i2}) + 1/2A_{cm}(V_{i1} - V_{i2})$, όπου A_{cm} είναι το κέρδος κοινού σήματος. Ο λόγος απόρριψης κοινού σήματος του miller ενισχυτή υπολογίζεται ως εξής:

 $CMRR = 2 \cdot \frac{g_{m1} \cdot g_{m4}}{g_{ds5} \cdot g_{ds4}} = 2 \cdot \frac{77.54 \cdot 10^{-6} \cdot 60.1 \cdot 10^{-6}}{3.921 \cdot 10^{-6} \cdot 1.406 \cdot 10^{-6}} = 2 \cdot \frac{4660.154}{5.512926} = 1690.6281 \Rightarrow CMRR_{db} = 20\log 1690.6281 = 64.5609 \text{ db}.$

Γενικά ισχύει ότι στις χαμηλές συχνότητες, το κέρδος κοινού σήματος αυξάνεται, ενώ στις υψηλές, μειώνεται, λόγω των πόλων που εισάγουν οι εσωτερικές χωρητικότητες και οι χωρητικότητες που προκύπτουν από τα ισοδύναμα κυκλώματα χαμηλών και υψηλών συχνοτήτων.Το γεγονός αυτό, σε συνδυασμό με το συνεχώς μειούμενο διαφορικό κέρδος, οδηγεί στη μείωση του λόγου απόρριψης κοινού σήματος καθώς αυξάνεται η συχνότητα[14].Ο λόγος απόρριψης κοινού σήματος αποτελέι άλλη μία σημαντική σχεδιαστική παράμετρο, η οποία υποδεικνύει πόσο από το κοινό σήμα([V_{i1} + V_{i2}]/2) θα εμφανιστεί στην μέτρηση.

Τελειώνοντας την ανάλυση της συμπεριφοράς και λειτουργίας του miller ενισχυτή θα κάνω μία αναφορά στον ρυθμό ανόδου(slew rate) της εξόδου.Ως slew rate ή μέγιστος ρυθμός μεταβολής ορίζεται η δυνατότητα του σήματος εξόδου του ενισχυτή να ακολουθήσει τις μεταβολές του σήματος εισόδου.Η ταχύτητα μεταβολής της τάσης εξόδου του ενισχυτή είναι πεπερασμένη και ο τύπος που δίνει τον μέγιστο ρυθμό μεταβολής είναι: SR = max ($|\frac{\partial Vout(t)}{\partial t}|$).Όταν εφαρμόζεται ένα μεγάλο διαφορικό σήμα στην είσοδο του ενισχυτή, το στάδιο εισόδου έρχεται στον κορεσμό με αποτέλεσμα να δίνει το μέγιστο ρεύμα εξόδου I_{max} στο δεύτερο στάδιο.Το σταθερό αυτό ρεύμα περνά μέσα από τον πυκνωτή αντιστάθμισης συχνότητας του δευτέρου σταδίου και προκαλεί γραμμική άνοδο της εξόδου με κλίση $\frac{I_{max}}{C_c}$. Αυτός ο μεγαλύτερος δυνατός ρυθμός αλλαγής της τάσης εξόδου, είναι ο ρυθμός ανόδου του ενισχυτή SR = $\frac{I_{max}}{C_c}$ = $\frac{2.264}{C_c}$ × Δολουθώντας μία θεωρητική προσέγγιση[13],[14].Έτσι, έχουμε ότι SR = $\frac{I_{max}}{C_c}$ που του τρωτισταθμισης του τρανζίστορ m5 του πρώτου σταδίου και *C_c* ο πυκνωτή cital είσοδου του του σταδιου συδου του εισχυτή.

Ας προχωρήσουμε στην ανάλυση του **folded cascode** ενισχυτή. Η σχεδίαση του, αρχίζει με την διαστασιολόγηση όλων των MOSFET με βάση το βιβλίο των Yiannis Tsividis, Peter Kinget...[18].Πρώτο βήμα είναι να μελετηθεί η συμπεριφορά των τρανζίστορ, δηλαδή σε ποιες τιμές IC λειτουργούν, ποια είναι η πόλωση στις πύλες τους αλλά και ποιο είναι το ρεύμα πόλωσης τους. Τα βασικά βήματα για την σχεδίαση των τρανζίστορ κάθε βαθμίδας είναι:

- Επιλογή του μήκους καναλιού L του κάθε τρανζίστορ
- Επιλογή του ρεύματος πόλωσης στην υποδοχή
- Επιλογή του συντελεστή αναστροφής IC στο οποίο θα λειτουργεί το τρανζίστορ
- Υπολογισμός της τάσης πόλωσης της πύλης
- Υπολογισμός του πλάτους W μέσω της σχέσης W = $\frac{I_D \cdot L}{I_{SPEC0} \cdot IC}$ (4.16), όπου I_D είναι το ρεύμα πόλωσης και I_{SPEC0} το ρεύμα τεχνολογίας(specific current) για shape factor $\frac{W}{L}$ =1 [6], [19]

Ο υπολογισμός της τάσης πόλωσης της πύλης βασίζεται στην σχέση (3.5) για κάθε επιλεγμένο συντελεστή αναστροφής από WI ως SI.

Το τρανζίστορ M_{p2}, το οποίο όπως είδαμε και στην παράγραφο 4.1 χρησιμοποιείται για την πόλωση του διαφορικού ζεύγους εισόδου, λειτουργεί στην περιοχή μέτριας αναστροφής(0.1 < IC < 10).Για ρεύμα υποδοχής I_{DMp2} = 1.353 mA, μήκος καναλιού L_{Mp2} = 0.5 μm και όπως υπολογίστηκε στην παράγραφο 3.3 I_{SPECO_P} = 0.135367 μm προκύπτει W_{Mp2} = 90 μm.Όσον αφορά την τάση πόλωσης της πύλης του M_{p2}, V_{B2} = V_{GMp2} = 500 mV.Το ρεύμα αυτό χωρίζεται σε δύο ίσα μέρη και γίνεται το ρεύμα υποδοχής των τρανζίστορ του διαφορικού ζεύγους M_{p1a} και M_{p1b}.Έτσι, έχουμε ότι I_{DMp1a} = I_{DMp1b} = $\frac{I_{DMp2}}{2}$ = 676.6 μA.

Τα τρανζίστορ του διαφορικού ζεύγους θα πρέπει να λειτουργούν σε χαμηλές τιμές ΙC σε μέτρια αναστροφή ώστε να επιτυγχάνονται υψηλές τιμές σε g_m/I και g_m.Για ένα σταθερό ρεύμα πόλωσης, όσο πιο μεγάλος είναι ο λόγος g_m/I (transconductance efficiency), τόσο μεγαλύτερη είναι η διαγωγιμότητα g_m.Αυτό έχει ως αποτέλεσμα, όπως είδαμε και στο κεφάλαιο 3, να παρατηρείται μεγαλύτερο εσωτερικό(intrinsic) dc κέρδος.Στην πράξη, τα τρανζίστορ λειτουργούν στην αρχή της ισχυρής αναστροφής(IC = 12.49), γεγονός που οδήγει σε μία μικρή μείωση του κέρδους η οποία συνοδεύεται όμως από μεγαλύτερο BW.Για μήκη καναλιών L_{Mp1a} = L_{Mp1b} = 0.5 μm, I_{SPECO_P} = 0.135367 μΑ και τα παραπάνω ρεύματα υποδοχής προκύπτει από την σχέση (4.16) για τα πλάτη των M_{p1a} και M_{p1b}:

$$W_{Mp1a} = W_{Mp1b} = \frac{I_{DMp1a} \cdot L_{Mp1a}}{I_{SPEC0_P} \cdot IC} = \frac{676.6 \cdot 0.5}{0.135367 \cdot 12.49} = 200 \ \mu m$$

Επιπλέον, για το διαφορικό ζεύγος εισόδου $M_{p1a}-M_{p1b}$, με χρήση της σχέσης (3.5) και για τον συντελεστή αναστροφής IC = 12.49, η τάση V_{EFF} είναι ίση με 0.1938 Volts.Επομένως, η dc τάση πόλωσης στις πύλες των τρανζίστορ M_{p1a} και M_{p1b} θα πρέπει να είναι περίπου ίση με 0.6 Volts (για τάση κατωφλίου ίση με 0.4 Volts).

Στην συνέχεια ακολουθεί η διαστασιολόγηση των PMOS cascode φορτίων(M_{p4a}-M_{p3a} και M_{p4b}-M_{p3b}) που όπως ανέλυσα στην προηγούμενη παράγραφο λειτουργούν ως πηγές ρεύματος.Για matched PMOS cascode φορτία πρέπει ο λόγος W/L του M_{p2} να είναι 6 φορές μεγαλύτερος των M_{p4a},M_{p4b} για ίδιες τάσεις πύλης[17].Έτσι, $\frac{W_{Mp4a}}{L_{Mp4a}} = \frac{W_{Mp4b}}{L_{Mp4b}} = \frac{1}{6} \cdot \frac{W_{Mp2}}{L_{Mp2}}$ και επειδή L_{Mp4a} = L_{Mp4b} = L_{Mp2} = 0.5 μm έχουμε ότι W_{Mp4a} = W_{Mp4b} = $\frac{1}{6} \cdot$ W_{Mp2} = 15 μm.Την ίδια αναλογία ακολουθούν και τα ρεύματα υποδοχής των M_{p4a} και M_{p4b} με το ρεύμα υποδοχής του M_{p2}, I_{DMp4a} = I_{DMp4b} = $\frac{I_{DMp2}}{6} \approx 221.1$ μΑ.Επιπλέον τα M_{p4a},M_{p4b} βρίσκονται στην μέτρια αναστροφή και η τάση πύλης τους είναι, V_{CMFB} = V_{GMp4a} = V_{GMp4b} = V_{GMp4b} = 500 mV.

Το ίδιο ρεύμα διαρρέει και τις cascode συσκευές του ενισχυτή($M_{p3a}, M_{p3b}, M_{n2a}, M_{n2b}$).Όλα τα τρανζίστορ της υλοποίησης έχουν το ίδιο μήκος καναλιού,συνεπώς $L_{Mp3a} = L_{Mp3b} = L_{Mn2a} = L_{Mn2b} = 0.5$ μm.Oι PMOS cascode συσκευές λειτουργούν στην περιοχή μέτριας αναστροφής.Η επιλογή της συγκεκριμένης περιοχής λειτουργίας οφείλεται στην υψηλή τιμής διαγωγιμότητας g_m που την χαρακτηρίζει.Σύμφωνα με την σχέση (4.6), όσο μεγαλύτερη είναι η τιμή της διαγωγιμότητας g_{mp3a} τόσο μεγαλύτερο είναι και το κέρδος του ενισχυτή.Βάσει των παραπάνω έχουμε για το πλάτος καναλιού των M_{p3a} , M_{p3b} , $W_{Mp3a} = W_{Mp3b} = 10$ μm και για την τάση πύλης-πόλωσης τους, $V_{GMp3a} = V_{GMp3b} = 264.8$ mV.

Οι NMOS cascode συσκευές λειτουργούν στο όριο των περιοχών μέτριας με ισχυρής αναστροφής(IC \approx 10). Έτσι, εξασφαλίζεται υψηλή τιμή διαγωγιμότητας g_{mn2a} (άρα από σχέση (4.6), μεγάλο κέρδος), καθώς και μεγάλο BW. Για το πλάτος καναλιού των M_{n2a}, M_{n2b} έχουμε, W_{Mn2a} = W_{Mn2b} = 300 μm και για την τάση πύλης-πόλωσης τους, V_{GMn2a} = V_{GMn2b} = 900 mV.

Τέλος, τα NMOS τρανζίστορ M_{n1a} , M_{n1b} είδαμε στην παράγραφο 4.1 ότι λειτουργούν ως πηγές ρεύματος.Η διαστασιολόγηση και η τάση πόλωσης τους επιλέχθηκαν έτσι ώστε να παρέχουν ρεύμα υποδοχής 897.7 μΑ.Από το ρεύμα αυτό προκύπτουν τα 676.6 μΑ που πολώνουν το κάθε τρανζίστορ εισόδου(συνεπώς και τα 1.353 mA του M_{p2}) και τα 221.1 μΑ που αποτελούν το ρεύμα υποδοχής των λοιπών τρανζίστορ.Για το ρεύμα αυτό, το μήκος καναλιού τους είναι $L_{Mn1a} = L_{Mn1b} = 0.5$ μm, το πλάτος καναλιού είναι $W_{Mn1a} = W_{Mn1b} = 25$ μm και η τάση πύλης τους είναι $V_{B1} = V_{GMn1a} = V_{GMn1b} = 622$ mV.

Ως πηγές ρεύματος θα πρέπει να λειτουργούν σε υψηλές τιμές IC (23.14 για $I_{SPECO_N} = 0.81092$ μA), στην περιοχή ισχυρής αναστροφής, ώστε να επιτυγχάνονται χαμηλές τιμές σε g_m/I_D και g_m , καλύτερο matching, μεγαλύτερη ταχύτητα και χαμηλότερος θόρυβος. Από την παραπάνω διαστασιολόγηση προκύπτουν οι τιμές που τελικά επέλεξα να εισάγω στο εργαλείο cadence.Ou διαστάσεις των τρανζίστορ κάθε δομικής μονάδας φαίνονται στον παρακάτω πίνακα (4.3):

Transistors	Operation Region	W (μm)	L (µm)	Transistors	Operation Region	W (μm)	L (μm)
M _{p2}	M.I	90	0.5	M _{p3b}	M.I	10	0.5
M_{p1a}	S.I	200	0.5	M_{n2a}	M.I-S.I	300	0.5
M_{p1b}	S.I	200	0.5	M _{n2b}	M.I-S.I	300	0.5
M_{p4a}	M.I	15	0.5	M_{n1a}	S.I	25	0.5
M _{p4b}	M.I	15	0.5	M _{n1b}	S.I	25	0.5
M _{p3a}	M.I	10	0.5				

Πίνακας 4.3: Διαστάσεις τρανζίστορ

Ακολουθεί ακόμα ένας πίνακας στον οποίο παρουσιάζονται τα αποτελέσματα της προσομοίωσης του κυκλώματος, τα οποία περιλαμβάνουν τα ρεύματα-τάσεις πόλωσης των τρανζίστορ:

Transistors	I_D bias	V _G bias (mV)	Transistors	I_D bias	V _G bias (mV)
M _{p2}	1.353 mA	500	M _{p3b}	221.1 μA	264.8
M _{p1a}	676.6 μA	600	M_{n2a}	221.1 μA	900
M _{p1b}	676.6 μA	600	M _{n2b}	221.1 μA	900
M _{p4a}	221.1 μA	500	M _{n1a}	897.7 μA	622
M _{p4b}	221.1 μA	500	M _{n1b}	897.7 μA	622
M _{p3a}	221.1 μA	264.8			

Πίνακας 4.4: Ρεύματα-τάσεις πόλωσης των τρανζίστορ

Η συχνότητα μοναδιαίου κέρδους του ενισχυτή δίνεται από την σχέση[16] $W_u = \frac{g_{Mp1}}{c_L} = 2.129$ GHz.Παρατηρούμε ότι η επιλόγη των διαστάσεων των τρανζίστορ εισόδου και σε μικρότερο βαθμό η χωρητικότητα φορτίου καθορίζουν τις προδιαγραφές του GBW.Η σχέση (4.6) χρησιμοποιείται για τον υπολογισμό του κέρδους.Από την σχέση αυτή, η ποσότητα [($A_{mlOpamp1}g_{mp3a} + g_{mbp3a}$) $r_{Op3a}r_{Op4a}$]]][($A_{mlOpamp2}g_{mn2a} + g_{mbn2a}$) r_{On2a} (r_{Op1a}] r_{On1a}] συνιστά την σύνθετη αντίσταση εξόδου R_{out}. Στην γραφική 4.13 που ακολουθεί παρουσιάζεται το κέρδος όπως προκύπτει από την AC ανάλυση του εργαλείου cadence.



Γραφική 4.13: ΑC απόκριση-Κέρδος

Όπως είδαμε και κατά την ανάλυση του miller ενισχυτή, το σταθερό κέρδος μέσης ζώνης είναι στην ουσία το κέρδος του ενισχυτή. Έτσι, σύμφωνα με την γραφική 4.13, η τιμή του κέρδους είναι 31.96db. Από την ΑC ανάλυση του κυκλώματος προσδιορίζεται και η συχνότητα αποκοπής του ενισχυτή, δηλαδή η συχνότητα στην οποία το κέρδος έχει μειωθεί κατά 3db από την σταθερή τιμή που καταλαμβάνει στην μέση ζώνη. Επομένως η συχνότητα στην οποία το κέρδος γίνεται 28.96db είναι η συχνότητα αποκοπής και ισούται με f_{-3db} = 220.5 MHz όπως βλέπουμε και στην παρακάτω γραφική 4.14.



Γραφική 4.14: ΑC απόκριση-Συχνότητα αποκοπής

Η συχνότητα αποκοπής προσδιορίζεται συνήθως από τον επικρατούντα πόλο της συνάρτησης μεταφοράς.Η συνάρτηση μεταφοράς του folded cascode ενισχυτή αποτελείται από τρεις πόλους και ένα μηδενικό.Ο επικρατούν πόλος υπολογίζεται σύμφωνα με την σχέση[16], $W_{p1} = \frac{1}{R_{out}C_L}$. Βρίσκεται στον κόμβο εξόδου(outM στην γραφική 4.1) στον οποίο η σύνθετη αντίσταση εξόδου και η χωρητικότητα φορτίου λαμβάνουν τις μέγιστες τιμές τους.Ο δεύτερος πόλος εντοπίζεται στην πηγή του cascode τρανζίστορ M_{n2a} και δίνεται από την σχέση, $W_{p2} = \frac{g_{mn2a}}{(1+A_{mlOpamp1})C_{gsMn2a}}$ όπου g_{mn2a} η διαγωγιμότητα και C_{gsMn2a} η χωρητικότητα πύλης-πηγής του τρανζίστορ M_{n2a} .Τέλος, ο τρίτος πόλος όπως και το μηδενικό βρίσκονται στην πηγή του cascode τρανζίστορ M_{p3a} .Ο πόλος ισούται με $W_{p3} = -\frac{g_{mp3a}}{(1+A_{mlOpamp2})C_{gsMp3a}}$ και το μηδενικό με $\frac{g_{mp3a}}{(1+A_{mlOpamp2})C_{gsMp3a}}$, επομένως αλληλοαναιρούνται.

Μία άλλη σημαντική παράμετρος και κριτήριο ευστάθειας του ενισχύτη, όπως ανέλυσα και στην περίπτωση του miller ενισχυτή, είναι το περιθώριο φάσης.Να επαναλάβω ότι ένας ενισχυτής είναι ευσταθής, εάν η φάση που εισάγει, στην συχνότητα στην οποία το μέτρο ενίσχυσης του είναι 1 (0 db), είναι μικρότερη από 180°, έτσι ώστε η συνολική φάση του βρόγχου ανατροφοδότησης να μη γίνει 360° ή 0°. Στην γραφική 4.15, υποδεικνύεται η συχνότητα στην οποία το κέρδος γίνεται μονάδα(2.129 GHz) και το αντίστοιχο περιθώριο φάσης, PM = 27.26°.Εφόσον το περιθώριο φάσης είναι μικρότερο των 180°, συμπεραίνουμε ότι το κύκλωμα είναι ευσταθές.





Η ανάλυση του ενίσχυτη θα ολοκληρωθεί με τον υπολογισμό της κατανάλωσης ισχύος του. Βάσει της γραφικής 4.5(b), η κατανάλωση ισχύος του folded cascode ενισχυτή χωρίς Gain boosting δίνεται από τον τύπο: PowDissip = $(V_{dd} - V_{ss}) \cdot (I_{ss} + I_1 + I_2 + I_{ss1} + I_{ss2}) = (1.2 - 0) \cdot ((1.353 + 0.4424 + 1.7954) \cdot 10^{-3}) = 4.30896$ mW.Κατά την ανάλυση του miller ενισχυτή είδαμε ότι έχει κατανάλωση ισχύος ίση με 0.04172 mW.Συνεπώς, η ολική κατανάλωση ισχύος του του folded cascode ενισχυτή με Gain boosting είναι 4.47584 mW.

Συμπεράσματα – Μελλοντικές επεκτάσεις – Παράρτημα

Στο κεφάλαιο αυτό γίνεται μία συνοπτική αναφορά των λοιπών βαθμίδων του ΣΔ ADC που επιλέχθηκε.Στην συνέχεια, αναφέρονται τα συμπεράσματα και οι μελλοντικές επεκτάσεις που προκύπτουν από την εκπόνηση της εργασίας.Τέλος, προστίθεται και ένα παράρτημα στο οποίο παρατίθενται απεικονίσεις των δύο κυκλωμάτων ενισχυτών από το εργαλείο cadence.

5.1 Αναφορά στις λοιπές βαθμίδες του single bit 10MHz Continuous-Time $\Delta\Sigma$ in 90nm CMOS

Όπως αναφέρθηκε και στην παράγραφο 3.4, ο δεύτερος και τρίτος ολοκληρωτής αντί να υλοποιηθούν ως OTA-RC, μπορεί να υλοποιηθούν ως G_m-C.Όπως είδαμε το κέρδος και εύρος ζώνης των δύο αυτών ολοκληρωτών πρέπει να είναι πολύ υψηλό.Όσο πιο γραμμικοί είναι οι ολοκληρωτές αυτοί, τόσο μεγαλύτερη είναι η επιτρεπόμενη παλινδρόμηση του σημάτος και κατ΄ επέκταση τόσο πιο αποδοτικός γίνεται ο μετατροπέας.Στην γραφική 5.1, βλέπουμε μία υλοποίηση του OTA των G_m-C ολοκληρωτών όπως παρουσιάζεται στο [7].Για την γραμμικοποίηση του OTA χρησιμοποιείται συνδύασμος resistive source degeneration με μία τοπική ανάδραση γύρω από το διαφορικό ζεύγος εισόδου.



Γραφική 5.1: Γραμμικοποιημένος ΟΤΑ των G_m-C ολοκληρωτών

Η ανάδραση αυτή, έχει ως αποτέλεσμα, η τάση της πηγής του M_{p1} να είναι ίση με την τάση εισόδου.Η τάση αυτή πολώνει την αντίσταση R_{DEG} , προκαλώντας την ροή ενός κυκλικού ρεύματος i_c.Το ρεύμα αυτό καθρεπτίζεται σε ένα υψηλού κέρδους στάδιο εξόδου όμοιο με αυτό του folded cascode with gain boosting που ανέλυσα στα προηγούμενα κεφάλαια.Το στάδιο εισόδου πολώνεται έτσι ώστε να έχουμε ίσα ρεύματα στους κόμβους εισόδου και τοπικής ανάδρασης.Η ισοδύναμη διαγωγιμότητα του κυκλώματος καθορίζεται από αντίσταση R_{DEG} και τον παράγοντα(πολλαπλασιαστή) του καθρέπτη ρεύματος Β, σύμφωνα με την σχέση:

$$G_{m,eff} = \frac{g_{mp4}}{g_{mp2}} \cdot \frac{g_{mp1}}{1 + g_{mp1} \cdot R_{DEG}} \approx \frac{B}{R_{DEG}}$$
(5.1)

Όσον αφορά τον κβαντιστή, ο οποίος είναι ενός bit, για την υλοποίηση του χρησιμοποιείται ένας συγκριτής προσαρμοσμένου κατωφλίου[7],[15].Η προσαρμογή κατωφλίου στην ουσία παρέχει την τοπική ανάδραση γύρω από τον κβαντιστή, που όπως είπαμε χρησιμοποιείται για την εξάλειψη του loop delay.Η έξοδος του φίλτρου του μετατροπέα αποτελεί συγχρόνως είσοδο του συγκριτή.Έτσι, συγκρίνεται η τιμή αυτή με το μηδέν με το πρόσημο της να εξαρτάται από την προηγούμενη απόφαση του κβαντιστή, προσαρμόζοντας το κατώφλι σε κάθε κύκλο ρολογιού.Ο πυρήνας του συγκριτή παρουσιάζεται στην παρακάτω γραφική 5.2.



Γραφική 5.2: Πυρήνας συγκριτή(δυναμικής προσαρμογής κατωφλίου)

Ο πυρήνας είναι τύπου μανδαλωτή όμοιος με [15].Μία υλοποίηση σαν και αυτήν πάσχει από την ύπαρξη offset. Έτσι, μολονότι ο κβαντιστής είναι ενός bit και είναι τοποθετημένος στο λιγότερο ευαίσθητο σημείο του ΣΔ μετατροπέα (το offset έχει υποστεί μορφοποίηση από το κέρδος του loopφίλτρου), για την ελαχιστοποίηση του offset πραγματοποιείται calibration με μεταβλητές-ρυθμιζόμενες χωρητικότητες.

Στην γραφική 5.2, τα τρανζίστορ $M_{n1a,b}$ σχηματίζουν το διαφορικό ζεύγος εισόδου του συγκριτή.Τα τρανζίστορ M_{n2} , $M_{p1a,b}$, $M_{p2a,b}$, $M_{p6a,b}$ λειτουργούν ως διακόπτες για τον παλμό ρολογιού.Τα $M_{n3a,b}$ με τα $M_{p3a,b}$ αποτελούν ένα cross coupled inverter regenerative ζεύγος, ενώ τα $M_{n4a,b}$ είναι πηγές ρεύματος που χρησιμοποιούνται για να αυξήσουν το εύρος κατωφλίου και κατα επέκταση το calibration.Τέλος, τα τρανζίστορ $M_{n5a,b}$ τοποθετούνται μεταξύ των εξόδων του regenerative ζεύγους και των εξόδων του πυρήνα(outm και outp).Έχουν τον ρόλο buffer(στοιχεία αποθήκευσης) και εξασφαλίζουν την αποφυγή του φαινομένου μνήμης που παρουσιάζουν οι μανδαλωτές.Επίσης, να σημειωθεί ότι είναι δυνατόν να έχουμε ένα κατώφλι διάφορο του μηδενός τροποποιώντας το σημείο απόφασης του συγκριτή.(Πιο αναλυτικά στις προαναφερθείσες πηγές).

Ας κάνουμε και μία μικρή αναφορά στην τελευταία βαθμίδα του ΣΔ Α-Ψ μετατροπέα που είναι οι DACs.Όπως είδαμε και στις παραγράφους 2.1.3 και 3.4, η χρήση τριών διαφορετικών DACs γίνεται για να εξασφαλιστεί η ευστάθεια του απλού σταδίου ΣΔ Α-Ψ μετατροπέα .Συντελείται μείωση του συντελεστή κέρδους του κάθε ολοκληρωτή και επιτρέπεται εύκολος έλεγχος της παλινδρόμησης του σήματος στον κόμβο των ολοκληρωτών, εξασφαλίζοντας βέλτιστες τιμές θορύβου και γραμμικότητας που οδηγούν στην χαμηλότερη κατανάλωση ισχύος.

Ο πρώτος DAC(DAC1 στην γραφική 3.3) υλοποιείται με την switched-capacitor μέθοδο, όπως φαίνεται στην γραφική 5.3(αριστερά).Η επιλογή της υλοποίησης αυτής στηρίζεται στο γεγονός ότι είναι λιγότερο ευαίσθητη στο jitter(παραμόρφωση ωρολογιακού παλμού) και μπορεί να ενοποιηθεί εύκολα με τον OTA-RC ολοκληρωτή μέσω της virtual γείωσης.Ο δεύτερος και ο τρίτος DAC(DAC2, DAC3 αντίστοιχα στην γραφική 3.3) είναι current switched NRZ DACs.Με την συνδεσμολογία cascode, τα δύο εν σειρά τρανζίστορ της γραφικής 5.3(δεξιά), εξασφαλίζεται υψηλή σύνθετη αντίσταση εξόδου.Τέλος να σημειωθεί ότι και στις δύο υλοποιήσεις αποφεύγεται η χρήση DEM(τεχνικών-κυκλωμάτων γραμμικοποίησης), καθώς οι DACs 1-bit είναι έτσι και αλλιώς γραμμικά κυκλώματα.



Γραφική 5.3: Οι δύο υλοποιήσεις των DACs ΣΔ Α-Ψ μετατροπέα

5.2 Συμπεράσματα

Η εργασία αυτή ασχολείται με τους ΣΔ μετατροπείς σήματος από αναλογικό σε ψηφιακό.Η επιλογή του συγκεκριμένου τύπου μετατροπέα οφείλεται στις δύο πολύ σημαντικές ιδιότητες της μορφοποίησης θορύβου και της υπερδειγματοληψίας.Σε επίπεδο συστήματος, γίνεται μία λεπτομερής αναφορά στις αρχιτεκτονικές του ΣΔ Α-Ψ μετατροπέα.Από τις διαφόρες αρχιτεκτονικές και βάσει συγκεκριμένων κριτηρίων(ενδεικτικά το υψηλό δυναμικό εύρος (DR) και το μεγάλο εύρος ζώνης) κατέληξα στον 1-bit ΣΔ Α-Ψ μετατροπέα συνεχούς χρόνου, με 10 MHz εύρος ζώνης στα 1.2V και 90nm CMOS.Από τον μετατροπέα αυτον, ανέλυσα και υλοποίησα τον ΟΤΑ της βαθμίδας του ολοκληρωτή του φίλτρου της διάταξης.Πρόκειται για έναν Folded Cascode ενισχυτή με Gain boosting.Για το Gain boosting, υλοποιήθηκε ένας miller opamp βάσει της g_m/I_D μεθοδολογίας σχεδίασης.Ο Folded Cascode σχεδίαστηκε με την βοήθεια του συντελεστή αναστροφής IC.Σε κάθε περίπτωση, η διαδικασία σχεδίασης των ενισχυτών ακολουθεί συγκεκριμένα βήματα που αφορούν στην επιλογή των ρευμάτων και τάσεων πόλωσης για τα τρανζίστορ κάθε δομικής βαθμίδας.

<u>Παράμετρος</u>	Miller OpAmp
Τάση τροφοδοσίας [V]	1.2
Κατανάλωση ισχύος [mW]	0.04172
DC κέρδος [db]	45.25
GBW [MHz]	30.8
Ρυθμός ανόδου (SR) [V/μsec]	2.264
CMRR [db]	64.5609
f_{-3db} [KHz]	21.03
Phase Margin [degrees]	57.7

Πίνακας 5.1: Αποτελέσματα σχεδίασης miller OpAmp

Όπως φαίνεται και στον παραπάνω πίνακα, ο miller ενισχυτής που σχεδιάστηκε έχει ένα αρκετά υψηλό κέρδος ενίσχυσης τάσης και πολύ χαμηλή κατανάλωση ισχύος. Το περιθώριο φάσης των 57.7° εξασφαλίζει την ευστάθεια του συστήματος, ενώ το GBW των 30.8 MHz αποτελεί σημαντική παράμετρος σχεδίασης, ειδικά στην περίπτωση των ευρυζωνικών εφαρμογών.Τέλος, ο ρυθμός ανόδου και ο λόγος απόρριψης κοινού σήματος κυμαίνονται σε τυπικά επίπεδα τιμών για τελεστικούς ενισχυτές.Ακολουθεί και ο πίνακας με τα αποτελέσματα σχεδίασης του Folded Cascode ενισχυτή.

	Folded-
<u>Παράμετρος</u>	Cascode
	ενισχυτής
Τάση τροφοδοσίας [V]	1.2
Κατανάλωση ισχύος [mW]	4.47584
DC κέρδος [db]	31.96
Unity Gain Frequency [GHz]	2.129
f_{-3db} [MHz]	220.5
Phase Margin [degrees]	27.26

Πίνακας 5.2: Αποτελέσματα σχεδίασης Folded Cascode ενισχυτή

Και σε αυτή την περίπτωση ο ενισχυτής που σχεδιάστηκε έχει ένα αρκετά υψηλό κέρδος τάσης συνοδευόμενο από ικανοποιητικό εύρος ζώνης.Το περιθώριο φάσης των 27.26° εξασφαλίζει την ευστάθεια του συστήματος, ενώ η τάση τροφοδοσίας παραμένει 1.2V.

5.3 Μελλοντικές επεκτάσεις

Σημαντικές αλλαγές ή επεκτάσεις μπορούν να είναι:

- Υλοποίηση των λοιπών βαθμίδων, Κβαντιστής-DACs, του ΣΔ Α-Ψ μετατροπέα.
- Οι παραπάνω υλοποιήσεις όπως και του ολικού συστήματος, λόγω αυξημένης πολυπλοκότητας, είναι προτιμητέο να γίνουν σε ένα εργαλείο όπως είναι η matlab.
- Υλοποίηση του ΟΤΑ με τη χρήση τρανζίστορ χαμηλής τάσης κατωφλιού χωρίς πρόσβαση στο υπόστρωμα.
- Υλοποίηση του ΟΤΑ για τάση τροφοδοσίας μικρότερη των 1.2V, ώστε να επιτευχθεί περαιτέρω μείωση της τάσης κατωφλιού του και της κατανάλωσης ισχύος του.
- Προσαρμογή των προδιαγραφών των ενισχυτών(π.χ. Κέρδος, BW) κατά την υλοποίηση του ολικού συστήματος του ΣΔ Α-Ψ μετατροπέα.
- Χρήση εξισώσεων του μοντέλου ΕΚV για την εκτίμηση και κάποιων άλλων εξίσου σημαντικών παραμέτρων όπως, πυκνότητα φάσματος θερμικού θορύβου, mismatch τρανζίστορ.

5.4 Παράρτημα

Στο παράρτημα αυτό παρατίθενται απεικονίσεις των κυκλωμάτων των ενισχυτών από το εργαλείο cadence.



Γραφική 5.4: Miller opamp δύο σταδίων



Γραφική 5.5: Folded cascode OTA



Γραφική 5.6: Folded cascode OTA with gain boosting
Βιβλιογραφία

[1] Zhang Ling, "System and circuit design techniques for WLAN-enabled multi-standard receiver", Ph.D. dissertation, the Ohio State University, 2005.

[2] Cheng Yongjie, "Design and realization of a single stage sigma-delta ADC with low oversampling ratio", Ph.D. dissertation, Brigham Young University, 2006.

[3] **Nicola Scolari, "**Low-power and low-voltage delta-sigma analog-to-digital converters for digital radio in standard CMOS technology", EPFL, 2006.

[4] Ortmanns M, Gerfers F, Manoli Y, "Compensation of finite gain-bandwidth induced errors in continuous-time sigma-delta modulators", IEEE <u>Circuits and Systems I: Regular Papers</u>, June 2004.

[5] Steven R. *Nosworthy*, Richard Schreier and Gabor C. Teme, "*Delta-Sigma Data Converters* - Theory, Design, and Simulation", IEEE Press 1996.

[6] David M. Binkley, "Tradeoffs and Optimization in Analog CMOS Design", John Wiley & Sons, 2008.

[7] Crombez P, Van der Plas G, Steyaert M, Craninckx J, "A single bit 6.8mW 10MHz power-optimized continuous-time $\Delta\Sigma$ with 67dB DR in 90nm CMOS", <u>ESSCIRC, September 2009</u>.

[8] Behzad Razavi, "Design of Analog CMOS Integrated Circuits", McGRAW-HILL INTERNATIONAL EDITION.

[9] Stefanovic D, Kayal M, Pastre M, Litovski V.B, "Procedural analog design (PAD) tool", <u>Quality</u> <u>Electronic Design</u>, March 2003.

[10] **Pastre** Marc, **Kayal** Maher, "Methodology for the Digital Calibration of Analog Circuits and Systems with Case Studies", Springer, 2006.

[11] Fernando Paixão Cortes, Sergio Bampi, "MILLER OTA DESIGN USING A DESIGN METHODOLOGY BASED ON THE GM/ID AND EARLY-VOLTAGE CHARACTERISTICS: DESIGN CONSIDERATIONS AND EXPERIMENTAL RESULTS", Federal University of Rio Grande do Sul (UFRGS), Informatics Institute.

[12] F. Silveira, D. Flandre, P. G. A. Jespers, "A gm/ID Based Methodology for the Design of CMOS Analog Circuits and Its Application to the Synthesis of a Siliconon-Insulator Micropower OTA", IEEE Journal of Solid-State Circuits, vol. 31, no. 9, September 1996.

[13] Γιάννης Χαριτάντης, "Αναλογικά Ηλεκτρονικά", Εκδόσεις Παπασωτηρίου.

[14] Sedra/Smith, "Μικροηλεκτρονικά Κυκλώματα, Τόμος Α' και Β' ", Εκδόσεις Παπασωτηρίου.

[15] Geert Van der Plas, Stefaan Decoutere, Stéphane Donnay, "A 0.16pJ/Conversion-Step 2.5mW 1.25GS/s 4b ADC in a 90nm Digital CMOS Process", ISSCC, 2006.

[16] X. Jiang, S. Seo, and Y. Lu, "A CMOS single stage fully differential op-amp with 120 dB DC gain," tech. rep., EECS Dept. University of Michigan at Ann Arbor, MI, 2003.

[17] Saket Vora, "Fully Differential CMOS Amplifier", NC State University, December 2006.

[18] Shouri Chatterjee, K.P. Pun, Nebojša Stantić, Yannis Tsividis, Peter Kinget, Analog Circuits And Signal Processing : "Analog Circuit Design Techniques", Springer.

[19] Maher Kayal, Tutorial: Nanoscale CMOS Analog Design From Devices To System, European Solid-State Circuit Conference (ESSCIRC) 2009, Athens, Greece.