



**ΠΟΛΥΤΕΧΝΕΙΟ ΚΡΗΤΗΣ**

**Τμήμα Ηλεκτρονικών Μηχανικών & Μηχανικών Υπολογιστών**

**Εργαστήριο Ηλεκτρονικής και Αρχιτεκτονικής Υπολογιστών**

**“Low-voltage analog circuit design techniques”**

**Δημάκος Αθανάσιος**

**Επιτροπή:**

Bucher Matthias, Επίκουρος Καθηγητής (Επιβλέπων)

Καλαϊτζάκης Κωνσταντίνος, Καθηγητής

Μπάλας Κώστας, Αναπληρωτής Καθηγητής

**Χανιά, Οκτώβριος 2009**



## Ευχαριστίες

Η εργασία αυτή εκπονήθηκε στο Εργαστήριο Ηλεκτρονικής και Αρχιτεκτονικής Υπολογιστών του Πολυτεχνείου Κρήτης υπό την επίβλεψη του Επίκουρου Καθηγητή κ. Matthias Bucher, κατά την διάρκεια του ακαδημαϊκού έτους 2008-2009.

Θα ήθελα πρωτίστως να ευχαριστήσω τον επιβλέποντα καθηγητή μου κ. Matthias Bucher για την υποστήριξή του, την καθοδήγηση και τις συμβουλές του αλλά και για την εμπιστοσύνη που έδειξε στις ικανότητές μου. Επίσης, θα ήθελα να ευχαριστήσω τον Καθηγητή κ. Καλαϊτζάκη Κωνσταντίνο και τον Αναπληρωτή Καθηγητή κ. Μπάλα Κώστα για την συμμετοχή τους ως μέλη της εξεταστικής επιτροπής.

Ένα μεγάλο ευχαριστώ και στο Διδακτορικό Φοιτητή Άγγελο Αντωνόπουλο και τους Μεταπτυχιακούς Φοιτητές Νίκο Μακρή και Μαριάννα Χαλκιαδάκη για την πολύ μεγάλη βοήθειά τους και την καθοδήγησή τους σε κάθε βήμα της πορείας μου από την αρχή μέχρι και την ολοκλήρωση αυτής της εργασίας.

Για τη φιλία και τη στήριξή τους θα ήθελα να ευχαριστήσω και όλους τους φίλους και συναδέλφους που ήταν δίπλα μου σε όλες τις φάσεις της ζωής μου και με στήριξαν ανιδιοτελώς σε μεγάλο βαθμό.

Τέλος, θα ήθελα να πω ένα μεγάλο ευχαριστώ και να εκφράσω την αγάπη και την ευγνωμοσύνη μου στους γονείς μου και όλη την οικογένειά μου, που είναι πάντα δίπλα μου και με στηρίζουν στα όνειρα και τις αποφάσεις μου.



---

## Περιεχόμενα

|                                                                         |    |
|-------------------------------------------------------------------------|----|
| 1 Εισαγωγή.....                                                         | 6  |
| 1.1 Σχεδίαση αναλογικών κυκλωμάτων χαμηλής τροφοδοσίας.....             | 6  |
| 1.2 Ευκαιρίες σχεδίασης σε χαμηλές τροφοδοσίες.....                     | 10 |
| 2 Πλήρως διαφορικοί τελεστικοί ενισχυτές διαγωγιμότητας (OTAs).....     | 15 |
| 2.1 Gate-input OTA.....                                                 | 15 |
| 2.2 Gate-input OTA δύο σταδίων.....                                     | 18 |
| 2.3 Κυκλώματα πόλωσης για τον gate-input OTA.....                       | 20 |
| 3 Trade-offs και διαδικασίες αναλογικής σχεδίασης.....                  | 21 |
| 3.1 Trade-offs – Περιοχές λειτουργίας του MOSFET.....                   | 21 |
| 3.2 Περιοχές αναστροφής του MOSFET.....                                 | 23 |
| 3.3 Τεχνολογίες υλοποίησης- Παράμετροι σχεδίασης.....                   | 25 |
| 3.4 Ροή σχεδίασης ολοκληρωμένων αναλογικών κυκλωμάτων.....              | 26 |
| 4 Σχεδίαση gate-input OTA δύο σταδίων σε τάση τροφοδοσίας 1 Volt.....   | 28 |
| 4.1 DC ανάλυση.....                                                     | 28 |
| 4.2 AC ανάλυση.....                                                     | 35 |
| 4.3 Transient ανάλυση.....                                              | 39 |
| 5 Σχεδίαση ελλειπτικού χαμηλοπερατού φίλτρου 5 <sup>ης</sup> τάξης..... | 46 |
| 5.1 Θεωρία ελλειπτικών φίλτρων.....                                     | 46 |
| 5.2 Τοπολογία φίλτρου.....                                              | 47 |
| 5.3 Απόκριση συχνότητας φίλτρου - Χαρακτηριστικά της σχεδίασης.....     | 49 |
| 6 Συμπεράσματα – Μελλοντικές επεκτάσεις.....                            | 52 |
| 6.1 Συμπεράσματα.....                                                   | 52 |
| 6.2 Μελλοντικές επεκτάσεις.....                                         | 53 |
| Βιβλιογραφία.....                                                       | 55 |

## Εισαγωγή

Τα “αναλογικά” είναι ανάλογα προς την πραγματική ζωή, όπου οι περισσότερες διαδικασίες είναι συνεχείς ως προς την εξέλιξη του χρόνου. Τα αναλογικά κυκλώματα παρέχουν τη σύνδεση μεταξύ του φυσικού κόσμου και των ψηφιακών συστημάτων υπολογισμού και επεξεργασίας των σημάτων. Η πραγματική ισχύς των ψηφιακών σημάτων καθώς και η διαδικασία επεξεργασίας της πληροφορίας μπορούν να εκμεταλλευτούν από τους σχεδιαστές αν οι αναλογικές διεπαφές με την αντίστοιχη απόδοση αυτής των ψηφιακών είναι διαθέσιμες.

Η λειτουργία των αναλογικών κυκλωμάτων σε πολύ χαμηλή τάση τροφοδοσίας γίνεται απαραίτητη εξαιτίας της συνεχώς αναπτυσσόμενης τεχνολογίας κλιμάκωσης (scaling) των ημιαγωγών, ενώ οι ήδη υπάρχουσες τυπικές τεχνικές σχεδίασης δεν μπορούν να χρησιμοποιηθούν ακόμα. Σε αυτήν την εργασία γίνεται αναφορά σε τεχνικές σχεδίασης, οι οποίες επιτρέπουν στα αναλογικά κυκλώματα να λειτουργούν σε χαμηλές τάσεις τροφοδοσίας όπως ένα Volt. Η λειτουργία των αναλογικών κυκλωμάτων σε τροφοδοσία 0.5 Volts προσεγγίζεται θεωρητικά, ενώ θα μπορούσε να αποτελέσει μία από τις μελλοντικές επεκτάσεις αυτής της εργασίας.

Ένα κύριο πλεονέκτημα σχεδίασης και λειτουργίας των αναλογικών κυκλωμάτων σε χαμηλή τροφοδοσία είναι η χαμηλή κατανάλωση, ενώ ένα βασικό μειονέκτημα είναι ότι όσο χαμηλότερη είναι η τάση τροφοδοσίας τόσο πιο μικρό είναι το εύρος ταλάντευσης των σημάτων στην έξοδο. Αυτό, όμως, όπως περιγράφεται και παρακάτω, μπορεί να αποφευχθεί με την επιλογή της κατάλληλης τοπολογίας.

### 1.1 Σχεδίαση αναλογικών κυκλωμάτων χαμηλής τροφοδοσίας

Με τάση τροφοδοσίας στα 0.5 Volts και τάση κατωφλίου στα 0.2 Volts τουλάχιστον, τα MOSFET σε πρακτικά κυκλώματα, αναμένεται να έχουν μία τάση υπεροδήγησης  $V_{EFF} = V_{GS} - V_T$  ίση με 0.2 Volts, όπου  $V_T$  είναι η τάση κατωφλίου του τρανζίστορ και  $V_{GS}$  η τάση μεταξύ πύλης-πηγής. Σε αυτήν την περίπτωση, τα τρανζίστορ βρίσκονται στο άκρο της ισχυρής αναστροφής (Strong Inversion, SI).

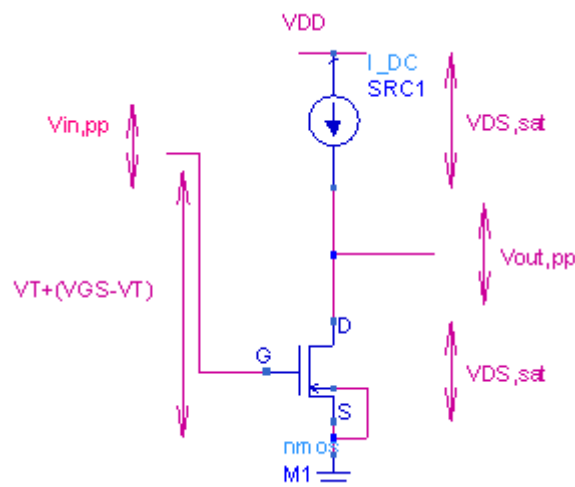
Εφαρμογές, οι οποίες απαιτούν υψηλά εύρη ζώνης ή υψηλούς ρυθμούς δειγματοληψίας, τα MOSFET πολώνονται σε ισχυρή αναστροφή, π.χ. σε ένα NMOS, θα ισχύει  $V_{EFF} = V_{GS} - V_T \geq 0.2$ . Όσο η τάση μεταξύ απαγωγού-πηγής είναι μεγαλύτερη από την τάση κορεσμού,  $V_{DS,sat}$ , το τρανζίστορ βρίσκεται σε κορεσμό και λειτουργεί ως πηγή ρεύματος ελεγχόμενη από τάση. Στο άκρο της ισχυρής αναστροφής, μία καλή εκτίμηση της τάσης  $V_{DS,sat}$  είναι περίπου 0.24 Volts.

Σε κυκλώματα χαμηλής τάσης τροφοδοσίας, τα τρανζίστορ μπορούν να λειτουργήσουν σε ασθενή αναστροφή (Weak Inversion, WI), που επιτυγχάνεται με χαμηλή τάση πόλωσης στην πύλη του MOSFET (χαμηλή τάση  $V_{GS}$ ). Σε αυτήν την

περίπτωση, ισχύει  $V_{EFF} = V_{GS} - V_T \leq 0$ . Η λειτουργία σε WI έχει ως αποτέλεσμα πολύ υψηλότερη απόδοση σε small-signal παραμέτρους όπως, ο λόγος διαγωγιμότητας/ρεύματος ( $g_m / I$ ), πράγμα το οποίο είναι χρήσιμο σε εφαρμογές χαμηλής τροφοδοσίας-ισχύος.

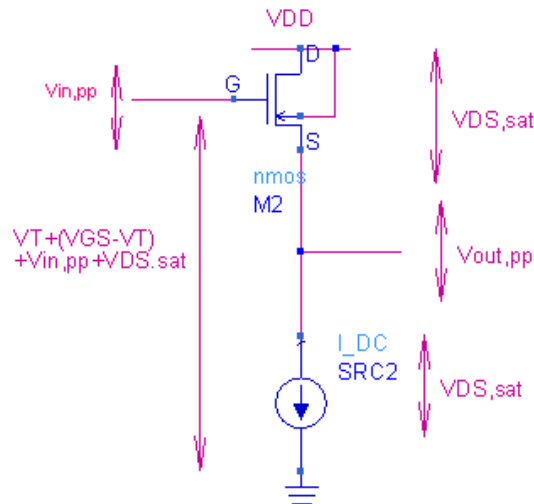
Παράλληλα, η πόλωση τάσης μεταξύ πύλης-πηγής ελέγχει απευθείας το επίπεδο αναστροφής του τρανζίστορ, καθώς επίσης και το ρεύμα που ρέει στο κανάλι αυτού. Για να επιτευχθεί πόλωση σε συγκεκριμένο επίπεδο αναστροφής με δεδομένο ρεύμα, η απαιτούμενη τάση  $V_{GS}$  εξαρτάται από την τάση κατωφλίου.

Το πιο απλό κύκλωμα που επιτυγχάνει ενίσχυση μέσω ενός MOSFET, είναι ο ενισχυτής κοινής πηγής (common source amplification stage). Στην Εικόνα (1.1) παρακάτω φαίνεται το από αυτό στάδιο, καθώς και η πηγή ρεύματος που λειτουργεί ως απλό ενεργό φορτίο. Για τάση τροφοδοσίας  $V_{DD}$  ίση με 0.5 Volts και  $V_{DS,sat} = 0.15Volts$ , στη βέλτιστη πόλωση εξόδου των  $V_{DD} / 2 = 0.25Volts$ , το μέγιστο peak-to-peak εύρος ταλάντευσης στην έξοδο είναι ίσο με  $V_{out,pp} = V_{DD} - 2 \cdot V_{DS,sat} = 0.2Volts$ . Το επιτρεπόμενο εύρος ταλάντωσης του σήματος εισόδου εξαρτάται από την τάση κατωφλίου και θα πρέπει να είναι μικρό. Παρόλα αυτά, αυτό δεν είναι ισχυρός περιορισμός, καθώς υπάρχει μεγάλο κέρδος μεταξύ εισόδου-εξόδου.



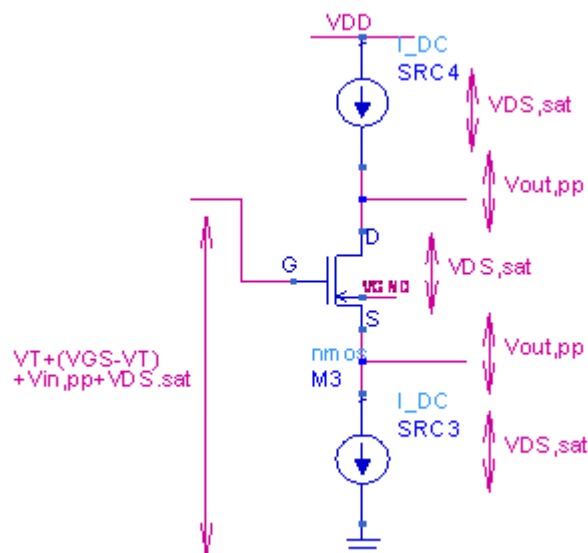
**Εικ. 1.1 Ενισχυτής κοινής πηγής**

Στο ενισχυτικό στάδιο του κοινής υποδοχής (common drain amplification stage), το οποίο φαίνεται στην Εικόνα (1.2), το σήμα εξόδου μπορεί να ταλαντευθεί αποδοτικά. Επειδή, όμως, δεν υπάρχει κέρδος μεταξύ εισόδου-εξόδου και επειδή δημιουργείται μία στοίβα από την πόλωση της εξόδου και της τάσης  $V_{GS}$ , η DC πόλωση στην πύλη του τρανζίστορ είναι πολύ υψηλή.



Εικ. 1.2 Ενισχυτής κοινής υποδοχής

Τέλος, στο ενισχυτικό στάδιο κοινής πύλης, (common gate amplification stage) της Εικόνας (1.3), το σήμα εισόδου, το σήμα εξόδου και η τάση  $3 \cdot V_{DS,sat}$  δημιουργούν μία στοίβα. Ακόμα και αν υποτεθεί μεγάλο κέρδος τάσης του σταδίου αυτού, η διαθέσιμη ταλάντευση του σήματος εξόδου είναι αρκετά μικρή στις περισσότερες εφαρμογές. Ένα τέτοιο στάδιο μπορεί να ενσωματωθεί σε έναν ενισχυτή αν ακολουθείται από ένα υψηλό κέρδος, έτσι ώστε να μη χρειάζονται επαρκή εύρη ταλάντευσης στην έξοδο του σταδίου κοινής πύλης. Τέλος, κασκοδικές τοπολογίες, με όλα τα τρανζίστορ στον κορεσμό, επίσης αποκλείονται από τη χρήση τους σε κυκλώματα τροφοδοσίας 0.5 volts, διότι απαιτούν μία στοίβα, που δημιουργείται από την ταλάντευση εξόδου και την τάση  $4 \cdot V_{DS,sat}$  (= 0.6 Volts).



Εικ. 1.3 Ενισχυτής κοινής πύλης



Επομένως, λοιπόν, από τις τρεις παραπάνω τοπολογίες, μόνο αυτή της κοινής πηγής μπορεί να λειτουργήσει αποδοτικά σε τάση τροφοδοσίας στα 0.5 Volts (ultra- low voltage).

Οι δύο κύριες προκλήσεις στη διαδικασία σχεδίασης ενός ενισχυτή, ο οποίος λειτουργεί σε τροφοδοσία 0.5 Volts, είναι:

- Η ελάχιστη τάση μεταξύ υποδοχής-πηγής που απαιτείται έτσι ώστε τα τρανζίστορ να βρίσκονται στην περιοχή κορεσμού είναι  $4 \cdot U_T$  ή  $5 \cdot U_T$ . Δεδομένης της τάσης τροφοδοσίας, αυτό περιορίζει την ταλάντευση της τάσης στην υποδοχή των τρανζίστορ.

$U_T$  είναι η θερμοδυναμική τάση και ισούται με  $U_T = \frac{k \cdot T}{q}$ , όπου  $T$  είναι η

θερμοκρασία σε βαθμούς Kelvin,  $k$  η σταθερά Boltzmann και  $q$  το φορτίο του ηλεκτρονίου. Σε θερμοκρασία δωματίου,  $T = 300K$  και  $q = 1.602 \cdot 10^{-19} C$ .

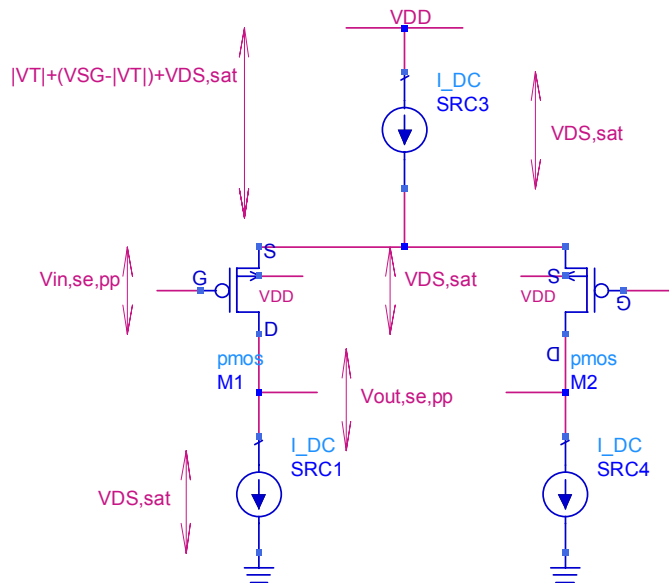
- Η τάση υπεरोδήγησης  $V_{EFF} = V_{GS} - V_T$  καθορίζει το επίπεδο αναστροφής. Για εφαρμογές υψηλής ταχύτητας, τα τρανζίστορ πρέπει να βρίσκονται σε ισχυρή αναστροφή. Ωστόσο, αυτό είναι δύσκολο να επιτευχθεί, διότι η τάση μεταξύ πύλης-πηγής περιορίζεται από την τάση τροφοδοσίας [1].

Τέλος, θα πρέπει να σημειωθεί ότι τα διαφορικά κυκλώματα χρησιμοποιούνται ευρέως σύγχρονα ολοκληρωμένα αναλογικά κυκλώματα, εξαιτίας του μεγαλύτερου εύρους ταλάντευσης και καλύτερης παρέμβασης στην περιοχή του υποστρώματος.

Σε 0.5 Volts, οι πλήρως διαφορικές τοπολογίες είναι αναγκαίες και η σχεδίαση τους θα πρέπει να στηρίζεται στις ιδιότητες που αναφέρθηκαν παραπάνω. Η σωστή λειτουργία αυτών των τοπολογιών στηρίζεται στην ικανότητα καλής απόρριψης του κοινού σήματος. Το διαφορικό κέρδος δε χρειάζεται μόνο να είναι σημαντικά μεγαλύτερο από το κέρδος του κοινού σήματος, αλλά το τελευταίο πρέπει να είναι αρκετά μικρότερο της μονάδας, ένεκεν της πιθανής ύπαρξης βρόγχων θετικής ανάδρασης που δημιουργούνται στα μονοπάτια του κοινού σήματος.

Στην Εικόνα (1.4) παρακάτω παριστάνεται ένα διαφορικό ζεύγος εισόδου με τα εύρη πόλωσης των σημάτων. Εξαιτίας της στοίβας που δημιουργείται από τις δύο πηγές ρεύματος και το τρανζίστορ, το εύρος ταλάντευσης της εξόδου,  $V_{out,se,pp}$ , περιορίζεται. Με την προσθήκη ενός δεύτερου σταδίου ενίσχυσης μετά το στάδιο εισόδου, αυτός ο περιορισμός παύει να είναι αυστηρός. Η πρόκληση στη σχεδίαση εδώ είναι η προσπάθεια διατήρησης της απαιτούμενης πόλωσης εισόδου στην τιμή  $V_{DD} - |V_T| - (V_{SG} - |V_T|) - V_{DS,sat}$ . Αν οι εισοδοί μπορούν να πολωθούν στα 0 volts, για τάση τροφοδοσίας  $V_{DD}$  ίση με 0.5 Volts, η μέγιστη επιτρεπόμενη τιμή της τάσης  $|V_T|$  είναι περίπου στα 0.15 Volts για λειτουργία σε ισχυρή αναστροφή. Ακόμα και αν είναι διαθέσιμη μία τέτοια τιμή για την τάση κατωφλίου, στην πράξη, οι εισοδοί του ενισχυτή θα πρέπει να βρίσκονται πάνω από τη γραμμή της γείωσης, έτσι ώστε να ενεργοποιείται η χρήση τους σε τοπολογίες ανάδρασης. Συνεπώς, η λειτουργία αυτού του σταδίου σε ισχυρή αναστροφή, με τάση τροφοδοσίας στα 0.5 Volts, είναι μη πρακτικό. Επομένως, για οποιαδήποτε περίπτωση στην οποία η τάση κατωφλίου

είναι μεγαλύτερη από 0.15 Volts, εμφανίζεται η ανάγκη για τη σχεδίαση δομών διαφορικής εισόδου με καλή απόρριψη κοινού σήματος.



**Εικ. 1.4 Διαφορικό ζεύγος**

Η προσπάθεια σχεδίασης τελεστικών ενισχυτών με χαμηλή σύνθετη αντίσταση εξόδου είναι απαραίτητη για την υλοποίηση τους. Το γεγονός ότι τα ενισχυτικά στάδια κοινής υποδοχής (common drain stages) δεν είναι διαθέσιμα για λόγους που προαναφέρθηκαν, καθιστά δύσκολο το παραπάνω εγχείρημα και επομένως, περιορίζεται η υλοποίηση των τελεστικών ενισχυτών διαγωγιμότητας. Για τις περισσότερες on-chip εφαρμογές, τα φορτία που οδηγούνται από τις εξόδους των ενισχυτών είναι κυρίως χωρητικά, ενώ τα φορτία σύνθετης αντίστασης είναι δυνατόν να διατηρούνται υψηλά, πράγμα το οποίο δεν αποτελεί περιορισμό για την εκάστοτε σχεδίαση. Τέλος, να σημειωθεί ότι σε κυκλώματα ανάδρασης, το κέρδος του βρόγχου μειώνει την αντίσταση εξόδου.

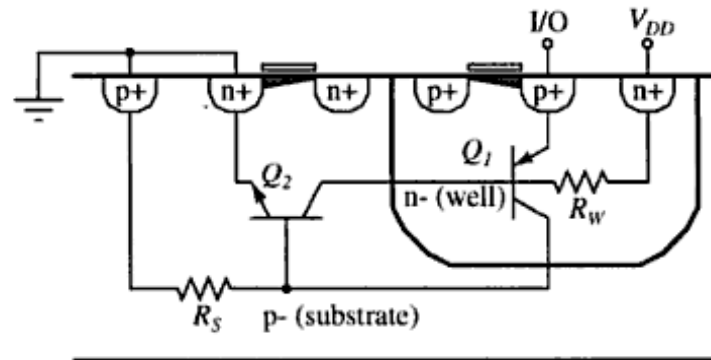
## 1.2 Ευκαιρίες σχεδίασης σε χαμηλές τροφοδοσίες

Εκτός από την πύλη, ο ακροδέκτης του υποστρώματος επίσης μπορεί να ελέγξει το κανάλι ενός MOSFET. Παρόλα αυτά, αυτό δε συνηθίζεται πάντα, εξαιτίας των προβλημάτων που δημιουργεί το φαινόμενο του latch-up, όταν εφαρμόζεται forward πόλωση στην επαφή υποστρώματος-πηγής.

Το φαινόμενο του latch-up αποτελεί το πιο κρίσιμο πρόβλημα της τεχνολογίας CMOS και προκαλείται από την επίδραση ενός εσωτερικού, κυρίως, παρασιτικού κυκλώματος. Το αποτέλεσμα του φαινομένου αυτού είναι η βραχυκύκλωση των γραμμών τροφοδοσίας και γείωσης, με τελικό αποτέλεσμα (συνήθως) την καταστροφή του ολοκληρωμένου ή τουλάχιστον την αποτυχία του κυκλώματος με την ταυτόχρονη απαίτηση για διακοπή της ισχύος.

Ένα τυπικό CMOS κύκλωμα αποτελείται από NMOS και PMOS τρανζίστορ, τα οποία τοποθετούνται όλα μαζί κοντά στο chip. Παρακάτω, στην Εικόνα (1.5) φαίνεται ένα απλό κύκλωμα που αποτελείται από ένα NMOS και ένα PMOS

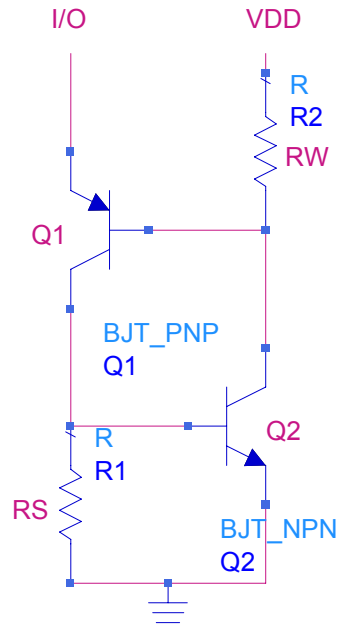
τρανζίστορ. Στην ίδια εικόνα, επίσης, φαίνονται και τα παρασιτικά τρανζίστορ  $n_{pn}$  και  $p_{np}$ . Αναδιοργανώνοντας την τοπολογία αυτών των διπολικών παρασιτικών τρανζίστορ, παρατηρείται μία θετική ανάδραση, όπως φαίνεται και στην Εικόνα (1.6) παρακάτω.



Εικ. 1.5 Απλό CMOS κύκλωμα

Για να συμβεί το φαινόμενο latch-up, το παρασιτικό κύκλωμα  $n_{pn}$ - $p_{np}$  πρέπει να πυροδοτηθεί και να διατηρηθεί η κατάσταση συγκράτησης. Το latch-up μπορεί να πυροδοτηθεί από μεταβατικά ρεύματα ή τάσεις, που μπορούν να συμβούν εσωτερικά σε ένα ολοκληρωμένο κατά τη διάρκεια της έναρξης τροφοδοσίας, ή εξωτερικά εξαιτίας τάσεων ή ρευμάτων πέρα από φυσιολογικές περιοχές λειτουργίας. Η πλευρική και η κάθετη πυροδότηση είναι δύο πιθανές ξεχωριστές μέθοδοι πυροδότησης. Στη συνέχεια περιγράφεται συνοπτικά η διαδικασία πυροδότησης και λειτουργίας του φαινομένου latch-up [6].

Παρατηρώντας το κύκλωμα της Εικόνας (1.6), διαπιστώνεται ότι το  $Q_2$  ανάβει το  $Q_1$  αν το πρώτο είναι ενεργοποιημένο με κάποια ποσότητα ρεύματος να ρέει προς τη βάση του. Η επαφή εκπομπού-βάσης του τρανζίστορ  $Q_1$  απαιτεί τάση ίση με 0.7 Volts έτσι ώστε να τεθεί σε λειτουργία. Όσο το  $Q_1$  βρίσκεται σε λειτουργία, αυτό προκαλεί μεγαλύτερη ποσότητα ρεύματος να ρέει προς τη βάση του  $Q_2$ . Ωστόσο, Το p-υπόστρωμα μανδαλώνεται κοντά στη γραμμή θετικής τροφοδοσίας, ενώ το n-πηγάδι κοντά στο δυναμικό της γείωσης.



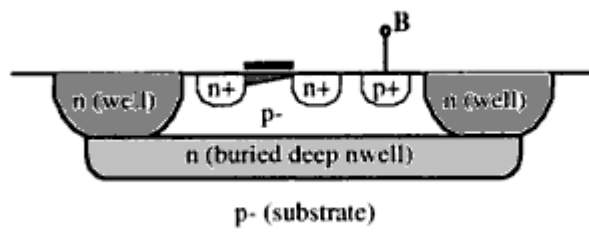
**Εικ. 1.6 Παρασιτικά διπολικά σε θετική ανάδραση**

Όπως αναφέρθηκε και πιο πάνω, το φαινόμενο του latch-up είναι η δημιουργία ενός βραχυκυκλώματος μεταξύ τροφοδοσίας και γείωσης. Όταν αυτό πυροδοτείται, το κύκλωμα “εκρήγνυται” και δίνει μεγάλο ρεύμα ενώ ταυτόχρονα διατηρεί χαμηλή τάση κατά μήκος των ακροδεκτών. Τα παρασιτικά διπολικά στοιχεία και οι αντιστάσεις είναι ένα ακούσιο αποτέλεσμα της κατασκευής των NMOS και PMOS τρανζίστορ. Τέλος, θα πρέπει να τονιστεί ότι είτε η υποδοχή είτε η πηγή μπορούν να δράσουν ως εκπομποί, αν και η πηγή είναι μοναδικός ακροδέκτης που μπορεί να συντηρήσει τις συνθήκες για latch-up [1], [6].

Σε τάση τροφοδοσίας στα 0.5 Volts, ακόμα και αν υπάρχει ρεύμα, το οποίο να ρέει προς τη βάση του  $Q_2$ , αγνοώντας το φαινόμενο του voltage headroom ( $V_{DD} - V_T$ ), το  $Q_1$  δε θα τεθεί σε λειτουργία. Αυτό έχει ως αποτέλεσμα την αποτυχία εμφάνισης του φαινομένου latch-up. Εντούτοις, η πιθανότητα του φαινομένου αυτού υπάρχει ακόμα, παρουσία των μεταβατικών ρευμάτων και τάσεων κατά τη διάρκεια έναρξης τροφοδοσίας.

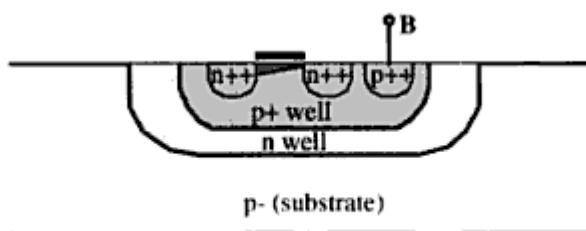
Ο μειωμένος κίνδυνος εμφάνισης του latch-up υποδεικνύει τη χρήση της forward πόλωσης στην επαφή υποστρώματος-πηγής σε ένα MOSFET και γενικότερα, τη χρήση του ακροδέκτη του υποστρώματος ως έναν τέταρτο ακροδέκτη που μπορεί να ελεγχθεί. Η τεχνική της forward πόλωσης έχει σκοπό τη μείωση της τάσης κατωφλίου [1].

Τυπικά, μόνο ο ακροδέκτης του υποστρώματος ενός PMOS τρανζίστορ θα μπορούσε να προσπελαστεί σε διαδικασίες n-πηγαδιού. Παρόλα αυτά, έχουν αναπτυχθεί σύγχρονες CMOS τεχνικές, οι οποίες προσφέρουν σε NMOS τρανζίστορ την ικανότητα να βρίσκονται σε ξεχωριστά πηγάδια ή σε ισχυρά ποτισμένα επίπεδα n-πηγαδιού. Απομονωμένα NMOS τρανζίστορ σε μία επεξεργασία μεγάλου n-πηγαδιού (Εικόνα (1.7)) ακολουθούν τα μη-απομονωμένα αντίστοιχα τρανζίστορ της ίδιας επεξεργασίας, εξαιτίας παρόμοιων σχεδιαγραμμάτων νόθευσης.



**Εικ. 1.7 Ισχυρά ποτισμένα επίπεδο n-πηγαδιού**

Από την άλλη μεριά, σε μία επεξεργασία τριπλού πηγαδιού Εικόνα (1.8), τα απομονωμένα NMOS τρανζίστορ είναι διαφορετικά, όσον αφορά τα χαρακτηριστικά, από τα αντίστοιχα μη-απομονωμένα, όπου το σχεδιάγραμμα νόθευσης είναι εμφανώς διαφορετικά. Ωστόσο, και στις δύο περιπτώσεις, η πρόσβαση στον ακροδέκτη του υποστρώματος έχει μία ποινή στην επιφάνεια του τρανζίστορ. Αυτή η ποινή, όμως, δε δημιουργεί μεγάλη ανησυχία, αν η σχεδίαση περιορίζεται από μεγαλύτερα δομικά στοιχεία, όπως πυκνωτές ή πηνία. Επίσης, αρκετά NMOS τρανζίστορ που συνδέονται στο ίδιο δυναμικό υποστρώματος μπορούν να ομαδοποιηθούν μαζί στο ίδιο πηγάδι με σκοπό τη μείωση της συνολικής επιφάνειας που χρησιμοποιείται. Σε κάθε περίπτωση, η αύξηση αυτής της επιφάνειας είναι σχετικά μικρή σε σύγκριση με αυτήν των ψηφιακών κυκλωμάτων [1].



**Εικ. 1.8 Επεξεργασία τριπλού πηγαδιού**

Όταν το υπόστρωμα και η πηγή βρίσκονται στο ίδιο δυναμικό, δημιουργείται στο κανάλι μία περιοχή αραίωσης μεταξύ της n+ πηγής και του p- υποστρώματος. Η ίδια περιοχή αραίωσης συνεχίζεται, σε ισχυρή αναστροφή, κάτω από το κανάλι, όπου υπάρχει μια αφθονία ελεύθερων ηλεκτρονίων. Για την ίδια τιμή τάσης μεταξύ πύλης-πηγής  $V_{GS}$  σε ισχυρή αναστροφή, το φορτίο στην πύλη, που είναι η θετική πλάκα ενός πυκνωτή, παραμένει σταθερό. Αυτό το φορτίο πρέπει να είναι ίσο, σε πλάτος, με το συνολικό αρνητικό φορτίο, το οποίο είναι το άθροισμα των ελεύθερων ηλεκτρονίων στο κανάλι συν το σταθερό φορτίο στην περιοχή αραίωσης, υποθέτοντας αμελητέο φορτίο διεπαφής. Μία θετική πόλωση τάσης μεταξύ υποστρώματος-πηγής μειώνει το βάθος της περιοχής αραίωσης. Αυτό έχει ως αποτέλεσμα, για την ίδια τιμή  $V_{GS}$ , το φορτίο στο κανάλι να αυξάνεται και η τάση κατωφλίου,  $V_T$ , να μειώνεται [1].

Για θετική τάση μεταξύ πηγής-υποστρώματος  $V_{SB} > 0$ , η τάση κατωφλίου υπολογίζεται από την κάτωθι σχέση:

$$V_T = V_{T0} + \gamma \cdot (\sqrt{\phi_0 + V_{SB}} - \sqrt{\phi_0}) \quad (1.1)$$

όπου,  $V_{T0}$  είναι η τάση κατωφλίου του MOS για  $V_{BS}=0$  ,  $\gamma$  είναι ο συντελεστής του φαινομένου σώματος για δεδομένη τεχνολογία,  $\phi_0$  είναι το άθροισμα:

$$\phi_0 = 2 \cdot \phi_F + \Delta\phi$$

όπου,  $\phi_F$  είναι το δυναμικό quasi-Fermi και  $\Delta\phi$  ισούται με  $6 \cdot U_T$  σε θερμοκρασία δωματίου.

Η σχέση (1.1) πιο πάνω, δείχνει ότι όταν η τάση  $V_{SB}$  σε ένα MOSFET είναι θετική και αυξάνεται, τότε η τάση  $V_T$  επίσης αυξάνεται. Αναδιοργανώνοντας την ίδια σχέση, για  $V_{SB} < 0$  (ή για θετική  $V_{BS}$ ), έχουμε:

$$V_T = V_{T0} - \gamma \cdot (\sqrt{\phi_0} - \sqrt{\phi_0 + V_{BS}}) \quad (1.2)$$

Η σχέση (1.2) δείχνει ότι η αύξηση της forward πόλωσης της επαφής υποστρώματος-πηγής μειώνει την τάση κατωφλίου του MOSFET.

## Πλήρως διαφορικοί τελεστικοί ενισχυτές διαγωγιμότητας (OTAs)

Ένας ενισχυτής είναι συχνά ένα θεμελιώδες δομικό στοιχείο ενός αναλογικού κυκλώματος. Πλήρως διαφορικά κυκλώματα χρησιμοποιούνται ευρέως εξαιτίας της μεγάλης ταλάντευσης των σημάτων. Σε αυτό το κεφάλαιο θα παρουσιαστεί η σχεδίαση ενός πλήρως διαφορικού ενισχυτή, ο οποίος θα αποτελέσει ένα πρωτεύον δομικό εξάρτημα για επόμενες σχεδιάσεις που λειτουργούν σε χαμηλή τροφοδοσία (κάτω από ένα Volt).

Η τεχνική της εμπρόσθιας πόλωσης (forward biasing) της επαφής υποστρώματος-πηγής εφαρμόζεται σε ψηφιακά κυκλώματα χαμηλής τάσης και σκοπός της χρήσης της είναι η μείωση της τάσης κατωφλίου των τρανζίστορ. Σε τάση τροφοδοσίας 0.5 Volts, ο κίνδυνος χρήσης της τεχνικής αυτής ελαττώνεται, διότι τα παρασιτικά διπολικά στοιχεία που δημιουργούνται δεν μπορούν να ενεργοποιηθούν, ακόμα και αν εφαρμόζεται τάση πόλωσης ίση με αυτήν της τροφοδοσίας.

Η σωστή λειτουργία των διαφορικών τοπολογιών βασίζεται στην ικανότητα καλής απόρριψης του κοινού σήματος. Το διαφορικό κέρδος δε χρειάζεται να είναι μόνο σημαντικά μεγαλύτερο από αυτό του κοινού σήματος, αλλά το τελευταίο θα πρέπει να είναι σημαντικά μικρότερο της μονάδας παρουσία βρόγχων θετικής ανάδρασης στο μονοπάτι του κοινού σήματος.

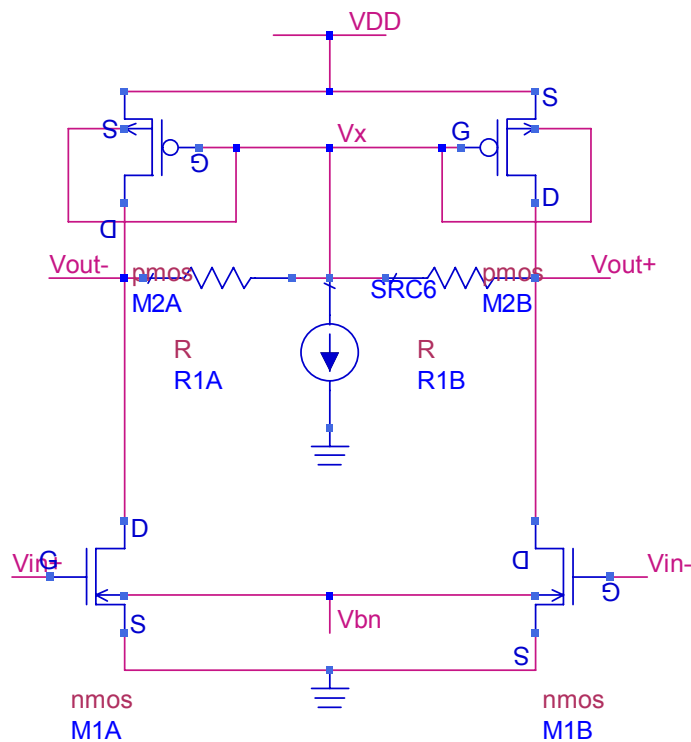
### 2.1 Gate-input OTA

Ένας gate-input ενισχυτής χρησιμοποιεί ως εισόδους τις πύλες των τρανζίστορ, ενώ ο ακροδέκτης του υποστρώματος πολώνεται για τους λόγους που αναφέρθηκαν παραπάνω.

Στο βασικό διαφορικό ενισχυτή της Εικόνας 2.1, το διαφορικό ζευγάρι εισόδου, M1A και M2A καθώς και τα ενεργά φορτία M2A και M2B, ενισχύουν την τάση της διαφορικής εισόδου. Οι αντιστάσεις R1A και R1B παρέχουν ανάδραση κοινού σήματος διαμέσου του ενεργού φορτίου, ενώ η πηγή ρεύματος δημιουργεί την κατάλληλη (επιθυμητή) πτώση τάσης στον κοινό ακροδέκτη των δύο αντιστατών με σκοπό να διατηρηθεί η τάση  $V_x$  σε τέτοια επίπεδα ώστε τα τρανζίστορ M2A και M2B να λειτουργούν σε μέτρια αναστροφή. Τα υποστρώματα των M2A και M2B συνδέονται με τις πύλες αυτών για να επιτευχθεί περαιτέρω μείωση της τάσης κατωφλίου. Για τον ίδιο σκοπό, τα υποστρώματα των τρανζίστορ εισόδου M1A και M2A πολώνονται εμπρόσθια (forward bias).

Ο λόγος της διαγωγιμότητας των τρανζίστορ M1A και M1B προς τη συνολική διαγωγιμότητα των τρανζίστορ M2A και M2B θέτουν το κέρδος κοινού σήματος [1]. Στην παρούσα σχεδίαση, η διαγωγιμότητα των PMOS τρανζίστορ δεν είναι σημαντικά υψηλή εν συγκρίσει με τη διαγωγιμότητα των NMOS έτσι ώστε να παρατηρηθεί ένα χαμηλό κέρδος κοινού σήματος. Γι' αυτό το λόγο, όπως φαίνεται στην Εικόνα 2.2, προστίθεται ένα μονοπάτι κοινού σήματος εμπρόσθιας τροφοδότησης (common-mode feed-forward cancellation path) διαμέσου των τρανζίστορ M5A, M5B, M6 και M3A, M3B. Το διαφορικό ζεύγος M5 έχει ως ενεργό φορτίο τους καθρέφτες ρεύματος που σχηματίζονται από τα τρανζίστορ M6 και

M3A, M3B. Τα δύο τελευταία, σε συνδυασμό με τα M1A και M1B, σχηματίζουν δύο ενισχυτικά στάδια εξόδου τάξης A. Στα τρανζίστορ M3A, M3B και M6, η πύλη και το υποστρώμα συνδέονται μεταξύ τους έτσι ώστε να παρατηρηθεί forward πόλωση στις επαφές υποστρώματος-πηγής. Αυτή η τεχνική ωθεί τα MOSFET αυτά να λειτουργήσουν σε μέτρια αναστροφή.

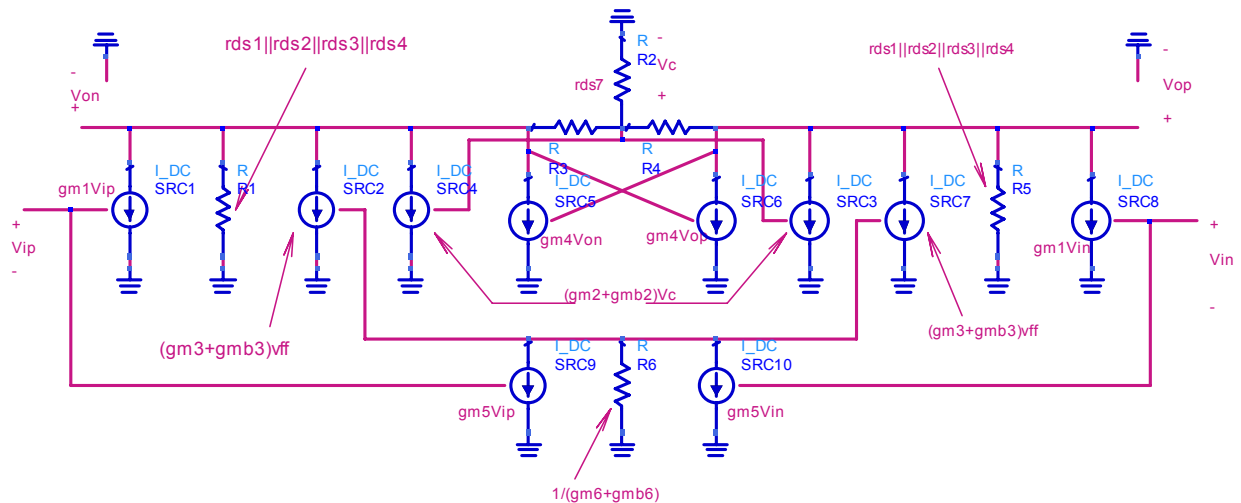


**Εικ. 2.1 Βασική τοπολογία gate-input OTA**

Το διαφορικό κέρδος ενισχύεται περαιτέρω με ένα cross-coupled ζεύγος, M4A, M4B, στο πρώτο στάδιο, το οποίο ενεργεί ως αρνητική αγωγιμότητα με αποτέλεσμα να μειώνει την αγωγιμότητα εξόδου. Επιπλέον όφελος αυτού είναι η περαιτέρω μείωση του κέρδους κοινού σήματος. Ένα παρόμοιο ζεύγος, M11A, M11B, προστίθεται στο δεύτερο στάδιο του διαφορικού ενισχυτή (το κύκλωμα των δύο σταδίων παρουσιάζεται στην παράγραφο 2.2). Μόνο ο ακροδέκτης του υποστρώματος των τρανζίστορ αυτών μπορεί να λειτουργήσει σε χαμηλή κοινή τάση στην έξοδο, ενώ η διαγωγιμότητα του υποστρώματος χρησιμοποιείται για να παρέχει αρνητική αγωγιμότητα στην έξοδο. Τέλος, να σημειωθεί ότι η διαγωγιμότητα της πύλης βρίσκεται σε παραλληλία με τη διαγωγιμότητα εισόδου [1].




$$A_{diff} = \frac{g_{m1}}{g_{ds1} + g_{ds2} + g_{gds3} + g_{ds4} + \frac{1}{R} - g_{m4}}$$
$$A_{cm} = \frac{g_{m1} - 2g_{m5} \frac{g_{m3} + g_{mb3}}{g_{m6} + g_{mb6}}}{g_{m4} + g_{m2} + g_{mb2}}$$
$$8kT \cdot \frac{2}{3} \cdot \frac{1}{g_{m1}} \cdot \left( 1 + \frac{g_{m2}}{g_{m1}} + \frac{g_{m3}}{g_{m1}} + \frac{g_{m4}}{g_{m1}} \right) + \frac{2 \cdot 4kT}{g_{m1}^2 R}$$

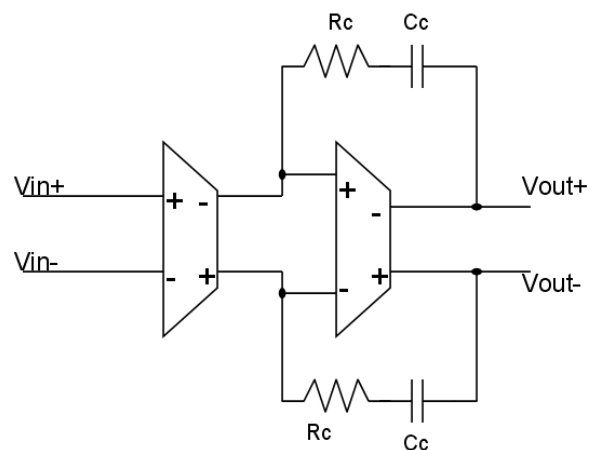


**Εικ. 2.3** Ισοδύναμο μικρού σήματος

όπου  $gm_1$ ,  $gm_2$ ,  $gm_3$ ,  $gm_4$ ,  $gm_5$  και  $gm_6$  είναι οι διαγωγιμότητες πύλης των τρανζίστορ M1, M2, M3, M4, M5 και M6 αντίστοιχα. Επίσης,  $g_{ds1}$ ,  $g_{ds2}$ ,  $g_{ds3}$  και  $g_{ds4}$  είναι οι διαγωγιμότητες απαγωγού-πηγής των αντίστοιχων τρανζίστορ και τέλος,  $g_{mb2}$ ,  $g_{mb3}$  και  $g_{mb6}$  είναι οι διαγωγιμότητες υποστρώματος.

## 2.2 Gate-input OTA δύο σταδίων

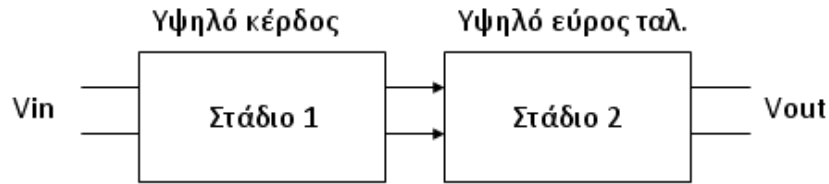
Ένας gate-input τελεστικός ενισχυτής διαγωγιμότητας δύο σταδίων δημιουργείται με την κασκοδική σύνδεση δύο απλών σταδίων όπως φαίνεται και στο παρακάτω block diagram.



**Εικ. 2.4** OTA δύο σταδίων

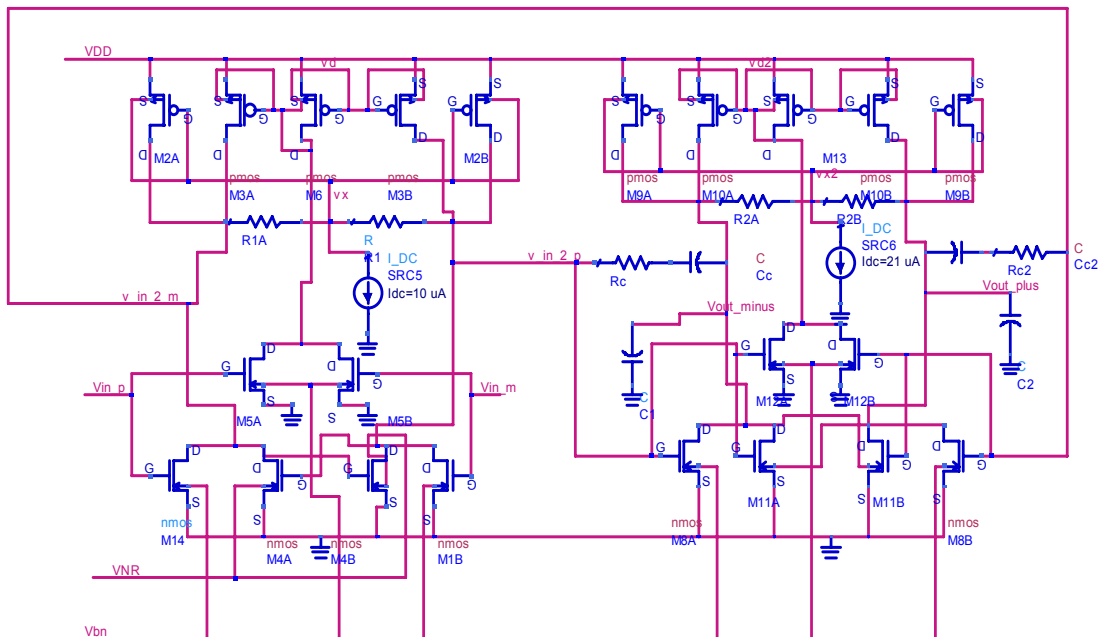
Σε μερικές εφαρμογές, το κέρδος και/ή το εύρος ταλάντευσης της εξόδου που παρέχεται από κασκοδικούς τελεστικούς ενισχυτές ενδέχεται να μην είναι επαρκή. Για παράδειγμα, ένας τελεστικός ενισχυτής, ο οποίος χρησιμοποιείται για ακουστικές εφαρμογές πρέπει να λειτουργεί σε τάση τροφοδοσίας χαμηλή με τιμή στα 0.9 Volts, καθώς το single-ended εύρος ταλάντευσης εξόδου κυμαίνεται σε

υψηλά επίπεδα, περίπου στα 0.5 Volts. Σε τέτοιες περιπτώσεις, απαιτείται η υλοποίηση ενός τελεστικού ενισχυτή δύο σταδίων, στον οποίο το πρώτο στάδιο παρέχει υψηλό κέρδος, ενώ το δεύτερο παρέχει υψηλά εύρη ταλάντευσης σημάτων (Εικόνα 2.5) [2].



**Εικ. 2.5 Block-diagram τελεστικού ενισχυτή δύο σταδίων**

Ο ενισχυτής αντισταθμίζεται με την προσθήκη δύο πυκνωτών Miller  $C_C$ , οι οποίοι συνδέονται σε σειρά με δύο αντιστάσεις  $R_C$ , όπως φαίνεται στο παραπάνω Εικόνα 2.4. Αυτό έχει ως αποτέλεσμα τα μηδενικά της συνάρτησης μεταφοράς να μετακινούνται από το δεξι μιγαδικό ημιεπίπεδο στο αριστερό. Το ολικό σχηματικό του ενισχυτή των δύο σταδίων φαίνεται στην Εικόνα 2.6 παρακάτω.



**Εικ. 2.6 Σχηματικό OTA (ADS)**

Ύστερα από την ανάλυση της απόκρισης συχνοτήτων του ενισχυτή προκύπτει ότι το gain-bandwidth υπολογίζεται από της σχέση  $GBW = \frac{g_{m1}}{2 \cdot \pi \cdot C_L}$ , ενώ η συχνότητα του δεύτερου πόλου βρίσκεται στην τιμή  $f = \frac{g_{m8}}{2 \cdot \pi \cdot C_C}$ , όπου  $C_L$  είναι η χωρητικότητα του φορτίου που οδηγεί η μία έξοδος (single-ended). Η αντίσταση  $R_C$  μεταφέρει το μηδενικό της συνάρτησης μεταφοράς, το οποίο δημιουργείται από την χωρητικότητα  $C_C$ , από το δεξι μιγαδικό ημιεπίπεδο στο αριστερό [1].

Σε εφαρμογές, όπου χρησιμοποιούνται πολλαπλά στάδια τελεστικών ενισχυτών διαγωγιμότητας, οι παρασιτικές χωρητικότητες των NMOS τρανζίστορ εισόδου αποτελούν μέρος της συνολικής χωρητικότητας που αντισταθμίζει την απόκριση του ενισχυτή.

### 2.3 Κυκλώματα πόλωσης για τον gate-input OTA

Για τη σωστή λειτουργία του gate-input OTA, απαιτούνται δύο τάσης πόλωσης: 1)  $V_{bn}$ , η οποία απαιτείται για την πόλωση του υποστρώματος των τρανζίστορ M1, M5, M8, M12 και 2)  $V_{NR}$  που απαιτείται για την πόλωση του υποστρώματος του cross-coupled ζεύγους M4 στο πρώτο στάδιο του ενισχυτή και για να θέσει το DC κέρδος [1].

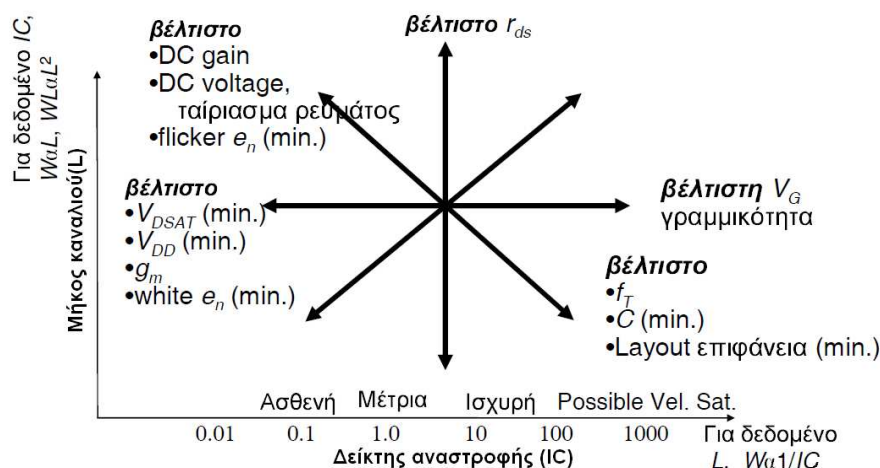
Ωστόσο, εδώ, θα πρέπει να σημειωθεί ότι η χρήση αυτών των τάσεων πόλωσης στα συγκεκριμένα τρανζίστορ ενδείκνυται για τη διαδικασία σχεδίασης των τελεστικών ενισχυτών σε πολύ χαμηλή τάση τροφοδοσίας 0.5 Volts (ultra-low voltage supply) όταν όλες οι τάσεις των σημάτων περιορίζονται από αυτήν την τιμή και επίσης όταν η τάση κατωφλίου κυμαίνεται σε παραπάνω επίπεδα. Η λειτουργία των τρανζίστορ σε τιμές τάσης κάτω από αυτήν του κατωφλίου, καθώς και τα trade-offs που επιλέγονται για τη βέλτιστη σχεδίαση θα συζητηθούν στο Κεφάλαιο 3.

## Trade-offs και διαδικασίες βέλτιστης αναλογικής σχεδίασης

### 3.1 Trade-offs – Περιοχές λειτουργίας του MOSFET

Η επιλογή του ρεύματος υποδοχής, του συντελεστή αναστροφής και του μήκους καναλιού είναι μία από τις βασικές τεχνικές αναλογικής σχεδίασης, η οποία επιτρέπει την παρατήρηση των trade-offs λειτουργίας σε κάθε αλλαγή των παραπάνω σχεδιαστικών παραμέτρων. Τα trade-offs λειτουργίας μέσα από την επιλογή του ρεύματος, του δείκτη αναστροφής και του μήκους καναλιού δεν είναι διαθέσιμα μόνο για ξεχωριστά τρανζίστορ αλλά και για συσχετισμένα MOSFET, δηλαδή για παράδειγμα, καθρέφτες ρεύματος, διαφορικά ζεύγη και άλλα δομικά στοιχεία που απαιτούνται για την υλοποίηση ενός αναλογικού κυκλώματος.

Η Εικόνα (3.1) παρακάτω παρουσιάζει τις περιοχές λειτουργίας του MOSFET και παραθέτει τα trade-offs λειτουργίας ως προς τον επιλεγμένο δείκτη αναστροφής και μήκος καναλιού για δεδομένο ρεύμα πόλωσης στην υποδοχή.



Εικ. 3.1 Trade-offs σχεδίασης

Η λειτουργία σε χαμηλούς δείκτες αναστροφής, weak ή moderate inversion, (στο αριστερό άκρο της Εικόνας) αυξάνει τη διαγωγιμότητα  $g_m$ , το πηλίκο  $g_m/I$ , το θερμικό θόρυβο στην υποδοχή και το DC κέρδος τάσης. Αντίθετα, ελαττώνει το θερμικό θόρυβο στην πύλη των τρανζίστορ, την τάση  $V_{EFF} = V_{GS} - V_T$  και την τάση κορεσμού υποδοχής-πηγής.  $V_{DS,sat}$ . Τέλος, σε αυτές τις περιοχές, παρατηρείται ότι η επιφάνεια της πύλης, τα πλάτη καναλιού, ο λόγος  $W/L$  και οι χωρητικότητες κυμαίνονται σε μεγάλα επίπεδα, με αποτέλεσμα να υπάρχει μείωση στο εύρος ζώνης, το mismatch του ρεύματος, την τάση υπεροδήγησης και το θόρυβο flicker στην πύλη και την υποδοχή των τρανζίστορ [5].

Από την άλλη μεριά, η λειτουργία σε υψηλούς δείκτες αναστροφής, strong inversion, (στο δεξί άκρο της Εικόνας) ελαττώνει τη διαγωγιμότητα  $g_m$ , το πηλίκο  $g_m/I$ , το θερμικό θόρυβο στην υποδοχή και το DC κέρδος τάσης. Αντίθετα, αυξάνει το θερμικό θόρυβο στην πύλη των τρανζίστορ, την τάση  $V_{EFF} = V_{GS} - V_T$  και την τάση κορεσμού υποδοχής-πηγής.  $V_{DS,sat}$ . Επίσης, σε αυτές τις περιοχές, παρατηρείται ότι η επιφάνεια της πύλης, τα πλάτη καναλιού, ο λόγος  $W/L$ , και οι χωρητικότητες κυμαίνονται σε χαμηλά επίπεδα, με αποτέλεσμα να υπάρχει αύξηση στο εύρος ζώνης, το mismatch του ρεύματος, την τάση υπεροδήγησης και το θόρυβο flicker στην πύλη και την υποδοχή των τρανζίστορ.

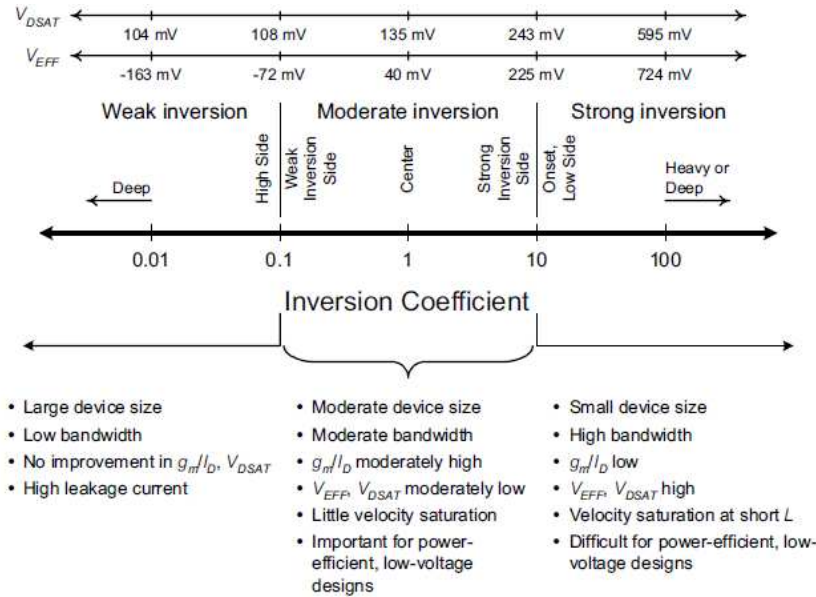
Η λειτουργία με μικρά μήκη καναλιού (στο κάτω μέρος της Εικόνας) ελαττώνει την αντίσταση υποδοχής-πηγής, το κέρδος τάσης και την τάση Early. Επειδή τα πλάτη καναλιού, η επιφάνεια της πύλης, και οι χωρητικότητες πρέπει να μειώνονται με το μήκος, για να διατηρείται ο λόγος  $W/L$ , αυτές οι παράμετροι βρίσκονται σε χαμηλά επίπεδα για μικρά μήκη καναλιού, με αποτέλεσμα να αυξάνονται το εύρος ζώνης, το mismatch του ρεύματος, η τάση υπεροδήγησης και ο θόρυβος flicker στην πύλη και την υποδοχή των τρανζίστορ. Αντίθετα, η λειτουργία με μεγάλα μήκη καναλιού (στο πάνω μέρος της Εικόνας) αυξάνει την αντίσταση υποδοχής-πηγής, το κέρδος τάσης και την τάση Early. Επειδή τα πλάτη καναλιού, η επιφάνεια της πύλης, και οι χωρητικότητες πρέπει να αυξάνονται με το μήκος, για να διατηρείται ο λόγος  $W/L$ , αυτές οι παράμετροι βρίσκονται σε υψηλά επίπεδα για μεγάλα μήκη καναλιού, με αποτέλεσμα να μειώνονται το εύρος ζώνης, το mismatch του ρεύματος, η τάση υπεροδήγησης και ο θόρυβος flicker στην πύλη και την υποδοχή των τρανζίστορ.

Ο συνδυασμός λειτουργίας σε χαμηλούς δείκτες αναστροφής και μεγάλα μήκη καναλιού (στο πάνω αριστερά μέρος της Εικόνας) αυξάνει περεταίρω το κέρδος τάσης, την επιφάνεια της πύλης και τις χωρητικότητες, ενώ ελαττώνει το εύρος ζώνης, το mismatch του ρεύματος, την τάση υπεροδήγησης και τον θόρυβο flicker στην πύλη και την υποδοχή των τρανζίστορ. Αντίστοιχα, ο συνδυασμός λειτουργίας σε υψηλούς δείκτες αναστροφής και μικρά μήκη καναλιού (στο κάτω δεξιά μέρος της Εικόνας) ελαττώνει περεταίρω το κέρδος τάσης, την επιφάνεια της πύλης και τις χωρητικότητες, ενώ αυξάνει το εύρος ζώνης, το mismatch του ρεύματος, την τάση υπεροδήγησης και τον θόρυβο flicker στην πύλη και την υποδοχή.

Σύγχρονες τεχνικές σχεδίασης σε χαμηλές τάσεις τροφοδοσίας απαιτούν τη λειτουργία των τρανζίστορ σε μικρούς δείκτες αναστροφής, έτσι ώστε να επιτυγχάνονται χαμηλές τιμές στην τάση κορεσμού  $V_{DS,sat}$  και  $V_{EFF}$ . Επομένως, οι επιλογές σχεδίασης απαιτούν τη λειτουργία σε ασθενή αναστροφή  $IC < 0.1$  (weak inversion), μέτρια αναστροφή  $0.1 < IC < 10$  (moderate inversion) και το άκρο αρχής της ισχυρούς αναστροφής  $IC = 10$  (strong inversion). Στην επόμενη παράγραφο γίνεται μία αναφορά στις περιοχές αναστροφής του MOSFET και την σπουδαιότητα λειτουργίας σε μέτρια αναστροφή για low-voltage σχεδιάσεις [5].

### 3.2 Περιοχές αναστροφής του MOSFET

Ο δείκτης αναστροφής είναι ένας συντελεστής, ο οποίος περιγράφει την περιοχή και το επίπεδο αναστροφής του καναλιού ενός MOSFET από την ασθενή έως την ισχυρή αναστροφή όπως φαίνεται και στην Εικόνα (3.2) παρακάτω.



Εικ. 3.2 Περιοχές λειτουργίας MOSFET

Σε αυτήν την παράγραφο θα οριστούν οι υποπεριοχές αναστροφής ενός MOSFET με σκοπό να αναδειχτούν οι βέλτιστες επιλογές για αυτήν τη σχεδιαστική παράμετρο. Στην παραπάνω Εικόνα φαίνονται αυτές οι περιοχές συσχετισμένες με την εκάστοτε τάση υπεροδήγησης  $V_{EFF} = V_{GS} - V_T$  και το εύρος τιμών του δείκτη αναστροφής. Στο Κεφάλαιο 1 αναφέρθηκε ότι αυτή η τάση μπορεί να χρησιμοποιηθεί για να περιγράψει το επίπεδο αναστροφής των τρανζίστορ. Η σχέση που συνδέει τη διαφορά  $V_{EFF}$  με το ρεύμα της υποδοχής από την ασθενή έως την ισχυρή αναστροφή δίνεται από τον τύπο:

$$I_D = 2 \cdot n \cdot \mu_0 \cdot C'_{ox} \cdot U_T^2 \cdot \left( \frac{W}{L} \right) \cdot \left[ \ln \left( 1 + e^{\frac{V_{GS} - V_T}{2 \cdot n \cdot U_T}} \right) \right]^2 \quad (3.1)$$

όπου  $n$  είναι ο slope factor του τρανζίστορ,  $\mu_0$  η κινητικότητα των φορέων στο κανάλι και  $C'_{ox}$  η χωρητικότητα του οξειδίου της πύλης.

Επίσης, είναι γνωστό ότι το ρεύμα πόλωσης της υποδοχής, στην περιοχή κορεσμού, δίνεται από τη σχέση:

$$I_D = 2 \cdot n \cdot \mu_0 \cdot C'_{ox} \cdot U_T^2 \cdot \left( \frac{W}{L} \right) \cdot IC \quad (3.2)$$

Αντικαθιστώντας την (3.2) στην (3.1), έχουμε:

$$\begin{aligned}
2 \cdot n \cdot \mu_0 \cdot C'_{ox} \cdot U_T^2 \cdot \left(\frac{W}{L}\right) \cdot \left[ \ln \left( 1 + e^{\frac{V_{GS}-V_T}{2 \cdot n \cdot U_T}} \right) \right]^2 &= 2 \cdot n \cdot \mu_0 \cdot C'_{ox} \cdot U_T^2 \cdot \left(\frac{W}{L}\right) \cdot IC \\
\Rightarrow \ln \left( 1 + e^{\frac{V_{GS}-V_T}{2 \cdot n \cdot U_T}} \right)^2 &= IC \\
\Rightarrow \ln \left( 1 + e^{\frac{V_{GS}-V_T}{2 \cdot n \cdot U_T}} \right) &= \sqrt{IC} \\
\Rightarrow 1 + e^{\frac{V_{GS}-V_T}{2 \cdot n \cdot U_T}} &= e^{\sqrt{IC}} \\
\Rightarrow e^{\frac{V_{GS}-V_T}{2 \cdot n \cdot U_T}} &= e^{\sqrt{IC}} - 1 \\
\Rightarrow \ln \left( e^{\frac{V_{GS}-V_T}{2 \cdot n \cdot U_T}} \right) &= \ln(e^{\sqrt{IC}} - 1) \\
\Rightarrow \frac{V_{GS}-V_T}{2 \cdot n \cdot U_T} &= \ln(e^{\sqrt{IC}} - 1) \\
\Rightarrow V_{GS} - V_T &= 2 \cdot n \cdot U_T \cdot \ln(e^{\sqrt{IC}} - 1) \\
\Rightarrow V_{EFF} &= 2 \cdot n \cdot U_T \cdot \ln(e^{\sqrt{IC}} - 1) \tag{3.3}
\end{aligned}$$

Ο τύπος (3.3) [5] δείχνει τη σχέση μεταξύ της τάσης  $V_{EFF}$  με το δείκτη αναστροφής  $IC$  από WI (weak inversion) έως SI (strong inversion).

Με βάση την Εικόνα (3.2), οι υποπεριοχές αναστροφής του MOSFET είναι:

- **Deep weak inversion** ( $IC < 0.1, V_{EFF} < -163mV$ ). Σε αυτήν την περιοχή υπάρχει μεγάλη επιφάνεια πύλης, καμία σημαντική βελτίωση στο λόγο διαγωγιμότητας/ρεύματος και χαμηλό εύρος ζώνης. Τέλος, παρατηρείται υψηλό ρεύμα διαρροής.
- **High side of weak inversion** ( $IC = 0.1, V_{EFF} = -72mV$ ). Η λειτουργία σε αυτήν την περιοχή παρέχει το μέγιστο λόγο διαγωγιμότητας/ρεύματος της προηγούμενης περιοχής, χαμηλά  $V_{EFF}$ ,  $V_{DS,sat}$ , υψηλό κέρδος και μεγαλύτερο εύρος ζώνης.
- **Weak-inversion side of moderate inversion** ( $0.1 < IC < 1, -72mV < V_{EFF} < 40mV$ ).
- **Center of moderate inversion** ( $IC = 1, V_{EFF} = 40mV$ ).
- **Strong-inversion side of moderate inversion** ( $1 < IC < 10, 40mV < V_{EFF} < 225mV$ ). Η λειτουργία σε αυτές τις τρεις τελευταίες περιοχές ενδείκνυται για τη σχεδίαση χαμηλής τροφοδοσίας. Παρέχει υψηλό λόγο διαγωγιμότητας/ρεύματος, υψηλό κέρδος, μέτριο εύρος ζώνης, επιφάνεια πύλης και τάσεις  $V_{EFF}$  και  $V_{DS,sat}$ .



- **Onset of strong inversion** ( $IC = 10, V_{EFF} = 225mV$ ). Η λειτουργία σε αυτό το σημείο παρέχει χαμηλό λόγο διαγωγιμότητας/ρεύματος, υψηλές τιμές  $V_{EFF}$  και  $V_{DS,sat}$ , χαμηλό κέρδος και πολύ καλό εύρος ζώνης.
- **Low-side of strong inversion** ( $10 < IC < 100, 225mV < V_{EFF} < 724mV$ ). Η λειτουργία σε αυτή την περιοχή παρέχει μειούμενο λόγο διαγωγιμότητας/ρεύματος, υψηλές και αυξανόμενες τιμές  $V_{EFF}$  και  $V_{DS,sat}$ , χαμηλό κέρδος αλλά πολύ υψηλό εύρος ζώνης.
- **Heavy or deep strong inversion** ( $IC > 100, V_{EFF} > 724mV$ ). Η λειτουργία σε αυτήν την περιοχή, όπως και στην προηγούμενη, δεν ενδείκνυται για τη σχεδίαση κυκλωμάτων σε χαμηλές τάσεις τροφοδοσίας. Εδώ, παρατηρούνται πολύ υψηλές τιμές  $V_{EFF}$  και  $V_{DS,sat}$ , πολύ υψηλό εύρος ζώνης, μικρή επιφάνεια πύλης, χαμηλός λόγος διαγωγιμότητας/ρεύματος και πολύ μικρό κέρδος [5].

### 3.3 Τεχνολογίες υλοποίησης- Παράμετροι σχεδίασης

Η σχεδίαση του ενισχυτή που θα συζητηθεί στο επόμενο κεφάλαιο έγινε σε τεχνολογία των 0.25μm με τη βοήθεια του **ADVANCED DESIGN SYSTEM 2004A (ADS)** της **Agilent Technologies**. Η ίδια σχεδίαση έχει γίνει και σε άλλες τεχνολογίες στο παρελθόν, όπως αυτή των 0.18μm με καλά και αποδεκτά αποτελέσματα προσομοίωσης.

Η υλοποίηση του κυκλώματος έγινε με την εγκαθίδρυση και χρήση του SGB25VD Process Design Kit (PDK) της IHP Microelectronics με βάση τα μοντέλα EKV και BSIM3v3.24.

Στη συνέχεια ακολουθεί ο υπολογισμός των ηλεκτρικών παραμέτρων  $C'_{ox}$ ,  $\gamma$ ,  $\phi_F$ ,  $K_p$  και  $I_{spec0}$  (specific current για  $W/L = 1$ ) για NMOS και PMOS:

#### NMOS

$$C'_{ox} = \frac{\epsilon_{ox}}{T_{ox}} = \frac{3.45 \cdot 10^{-11}}{5.8 \cdot 10^{-9}} = 0.59 \cdot 10^{-2} F/m^2$$

$$\gamma = \frac{\sqrt{2 \cdot q \cdot \epsilon_{si} \cdot N_{sub}}}{C'_{ox}} = \frac{\sqrt{2 \cdot q \cdot \epsilon_{si}} \cdot \sqrt{N_{sub}}}{C'_{ox}} = \frac{5.8 \cdot 10^{-15} \cdot \sqrt{6 \cdot 10^{22}}}{0.59 \cdot 10^{-2}} = 0.239 \sqrt{V}$$

$$\phi_F = U_T \cdot \ln\left(\frac{N_{sub}}{n_i(T)}\right) = 2 \cdot U_T \cdot \ln\left(\frac{N_{sub}}{n_i(300K)}\right) = 0.026 \cdot \ln\left(\frac{6 \cdot 10^{22}}{1.19 \cdot 10^{16}}\right) = 0.40V$$

$$K_p = \mu \cdot C'_{ox} = 331.483 \cdot 10^{-4} \cdot 0.59 \cdot 10^{-2} \approx 1.955 \cdot 10^{-4} A/V^2$$

$$I_{spec0} = 2 \cdot n \cdot U_T^2 \cdot K_p = 2 \cdot 1.25 \cdot 6.76 \cdot 10^{-4} \cdot 1.955 \cdot 10^{-4} \approx 0.3305 \mu A$$

## PMOS

$$C'_{ox} = \frac{\epsilon_{ox}}{T_{ox}} = \frac{3.45 \cdot 10^{-11}}{5.8 \cdot 10^{-9}} = 0.59 \cdot 10^{-2} F/m^2$$

$$\gamma = \frac{\sqrt{2 \cdot q \cdot \epsilon_{si} \cdot N_{sub}}}{C'_{ox}} = \frac{\sqrt{2 \cdot q \cdot \epsilon_{si}} \cdot \sqrt{N_{sub}}}{C'_{ox}} = \frac{5.8 \cdot 10^{-15} \cdot \sqrt{6 \cdot 10^{22}}}{0.61 \cdot 10^{-2}} = 0.231 \sqrt{V}$$

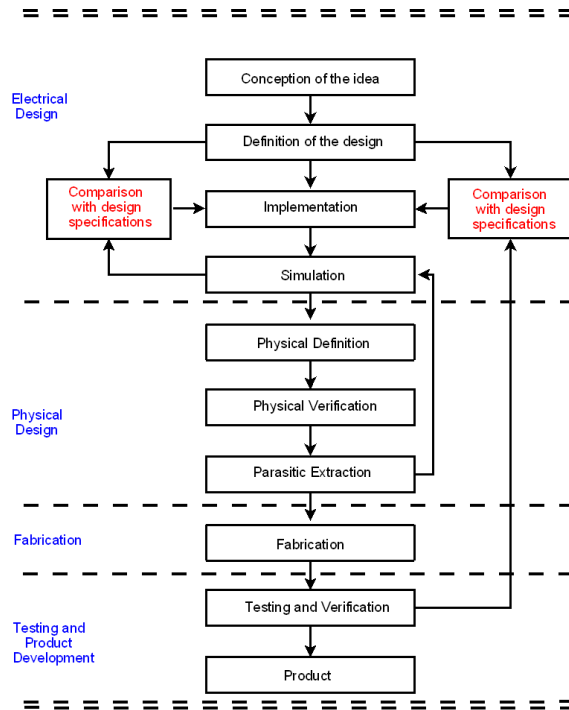
$$\phi_F = U_T \cdot \ln\left(\frac{N_{sub}}{n_i(T)}\right) = 2 \cdot U_T \cdot \ln\left(\frac{N_{sub}}{n_i(300K)}\right) = 0.026 \cdot \ln\left(\frac{6 \cdot 10^{22}}{1.19 \cdot 10^{16}}\right) = 0.40V$$

$$K_p = \mu \cdot C'_{ox} = 98.9356 \cdot 10^{-4} \cdot 0.61 \cdot 10^{-2} \approx 0.603 \cdot 10^{-4} A/V^2$$

$$I_{spec0} = 2 \cdot n \cdot U_T^2 \cdot K_p = 2 \cdot 1.02 \cdot 6.76 \cdot 10^{-4} \cdot 0.603 \cdot 10^{-4} \approx 0.0805 \mu A$$

### 3.4 Ροή σχεδίασης ολοκληρωμένων αναλογικών κυκλωμάτων

Στην Εικόνα (3.3) που ακολουθεί παρουσιάζονται τα βήματα της σχεδιαστικής ροής των ολοκληρωμένων αναλογικών κυκλωμάτων (Analog IC design flow). Σε αυτό αναγνωρίζονται τέσσερα βήματα: 1) Electrical design, 2) Physical design, 3) Fabrication και 4) Testing and Product Development.



**Εικ. 3.3 Διάγραμμα ροής σχεδίασης ολοκληρωμένων αναλογικών κυκλωμάτων**

**Electrical design:** Σε αυτό το βήμα γίνεται η σύλληψη της σχεδιαστικής ιδέας, ο ορισμός της σχεδίασης και των προδιαγραφών και η υλοποίηση του τελικού σχεδίου (σύνθεση κυκλώματος με τα κατάλληλα δομικά στοιχεία). Τελικό στάδιο είναι η προσομοίωση του κυκλώματος, τα αποτελέσματα της οποίας συγκρίνονται με τις αρχικές προδιαγραφές με σκοπό την ενδεχόμενη διόρθωση της προηγούμενης υλοποίησης.

**Physical design:** Σε αυτό το βήμα γίνεται ο ορισμός και η κατασκευή του φυσικού σχεδίου (layout) με βάση συγκεκριμένους κανόνες που αποσκοπούν στη βέλτιστη φυσική σχεδίαση. Το τελικό σχέδιο ελέγχεται και πιστοποιείται για τη σωστή του λειτουργία με συγκεκριμένους προσομοιωτές. Επίσης, εδώ λαμβάνει χώρα η διαδικασία μετασχηματισμού/μετατροπής VHDL/Verilog κώδικα σε πυρίτιο.

**Fabrication:** Σε αυτό το βήμα γίνεται η τύπωση και παραγωγή του φυσικού σχεδίου σε ολοκληρωμένο κύκλωμα. Πιο συγκεκριμένα, είναι μια πολλαπλών σταδίων ακολουθία φωτογραφικών και χημικών βημάτων επεξεργασίας κατά τη διάρκεια της οποίας τα ηλεκτρονικά κυκλώματα δημιουργούνται βαθμιαία σε ένα πλακίδιο κατασκευασμένο από καθαρό ημιαγωγικό υλικό. Το πυρίτιο είναι το συνηθέστερα χρησιμοποιούμενο υλικό ημιαγωγών σήμερα, μαζί με τους διάφορους σύνθετους ημιαγωγούς.

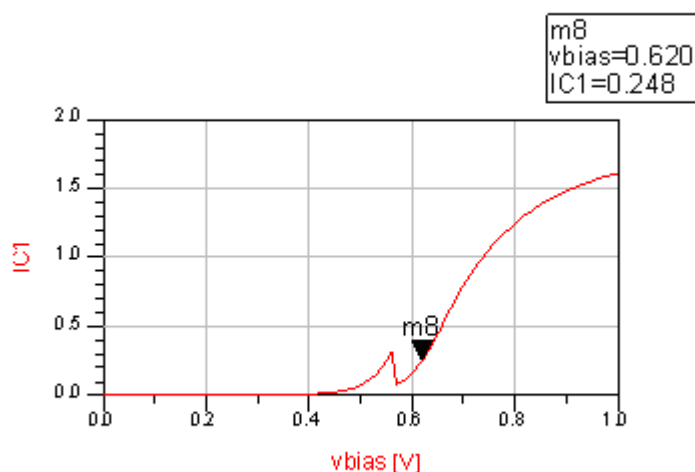
**Testing and Product Development:** Το τελευταίο αυτό βήμα περιλαμβάνει τον έλεγχο και την πιστοποίηση σωστής λειτουργίας του τελικού ολοκληρωμένου, το οποίο εξάγεται ως προϊόν προς χρήση στο εμπόριο.

### Σχεδίαση gate-input OTA δύο σταδίων σε τάση τροφοδοσίας 1 Volt

Σε αυτό το κεφάλαιο περιγράφεται η διαδικασία σχεδίασης του gate-input OTA και μελετώνται η απόκριση συχνοτήτων και (AC frequency response), καθώς και η απόκριση στο πεδίο του χρόνου (Transient analysis-response).

#### 4.1 DC ανάλυση

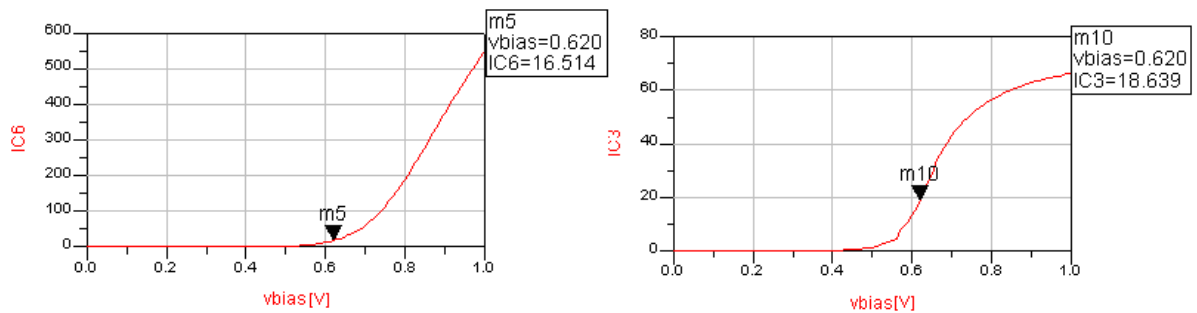
Η σχεδίαση του ενισχυτή αρχίζει με τη διαστασιολόγηση όλων των MOSFET με βάση το βιβλίο των Yiannis Tsividis, Peter Kinget...[1]. Πρώτο βήμα είναι να μελετηθεί τη συμπεριφορά των τρανζίστορ, δηλ. σε ποιες τιμές IC λειτουργούν, ποια είναι η πόλωση στις πύλες τους αλλά και ποιο είναι το ρεύμα πόλωσης τους. Κάνοντας, λοιπόν, ένα sweep την τάση πόλωσης της πύλης του διαφορικού ζεύγους εισόδου, παρατηρούνται τα εξής:



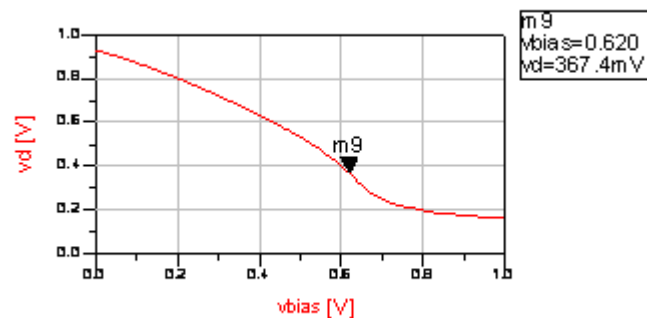
**Εικ. 4.1 IC1 συναρτήσει της τάσης πόλωσης εισόδου**

Στην εικόνα αυτή φαίνεται ότι όταν αυξάνεται η τάση πόλωσης στην πύλη του τρανζίστορ, τότε αυξάνεται και ο δείκτης αναστροφής του, ενώ το εύρος αυτού κυμαίνεται σε χαμηλές τιμές (μέγιστη τιμή  $IC = 1.6$ ). Να σημειωθεί ότι αυτό μπορεί να προσαρμοστεί ανάλογα με τις απαιτήσεις της σχεδίασης του διαφορικού ζεύγους.

Το ίδιο ισχύει και για το τρανζίστορ M6, όπως φαίνεται και στην Εικόνα 4.2 παρακάτω. Όταν αυξάνεται η τάση πόλωσης στην πύλη του ζεύγους M1A-M1B, τότε μειώνεται η τάση εξόδου (υποδοχής-πηγής) του ζεύγους M5A-M5B (Εικόνα 4.3). Η τάση αυτή πολώνει τους δύο καθρέφτες ρεύματος M6-M3A και M6-M3B. Εφόσον αυτοί οι καθρέφτες δομούνται από PMOS τρανζίστορ, όταν η τάση στην πύλη τους μειώνεται, τότε ο δείκτης αναστροφής τους αυξάνεται.

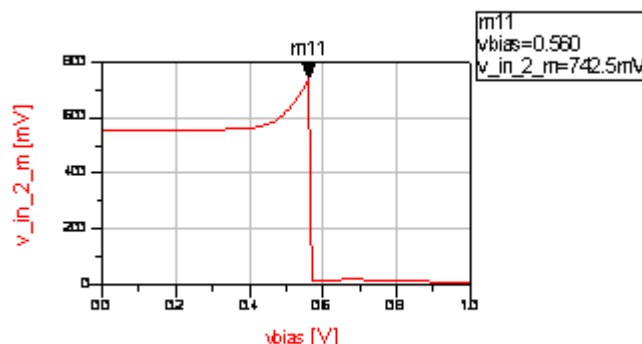


Εικ. 4.2 IC6, IC3 συναρτήσει της τάσης πόλωσης εισόδου



Εικ. 4.3 Τάση υποδοχής M6 συναρτήσει τάσης πόλωσης εισόδου

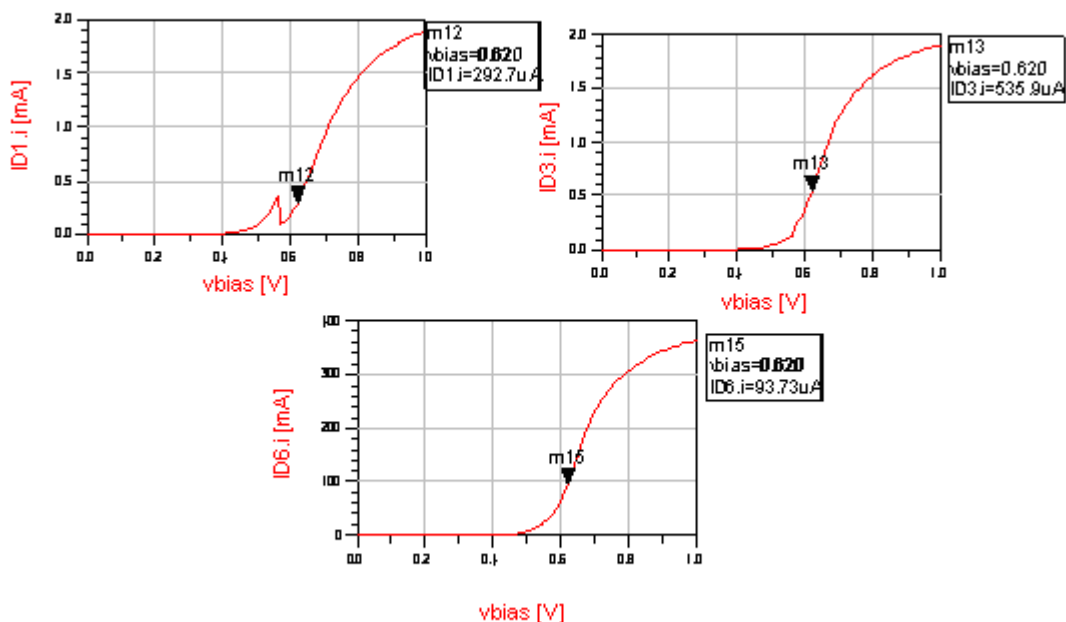
Εδώ, πρέπει να σημειωθεί ότι η πόλωση της πύλης του διαφορικού ζεύγους δεν επηρεάζει μόνο τη λειτουργία του μονοπατιού κοινού σήματος που αποτελείται από τα M5-M6-M3, αλλά και αυτήν του ενεργού φορτίου M2A-M2B. Όπως αναφέρθηκε και σε προηγούμενο κεφάλαιο, η βασική τοπολογία του ΟΤΑ που μελετάται σε αυτήν την εργασία αποτελείται από δύο ενισχυτές κοινής πηγής. Στην Εικόνα 4.4 παρακάτω, φαίνεται πώς μεταβάλλεται η μία έξοδος του ενισχυτή καθώς η είσοδος στο τρανζίστορ M1 αυξάνεται από μηδέν έως ένα Volt.



Εικ. 4.4 Χαρακτηριστική εισόδου-εξόδου πρώτου σταδίου

Αν η τάση εισόδου στο M1 αυξάνεται από το μηδέν, το M1 είναι “off”, και η έξοδος  $v_{in\_2\_m}$  είναι σχεδόν σταθερή (σε τιμή που αντιστοιχεί στην τάση τροφοδοσίας μειωμένη κατά την τάση υποδοχής-πηγής του τρανζίστορ M2). Όταν, τώρα η είσοδος πλησιάζει την τάση κατωφλίου, το M1 αρχίζει να “ανάβει”, με αποτέλεσμα να ρέει ένα ρεύμα μέσω του M2, το οποίο μειώνει την τάση εξόδου. Όταν, λοιπόν, το M1 λειτουργεί σε κατάσταση sub-threshold, τότε υπάρχει ένα μικρό ρεύμα, το οποίο ρέει στην υποδοχή του M2 και αρχίζει να αυξάνεται με την αύξηση της τάσης πόλωσης του M1 πάνω από την τάση κατωφλίου.

Μία πρώτη προσέγγιση για τη σχεδίαση του ενισχυτή είναι να προσαρμοστούν οι πολώσεις σε κάθε τρανζίστορ με βάση την προσομοίωση του κυκλώματος. Κατά τη διαδικασία αυτή, όμως, παρατηρείται το εξής πρόβλημα στη λειτουργία του μονοπατιού κοινού σήματος: αν επιλεγεί οι καθρέφτες ρεύματος να λειτουργούν σε ισχυρή αναστροφή, όπου επιτυγχάνονται καλύτερο matching, μικρότερος θόρυβος και μεγαλύτερη ταχύτητα, τότε το διαφορικό ζεύγος M1 θα πρέπει να πολωθεί με τάση μεγαλύτερη από την τάση κατωφλίου (εδώ επιλέγεται τάση ίση με 0.620 Volts). Με βάση τα αποτελέσματα της προσομοίωσης, όμως, που παρουσιάστηκαν παραπάνω, αυτό οδηγεί σε μεγάλα ρεύματα πόλωσης στην υποδοχή των τρανζίστορ και αποτελεί μία μη αποδεκτή σχεδιαστική προσέγγιση αν είναι επιθυμητή μία χαμηλή κατανάλωση σαν αυστηρή προδιαγραφή. Ωστόσο, παρατηρείται ότι τα τρανζίστορ του διαφορικού ζεύγους εισόδου λειτουργούν σε μέτρια αναστροφή ( $IC = 0.248$ ), τιμή με την οποία επιτυγχάνονται υψηλές τιμές  $g_m / I$  και  $g_m$ .



Εικ. 4.5 Ρεύματα πόλωσης συναρτήσει τάσης πόλωσης εισόδου

Στην Εικόνα (4.5) πιο πάνω φαίνονται οι μεγάλες τιμές των ρευμάτων πόλωσης, πράγμα το οποίο, όπως αναφέρθηκε, δεν είναι αποδεκτό αν έχει οριστεί, ως αυστηρή προδιαγραφή η χαμηλή κατανάλωση.

Όλη η διαδικασία που περιγράφηκε παραπάνω αποτελεί μία πρώτη προσέγγιση-απόπειρα για τη σχεδίαση του ενισχυτή (πιο πολύ αναγνωριστική) χωρίς να έχουν προσδιοριστεί ακόμα σαφείς προδιαγραφές και απαιτήσεις. Στη συνέχεια της παρούσας ενότητας περιγράφεται με μεγαλύτερη λεπτομέρεια και πιο συγκεκριμένα η διαδικασία σχεδίασης του ΟΤΑ ακολουθώντας σαφή και συγκεκριμένα κριτήρια βασισμένα σε σαφείς προδιαγραφές.

Τα βασικά βήματα για τη σχεδίαση των τρανζίστορ κάθε βαθμίδας του gate-input ΟΤΑ είναι:

- Επιλογή του μήκους  $L$  του τρανζίστορ
- Επιλογή του ρεύματος πόλωσης στην υποδοχή
- Επιλογή του  $IC$  στο οποίο θα λειτουργεί το τρανζίστορ
- Υπολογισμός της τάσης πόλωσης της πύλης
- Υπολογισμός του πλάτους  $W$  μέσω της σχέσης  $W = \frac{I_D \cdot L}{I_{SPEC0} \cdot IC}$  (4.1) ,

όπου  $I_D$  είναι το ρεύμα πόλωσης και  $I_{SPEC0}$  το specific current για  $\frac{W}{L}=1$  [5], [9]

Ο υπολογισμός της τάσης πόλωσης της πύλης βασίζεται στη σχέση (3.3) για κάθε επιλεγμένο δείκτη αναστροφής από  $WI$  έως  $SI$ .

Ο ενισχυτής αποτελείται από δύο διαφορικά ζεύγη (ένα εισόδου και ένα στο μονοπάτι κοινού σήματος), δύο PMOS καθρέφτες ρεύματος, ένα cross-coupled ζεύγος για περεταίρω ενίσχυση του κέρδους και τέλος, ένα ενεργό φορτίο.

Τα τρανζίστορ εισόδου θα πρέπει να λειτουργούν σε χαμηλές τιμές  $IC$  (περίπου 0.7) σε μέτρια αναστροφή ώστε να επιτυγχάνονται υψηλές τιμές σε  $g_m/I$  και  $g_m$ . Για ένα σταθερό ρεύμα πόλωσης, όσο πιο μεγάλος είναι ο λόγος  $g_m/I$ , τόσο μεγαλύτερη είναι η διαγωγιμότητα  $g_m$ . Αυτό έχει ως αποτέλεσμα να παρατηρείται μεγαλύτερο εσωτερικό (intrinsic) dc κέρδος και μεγαλύτερο GBW. Αντίθετα, οι καθρέφτες ρεύματος θα πρέπει να λειτουργούν σε πολύ μεγαλύτερες τιμές  $IC$  (περίπου 10-12), στο όριο μέτριας με ισχυρή αναστροφή ή ακόμα και σε ισχυρή αναστροφή, ώστε να επιτυγχάνονται χαμηλές τιμές σε  $g_m/I$  και  $g_m$ , καλύτερο matching, μεγαλύτερη ταχύτητα και χαμηλότερος θόρυβος. Εδώ, να σημειωθεί ότι το μήκος  $L$  όλων των τρανζίστορ παραμένει σταθερό, ακόμα και για τους καθρέφτες ρεύματος. Μία ενδεχόμενη αύξηση του μήκους μπορεί να βελτιώσει το matching, αλλά, από την άλλη μεριά, οδηγεί σε μείωση της ταχύτητας λειτουργίας, αύξηση των παρασιτικών χωρητικοτήτων και των αντιστάσεων εξόδου  $r_{ds}$ .

Για μία καλή απόρριψη κοινού σήματος [1], η σχεδίαση αρχίζει με την επιβολή του κριτηρίου  $\frac{M_3}{M_6} = 0.25 \cdot \frac{M_1}{M_5}$ . Ο λόγος  $\frac{M_3}{M_6}$  είναι ο λόγος του

καθρέφτη ρεύματος και επιλέγεται ίσος με 2.5. Επομένως, η σχέση των διαστάσεων μεταξύ των τρανζίστορ M1 και M5 είναι:  $\frac{M_1}{M_5} = \frac{2.5}{0.25} = 10$  (4.2) .

Τα τρανζίστορ M1 και M5 επιλέγεται να λειτουργούν σε δείκτες αναστροφής 0.7 και 1 αντίστοιχα για τους λόγους που αναφέρθηκαν πιο πάνω. Παράλληλα, λαμβάνοντας υπόψη και τη σχέση (4.2), είναι δυνατόν να υπολογιστεί το ρεύμα πόλωσης του τρανζίστορ M1, αφού πρώτα επιλεγεί αυτό του τρανζίστορ M5 ίσο με 10μΑ. Πιο συγκεκριμένα, ισχύουν τα παρακάτω:

$$\begin{aligned} \frac{M_1}{M_5} = \frac{2.5}{0.25} = 10 &\Rightarrow \frac{\frac{I_{D1}}{I_{spec0\_N} \cdot IC_1}}{\frac{I_{D5}}{I_{spec0\_N} \cdot IC_5}} = 10 \Rightarrow \frac{I_{D1} \cdot I_{spec0\_N} \cdot IC_5}{I_{D5} \cdot I_{spec0\_N} \cdot IC_1} = 10 \Rightarrow \\ &\Rightarrow \frac{I_{D1} \cdot 1}{I_{D5} \cdot 0.7} = 10 \Rightarrow I_{D1} = 10 \cdot I_{D5} \cdot 0.7 \Rightarrow I_{D1} = 10 \cdot 10 \cdot 0.7 \Rightarrow I_{D1} = 70 \mu A \end{aligned}$$

, όπου  $I_{spec0\_N}$  είναι το specific current των NMOS τρανζίστορ.

Από τη σχέση (4.2), υπολογίζεται το πλάτος του M1, το οποίο είναι ίσο με:

$$W_1 = \frac{I_{D1} \cdot L}{I_{SPEC0\_N} \cdot IC_1} = \frac{70 \cdot 0.28}{0.3305 \cdot 0.7} = 84.72 \mu m$$

Ο λόγος του καθρέφτη ρεύματος έχει επιλεγεί ίσος με 2.5, δηλαδή,

$$\frac{M_3}{M_6} = 2.5 \Rightarrow \frac{I_{D3} \cdot IC_6}{I_{D6} \cdot IC_3} = 2.5 \Rightarrow I_{D3} = 2.5 \cdot I_{D6} \Rightarrow I_{D3} = 2.5 \cdot 10 \Rightarrow I_{D3} = 25 \mu A$$

επιλέγοντας τα τρανζίστορ M3 και M6 του καθρέφτη να λειτουργούν σε δείκτη αναστροφής 10 και τα δύο. Τώρα, από τη σχέση (4.2), υπολογίζεται το πλάτος του M3, το οποίο είναι ίσο με:

$$W_3 = \frac{I_{D3} \cdot L}{I_{SPEC0\_P} \cdot IC_1} = \frac{25 \cdot 0.28}{0.0805 \cdot 0.7} = 8.694 \mu m$$

, όπου  $I_{spec0\_P}$  είναι το specific current των PMOS τρανζίστορ.

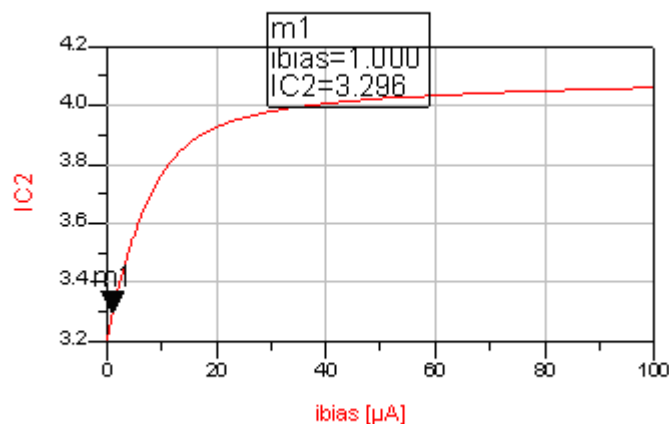
Από τα παραπάνω, είναι δυνατόν να υπολογιστούν οι υπόλοιπες διαστάσεις των τρανζίστορ M5 και M6, για τα οποία ισχύουν τα εξής:



$$W_6 = \frac{W_3}{2.5} = \frac{8.694}{2.5} = 3.478 \mu m$$

$$W_5 = \frac{W_1}{10} = \frac{84.72}{10} = 8.472 \mu m$$

Οι διαστάσεις του ενεργού φορτίου που αποτελείται από τα τρανζίστορ M2A και M2B, παραμένουν ως έχουν, καθώς η πόλωση που παρέχει η πηγή ρεύματος είναι ικανή και αρκετή να θέσει τα τρανζίστορ αυτά σε λειτουργία μέτριας αναστροφής, που είναι και το επιθυμητό. Μία αρχική εκτίμηση για την περιοχή λειτουργίας του ενεργού φορτίου φαίνεται στην εικόνα (4.6) παρακάτω.



**Εικ. 4.6 IC2 συναρτήσει πόλωσης ενεργού φορτίου**

Το cross-coupled ζεύγος εξόδου (M4A-M4B) εισάγει αρνητική διαγωγιμότητα και χρησιμεύει για την περαιτέρω ενίσχυση του κέρδους. Οι διαστάσεις του παραμένουν και αυτές ως έχουν. Οι πύλες των τρανζίστορ αυτών πολώνονται από τις εξόδους του ενισχυτή. Εφόσον τα τρανζίστορ του διαφορικού ζεύγους εισόδου πολώνονται με τάση 0.61 Volts, και γνωρίζοντας ότι ο ενισχυτής δομείται από common-source stages, αναμένεται ότι οι έξοδοί του θα πολώνουν το cross-coupled ζεύγος με χαμηλή τάση, δηλαδή, αναμένεται να τα αντίστοιχα τρανζίστορ να λειτουργούν σε μέτρια προς ασθενή αναστροφή. Αυτό φαίνεται και στην εικόνα (4.4).

Στον πίνακα που ακολουθεί, φαίνονται τα αποτελέσματα της προσομοίωσης του κυκλώματος, τα οποία περιλαμβάνουν ρεύματα πόλωσης και δείκτες αναστροφής για το τρανζίστορ κάθε δομικής μονάδας:

|    | $I_D$ bias ( $\mu$ A) | $IC$  |
|----|-----------------------|-------|
| M1 | 72.60                 | 0.72  |
| M2 | 59.53                 | 2.07  |
| M3 | 27.68                 | 11.07 |
| M4 | 14.11                 | 0.11  |
| M5 | 10.78                 | 1.07  |
| M6 | 10.76                 | 10.78 |

**Πίνακας 4.1 Ρεύματα πόλωσης, IC λειτουργίας**

Με βάση τα αποτελέσματα του παραπάνω πίνακα, παρατηρείται ότι αυτά δεν απέχουν πολύ από τις αρχικές επιλογές που έγιναν κατά τη διάρκεια της διαδικασίας σχεδίασης, όσον αφορά τα ρεύματα πόλωσης και τους δείκτες αναστροφής των τρανζίστορ κάθε δομικής βαθμίδας (διαφορικά ζεύγη, καθρέφτες ρεύματος).

Τέλος, όπως τονίστηκε και σε προηγούμενο κεφάλαιο, η διαφορά τάσης  $V_{EFF} = V_{GS} - V_T$  θέτει το επίπεδο αναστροφής του κάθε τρανζίστορ, Ωστόσο, ο δείκτης αναστροφής είναι μία παράμετρος, η οποία δίνει μία πιο προσεκτική και ξεκάθαρη εικόνα για το πώς λειτουργούν τα MOSFETs σε κάθε δομική βαθμίδα. Για το διαφορικό ζεύγος εισόδου M1, εφόσον έχει επιλεγεί να λειτουργεί σε  $IC_1 = 0.7$ , η τάση  $V_{EFF}$  είναι ίση με 0.0174 Volts, υπολογισμένη βάσει της σχέσης (3.3). Επομένως, η dc τάση πόλωσης στις πύλες των τρανζίστορ M1A και M2A θα πρέπει να είναι περίπου ίση με 0.61 Volts (με τάση κατωφλίου ίση με 0,585 Volts για short channel). Όμοια, για να λειτουργήσουν οι καθρέφτες ρεύματος M3-M6 σε  $IC = 10$  απαιτείται πόλωση από την τάση εξόδου του δεύτερου διαφορικού ζεύγους M5A-M5B ίση με 0.165 Volts, υπολογισμένη βάσει της σχέσης (3.3). Ωστόσο, η τάση κατωφλίου των αντίστοιχων τρανζίστορ μειώνεται, κατά απόλυτη τιμή, με την πόλωση του ακροδέκτη του υποστρώματος. Η νέα τιμή της τάσης κατωφλίου υπολογίζεται από τη σχέση (1.1) και είναι ίση με 0.550. Επομένως, η dc τάση πόλωσης στις πύλες των τρανζίστορ M3A, M3B και M6 θα πρέπει να είναι περίπου ίση με 0.394 Volts.

Η παραπάνω ανάλυση αφορά το πρώτο στάδιο του ενισχυτή. Ο τελικός gate-input OTA αποτελείται από δύο στάδια τα οποία συνδυάζονται με τέτοιο τρόπο, όπως φαίνεται στην εικόνα (2.4). Στον πίνακα 4.2 παρακάτω φαίνονται τα ρεύματα πόλωσης και οι δείκτες αναστροφής των τρανζίστορ του δεύτερου σταδίου.

|     | $I_D$ bias ( $\mu$ A) | $IC$  |
|-----|-----------------------|-------|
| M8  | 9.776                 | 0.097 |
| M9  | 107.947               | 3.754 |
| M10 | 34.501                | 13.80 |
| M11 | 143.549               | 1.216 |
| M12 | 1.677                 | 0.167 |
| M13 | 1.677                 | 10.31 |

**Πίνακας 4.2 Ρεύματα πόλωσης, IC λειτουργίας**

Οι διαστάσεις των τρανζίστορ κάθε δομικής μονάδας φαίνονται στον παρακάτω πίνακα (4.3):

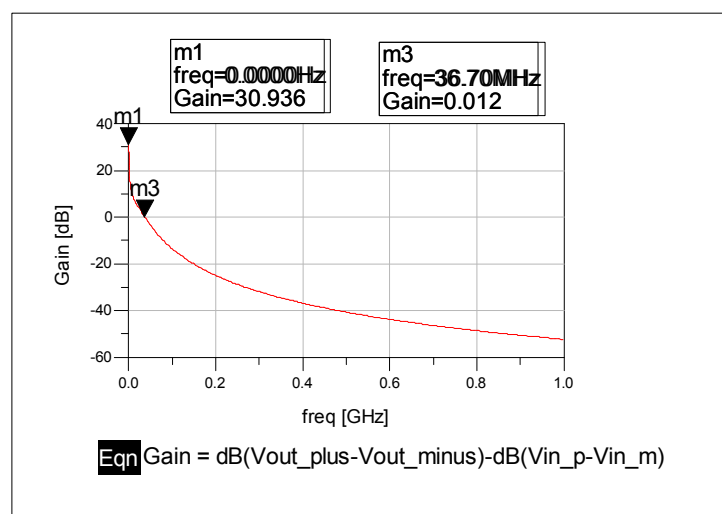
|    | W<br>( $\mu\text{m}$ ) | L<br>( $\mu\text{m}$ ) |     | W<br>( $\mu\text{m}$ ) | L<br>( $\mu\text{m}$ ) |
|----|------------------------|------------------------|-----|------------------------|------------------------|
| M1 | 84.72                  | 0.28                   | M8  | 84.72                  | 0.28                   |
| M2 | 100                    | 0.28                   | M9  | 100                    | 0.28                   |
| M3 | 8.695                  | 0.28                   | M10 | 8.695                  | 0.28                   |
| M4 | 100                    | 0.28                   | M11 | 100                    | 0.28                   |
| M5 | 8.472                  | 0.28                   | M12 | 8.472                  | 0.28                   |
| M6 | 3.478                  | 0.28                   | M13 | 0.566                  | 0.28                   |

**Πίνακας 4.3 Διαστάσεις τρανζίστορ**

## 4.2 AC ανάλυση

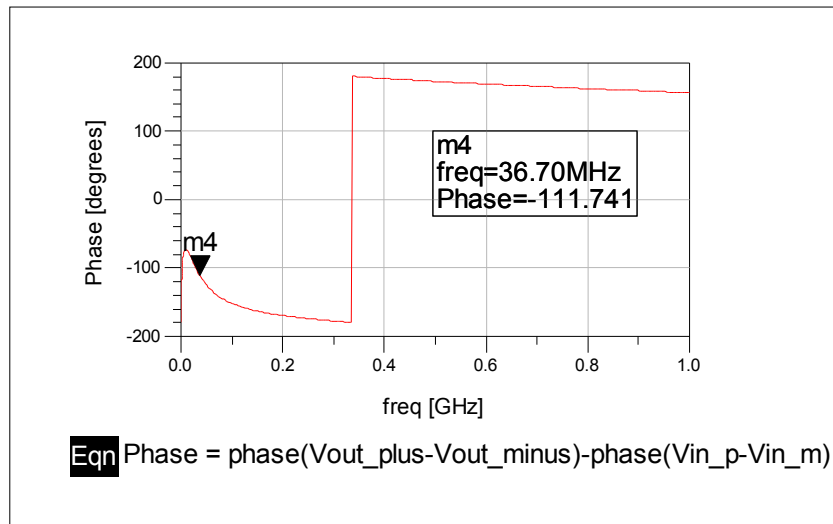
Στην εικόνα (4.7) παρακάτω φαίνεται πως μεταβάλλεται το κέρδος ανοιχτού βρόγχου του ενισχυτή των δύο σταδίων (σε dB) ως προς τη συχνότητα. Οι δείκτες m1 και m2 υποδεικνύουν το DC κέρδος και το GBW του ενισχυτή αντίστοιχα, με **DC Gain = 30.936 dB** και **GBW = 36.70 MHz**. Η ανάλυση απόκρισης συχνότητας του ενισχυτή περιλαμβάνει δύο πόλους και ένα μηδενικό που δημιουργείται από τη Miller χωρητικότητα  $C_C$ . Η σειριακή με αυτήν τη χωρητικότητα αντίσταση  $R_C$  που βρίσκεται στην ανάδραση ευστάθειας του δεύτερου σταδίου, μετακινεί αυτό το μηδενικό της  $C_C$  από το δεξί στο αριστερό μισό μιγαδικό επίπεδο. Το gain-bandwidth υπολογίζεται από της σχέση  $GBW = \frac{g_{m1}}{2 \cdot \pi \cdot C_L}$ , ενώ η συχνότητα του

δεύτερου πόλου βρίσκεται στην τιμή  $f = \frac{g_{m8}}{2 \cdot \pi \cdot C_C}$ .



**Εικ. 4.7 Κέρδος ενισχυτή συναρτήσει της συχνότητας**

Στην εικόνα (4.8) που ακολουθεί φαίνεται η μεταβολή της φάσης (σε μοίρες) του ενισχυτή ως προς τη συχνότητα.

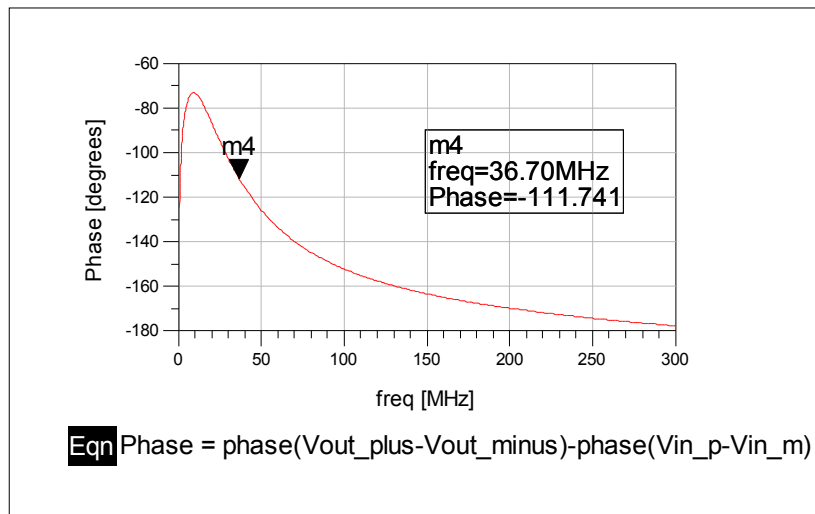


**Εικ. 4.8 Φάση ενισχυτή συναρτήσει της συχνότητας**

Παρατηρείται ότι στο διάστημα συχνοτήτων από 0 έως 335MHz, η φάση μειώνεται, ενώ από την τελευταία συχνότητα και μετά, αυξάνεται. Η αύξηση αυτή οφείλεται κυρίως στην ύπαρξη μηδενικών στη συνάρτηση μεταφοράς ανοιχτού βρόγχου του ενισχυτή που βρίσκονται στο αριστερό μισό μιγαδικό επίπεδο. Τα μηδενικά αυτά εισάγουν θετική ολίσθηση φάσης  $+90^\circ$ . Η φάση του ενισχυτή από τη συχνότητα στην οποία το κέρδος γίνεται μονάδα (**36.70 MHz**) συνεχίζει να μειώνεται εξαιτίας της ύπαρξης μηδενικών στο δεξί μισό μιγαδικό επίπεδο, τα οποία εισάγουν αρνητική ολίσθηση φάσης  $-90^\circ$  [4].

Το δεύτερο στάδιο του ενισχυτή χρησιμοποιεί βρόγχο αρνητικής ανάδρασης με σκοπό την εσωτερική αντιστάθμιση του ολικού κυκλώματος μέσω των χωρητικοτήτων Miller  $C_C$ . Ο ενισχυτής είναι ευσταθής, εάν η φάση που εισάγει, στη συχνότητα, στην οποία το μέτρο της ενίσχυσής του είναι **1 (0 dB)**, είναι μικρότερη από  $180^\circ$ , έτσι ώστε, η συνολική φάση του βρόγχου ανατροφοδότησης να μη γίνει  **$360^\circ$  ή  $0^\circ$** .

Το περιθώριο φάσης του ενισχυτή είναι η διαφορά φάσης μεταξύ αυτής στην οποία το κέρδος γίνεται ίσο με τη μονάδα, δηλαδή ίσο με 0 dB και τις  $-180^\circ$ . Στην εικόνα (4.9), ο δείκτης m4 υποδεικνύει τη συχνότητα στην οποία συμβαίνει αυτό και το περιθώριο φάσης υπολογίζεται στην τιμή **PM =  $-111.741^\circ - (-180^\circ) = 68.259^\circ$** . Η σχεδιαστική αυτή παράμετρος δεικνύει το πόσο η φάση του ενισχυτή υπολείπεται ή ξεπερνά την κρίσιμη τιμή των  $180^\circ$ , που αποτελεί την τιμή για οριακή ευστάθεια (ο ενισχυτής είναι οριακά ευσταθής, όταν το μέτρο της ενίσχυσής του είναι μονάδα στη συχνότητα, στην οποία η διαφορά φάσης της απόκρισής του είναι  $180^\circ$ ) [3].

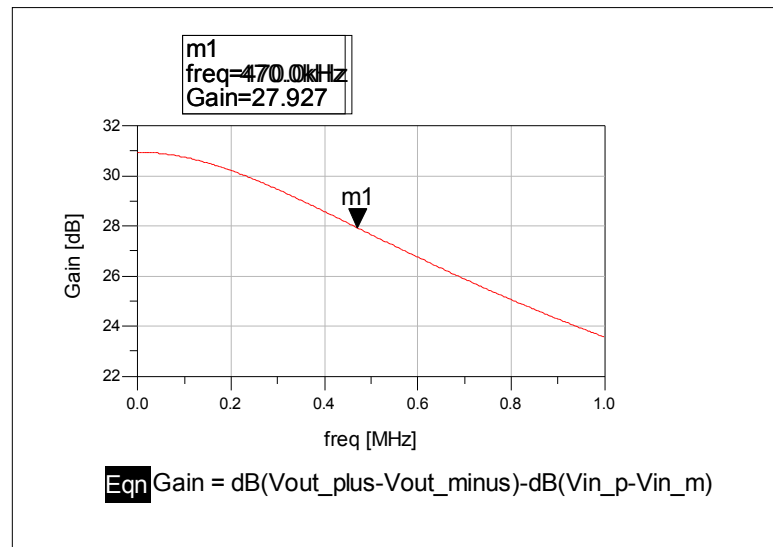


**Εικ. 4.9 Φάση ενισχυτή συναρτήσει της συχνότητας**

Στην εικόνα (4.10) παρακάτω παρατηρούνται τα εξής: 1) το κέρδος του ενισχυτή παραμένει σταθερό στις πολύ χαμηλές συχνότητες, ενώ αρχίζει να μειώνεται όταν η συχνότητα αυξάνεται. Η ζώνη συχνοτήτων, στην οποία το κέρδος του ενισχυτή παραμένει σχεδόν σταθερό, καλείται μέση ζώνη (midband). Σε αυτήν, όλες οι χωρητικότητες (ζεύξης, παράκαμψης και οι εσωτερικές χωρητικότητες των τρανζίστορ) έχουν αμελητέα επίδραση και μπορούν να αγνοηθούν στους υπολογισμούς του κέρδους. Στις υψηλές συχνότητες, προς το τέλος του φάσματος, το κέρδος πέφτει εξαιτίας των εσωτερικών χωρητικότητων του στοιχείου. Από την άλλη, στις χαμηλές συχνότητες του φάσματος, οι χωρητικότητες ζεύξης και παράκαμψης δε συμπεριφέρονται πλέον ως τέλεια βραχυκυκλώματα, με αποτέλεσμα να προκαλούν πτώση στο κέρδος, 2) ο δείκτης m1 υποδεικνύει τη συχνότητα στην οποία το κέρδος έχει μειωθεί κατά 3 dB από τη σταθερή του τιμή. Αυτή η συχνότητα είναι ίση με  $f_{-3dB} = 470 \text{ KHz}$  και αντιστοιχεί στη **συχνότητα αποκοπής του ενισχυτή** και αποτελεί συνήθως τον επικρατούντα πόλο της συνάρτησης μεταφοράς [4].

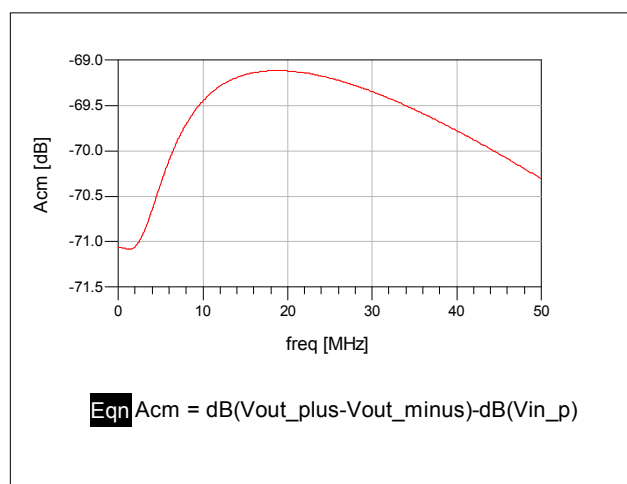
Το κέρδος μέσης ζώνης καθορίζεται αναλύοντας το ισοδύναμο κύκλωμα του ενισχυτή, υποθέτοντας ότι οι πυκνωτές ζεύξης και παράκαμψης συμπεριφέρονται ως τέλεια βραχυκυκλώματα και ότι οι εσωτερικές χωρητικότητες του μοντέλου του τρανζίστορ συμπεριφέρονται ως τέλεια ανοιχτοκυκλώματα. Η συνάρτηση μεταφοράς χαμηλών συχνοτήτων καθορίζεται από την ανάλυση του ισοδύναμου κυκλώματος του ενισχυτή συμπεριλαμβάνοντας τους πυκνωτές ζεύξης και παράκαμψης, αλλά θεωρώντας ότι οι χωρητικότητες των τρανζίστορ συμπεριφέρονται ως τέλεια ανοιχτοκυκλώματα. Από την άλλη μεριά, η συνάρτηση μεταφοράς χαμηλών συχνοτήτων καθορίζεται από την ανάλυση του ισοδύναμου

κυκλώματος συμπεριλαμβάνοντας τις χωρητικότητες των τρανζίστορ, αλλά θεωρώντας τους πυκνωτές ζεύξης και παράκαμψης ως τέλεια βραχυκυκλώματα [4].



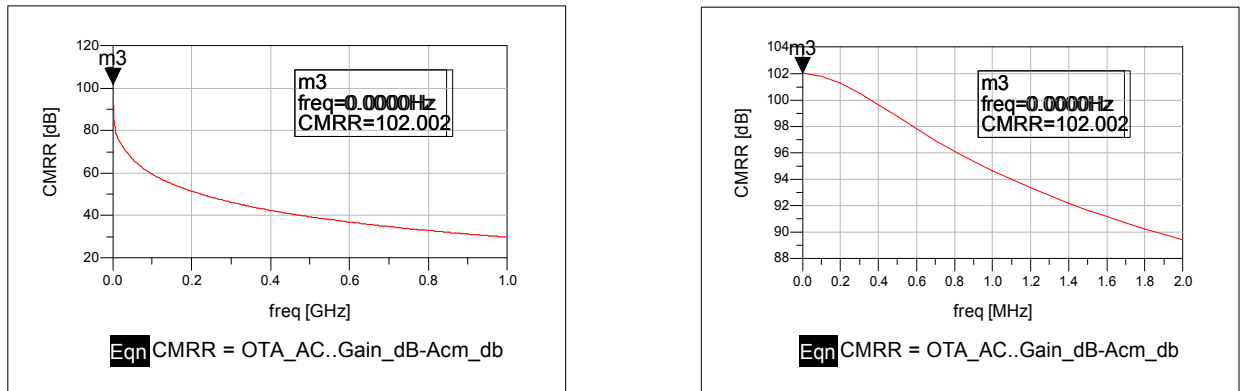
**Εικ. 4.10 Κέρδος ενισχυτή συναρτήσει της συχνότητας**

Ταυτόχρονα, το κέρδος κοινού σήματος του gate-input OTA, όπως αναφέρθηκε σε προηγούμενο κεφάλαιο, θα πρέπει να είναι πολύ μικρότερο της μονάδας. Αυτό έχει ως αποτέλεσμα, να επιτυγχάνεται ένας υψηλός λόγος απόρριψης κοινού σήματος (**CMRR- Common-Mode Rejection Ratio**), ο οποίος στη συγκεκριμένη σχεδίαση είναι ίσος με **CMRR = 102.002 dB**. Στις εικόνες (4.11) και (4.12) φαίνονται οι μεταβολές του κέρδους κοινού σήματος και του CMRR αντίστοιχα ως προς τη μεταβολή της συχνότητας.



**Εικ. 4.11 Κέρδος κοινού σήματος συναρτήσει της συχνότητας**

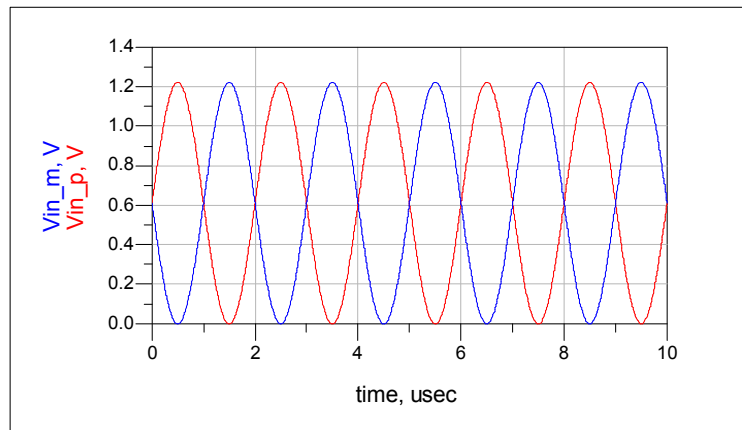
Παρατηρείται ότι στις χαμηλές συχνότητες, το κέρδος κοινού σήματος αυξάνεται, ενώ στις υψηλές, μειώνεται, λόγω των πόλων που εισάγουν οι εσωτερικές χωρητικότητες και αυτές του των ισοδύναμων κυκλωμάτων χαμηλών και υψηλών συχνοτήτων. Αυτό, και σε συνδυασμό με το συνεχώς μειούμενο διαφορικό κέρδος, οδηγεί στη μείωση του λόγου απόρριψης κοινού σήματος όσο αυξάνεται η συχνότητα (εικόνα (4.12)) [4].



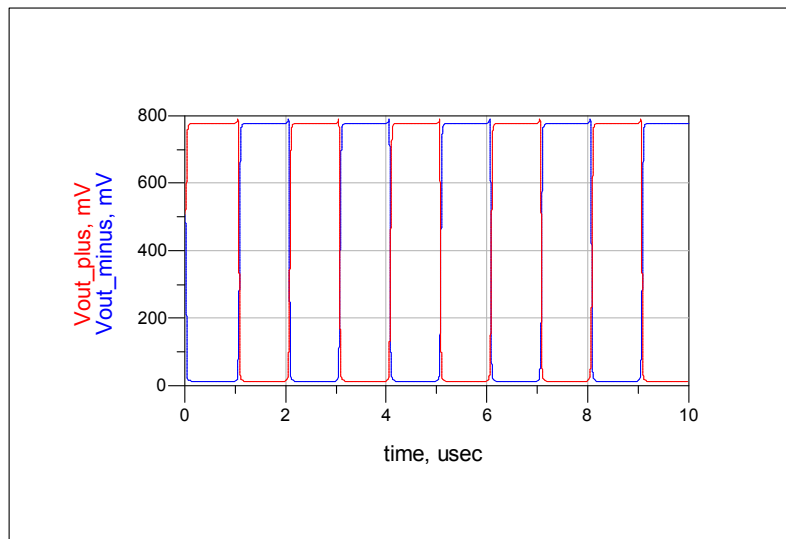
**Εικ. 4.12 Λόγος απόρριψης κοινού σήματος συναρτήσει συχνότητας**

### 4.3 Transient ανάλυση

Στην παρούσα παράγραφο γίνεται μία αναφορά στο πως συμπεριφέρεται ο ενισχυτής στο πεδίο χρόνου. Ο gate-input OTA που μελετάται είναι ένας πλήρως διαφορικός ενισχυτής. Αυτό σημαίνει ότι όταν εφαρμόζεται διαφορική είσοδος, η έξοδος θα πρέπει και αυτή να είναι διαφορική. Στις εικόνες (4.13) και (4.14) παρακάτω φαίνονται η διαφορική είσοδος και έξοδος του κυκλώματος αντίστοιχα. Για να επιτευχθεί αυτό, εφαρμόζεται στην είσοδο ένα ημιτονοειδές σήμα συχνότητας 500KHz, ενώ η μία είσοδος βρίσκεται σε διαφορά φάσης  $-180^\circ$  με την άλλη. Η έξοδος αναμένεται να είναι, όπως αναφέρθηκε, διαφορική αλλά και επιπλέον η μία έξοδος να είναι και αυτή σε διαφορά φάσης  $-180^\circ$  με την άλλη.



**Εικ. 4.13 Διαφορικό σήμα εισόδου**



**Εικ. 4.14 Διαφορικό σήμα εξόδου**

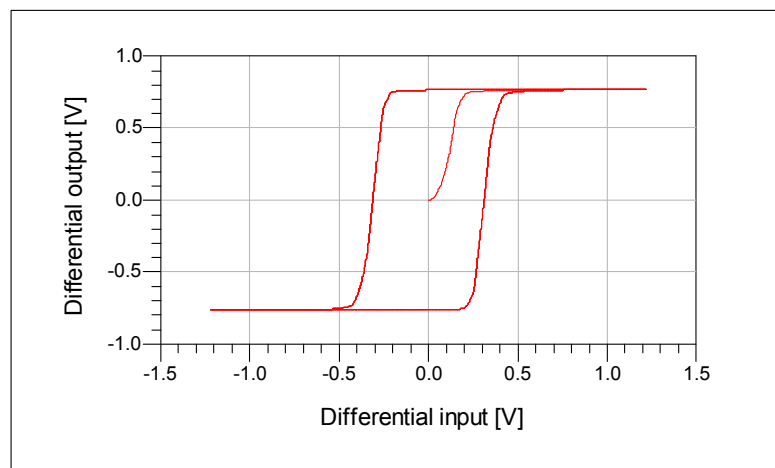
Στην εικόνα (4.14) φαίνεται ότι η έξοδος του ενισχυτή είναι διαφορική όπως και η είσοδος. Η ψαλίδιση (clipping) που παρατηρείται, οφείλεται κυρίως στο γεγονός ότι καθώς μεταβάλλεται το επίπεδο του κοινού σήματος στην είσοδο, το ίδιο συμβαίνει και με τα ρεύματα πόλωσης των τρανζίστορ εισόδου (του διαφορικού ζεύγους) M1A, M1B. Αυτό έχει ως αποτέλεσμα να μεταβάλλονται και οι διαγωγιμότητες των δύο αυτών τρανζίστορ και το επίπεδο κοινού σήματος στην έξοδο. Αυτή η μεταβολή της διαγωγιμότητας, με τη σειρά της, οδηγεί στην αλλαγή



του κέρδους μικρού σήματος καθώς η απόσταση του επιπέδου κοινού σήματος εξόδου από την ιδανική της τιμή μειώνει το μέγιστο επιτρεπόμενο εύρος ταλάντευσης στην έξοδο [2]. Ένας άλλος λόγος που είναι υπεύθυνος για την παραπάνω ψαλίδιση είναι ο περιορισμός στο ρυθμό ανόδου (αναλύεται παρακάτω), ο οποίος προκαλεί αυτή τη μη γραμμική παραμόρφωση στην ημιτονοειδή κυματομορφή εισόδου. Το εύρος ζώνης πλήρους ισχύος είναι η συχνότητα για την οποία η ημιτονοειδής κυματομορφή εξόδου αρχίζει να παρουσιάζει παραμόρφωση, η οποία οφείλεται στον περιορισμένο ρυθμό ανόδου και ισούται με  $f_M = \frac{SR}{2 \cdot \pi \cdot v_{o,max}}$  [4].

Η γνώση της συμπεριφοράς και της απόκρισης του ενισχυτή σε τετραγωνικό παλμό ή ημιτονοειδές σήμα εισόδου επιτρέπει στο σχεδιαστή να επεμβαίνει διορθωτικά στο κύκλωμα για να αποκαταστήσει τη μορφή του παλμού ή του σήματος εξόδου, όπου αυτό απαιτείται. Γενικότερα, υπάρχουν αρκετές τεχνικές που σκοπεύουν σε τέτοιου είδους διορθώσεις [3].

Η DC χαρακτηριστική μεταφοράς του OTA φαίνεται στην παρακάτω εικόνα (4.15).



**Εικ. 4.15 DC Χαρακτηριστική εισόδου-εξόδου**

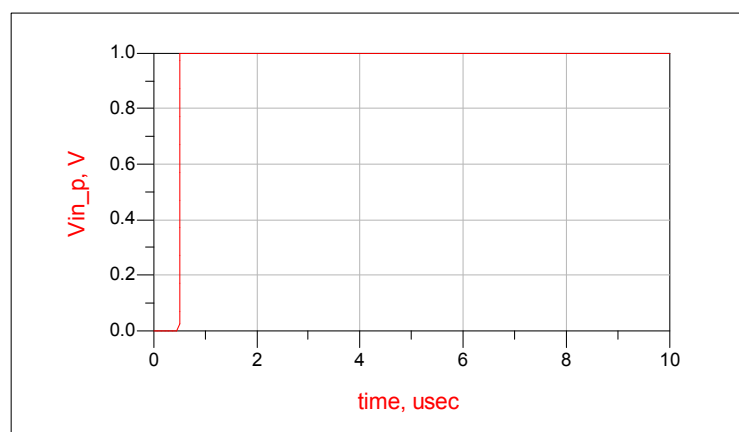
Όπως αναφέρθηκε και πιο πάνω, το cross-coupled ζεύγος που αποτελείται από τα τρανζίστορ M4A και M4B, παρέχει φορτίο αρνητικής αντίστασης (διαγωγιμότητας) στο πρώτο στάδιο του ενισχυτή με σκοπό την ενίσχυση του κέρδους. Η ποσότητα της αρνητικής αυτής διαγωγιμότητας μπορεί να ελεγχθεί μέσω της πρόσβασης στο υπόστρωμα των αντίστοιχων τρανζίστορ με στόχο τη μείωση της τάσης κατωφλίου τους. Μία πιο ενδελεχή μελέτη του κυκλώματος οδηγεί στην χαρακτηριστική μεταφοράς της εικόνας (4.15). Όσο αυξάνεται η διαγωγιμότητα  $g_{m4}$ , το κέρδος, αρχικά, αυξάνεται μέχρι να γίνει απείρως υψηλό και στη συνέχεια ο ενισχυτής αναπτύσσει υστέρηση. Ένας OTA με υστέρηση συμπεριφέρεται ως σκανδαλιστής Schmitt (Schmitt trigger) [1].

Στην ηλεκτρονική, ένας σκανδαλιστής Schmitt είναι ένα κύκλωμα σύγκρισης που ενσωματώνει θετική ανάδραση και λειτουργεί με τον εξής τρόπο: όταν η είσοδος είναι μεγαλύτερη από ένα επιλεγμένο κατώφλι, η έξοδος είναι υψηλή· όταν η είσοδος είναι μικρότερη από ένα άλλο (χαμηλότερο) κατώτερο κατώφλι, η έξοδος είναι χαμηλή· όταν η είσοδος είναι μεταξύ των δύο, η έξοδος διατηρεί την τιμή της. Ο σκανδαλιστής ονομάζεται έτσι επειδή η έξοδος διατηρεί την τιμή της έως ότου η είσοδος αλλάξει αρκετά, ώστε να προκαλέσει αλλαγή στο κύκλωμα του σκανδαλιστή. Αυτή η διπλή λειτουργία των κατώτερων κατωφλίων καλείται υστέρηση, και υποδηλώνει ότι ο σκανδαλιστής Schmitt διαθέτει μνήμη (όταν, δηλαδή, η είσοδος είναι μεταξύ των δύο κατωφλίων, η έξοδος καθορίζεται από την προηγούμενη τιμή του σήματος σκανδαλισμού). Στην πραγματικότητα, ο σκανδαλιστής Schmitt είναι ένας δισταθής πολυδονητής [4].

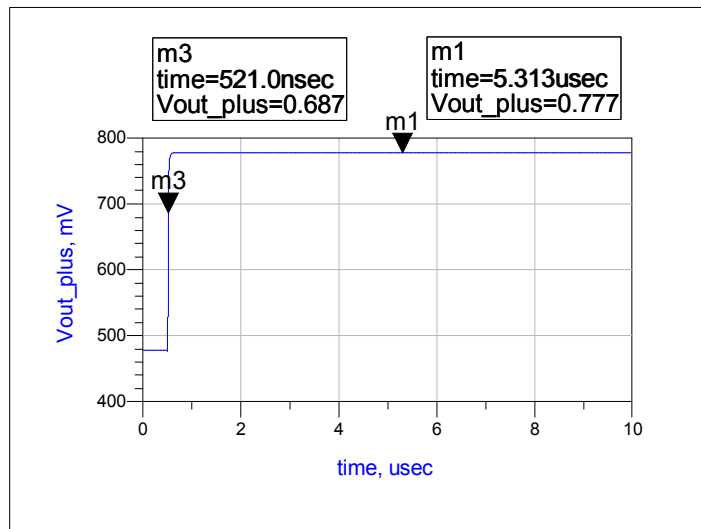
Η χαρακτηριστική μεταφοράς συνεχούς ενός διαφορικού ενισχυτή εκφράζει τη σχέση μεταξύ της διαφοράς συνεχούς δυναμικού στην έξοδο του ενισχυτή προς το συνεχές διαφορικό δυναμικό εισόδου [3].

Επειδή τα συνεχή δυναμικά στις υποδοχές του διαφορικού ενισχυτή συσχετίζονται γραμμικά προς τα ρεύματα υποδοχής (drain currents), τα οποία με τη σειρά τους συσχετίζονται τετραγωνικά προς τις τάσεις εισόδου, η χαρακτηριστική μεταφοράς δεν είναι γραμμική, υποθέτοντας ότι τα τρανζίστορ λειτουργούν στην περιοχή κορεσμού. Επίσης, από τη χαρακτηριστική μεταφοράς του ενισχυτή μπορεί να προσδιοριστεί το μέγιστο εύρος του διαφορικού σήματος εξόδου [3].

Ένα πολύ σημαντικό στοιχείο που αφορά τη συμπεριφορά του ενισχυτή, και πιο συγκεκριμένα, την ταχύτητα του σε σχέση με το χρόνο είναι ο χρόνος εγκαθίδρυσης (settling time). Για να διαπιστωθεί αυτή συμπεριφορά, εφαρμόζεται στην είσοδο ένα σήμα μοναδιαίου βήματος (unit step). Στις εικόνες (4.16) και (4.17) παρακάτω, φαίνονται αντίστοιχα η είσοδος μοναδιαίου σήματος του ενισχυτή και η απόκρισή του σε αυτό το μοναδιαίο βήμα όταν η μία είσοδος είναι γειωμένη.

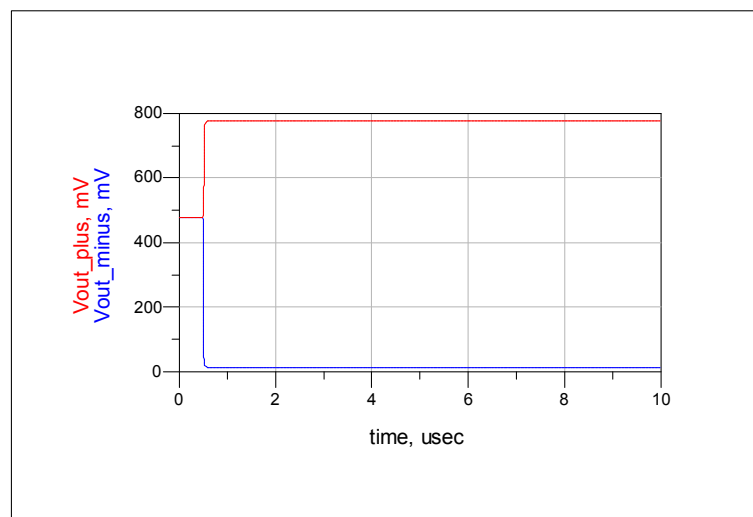


**Εικ. 4.16 Βηματικό σήμα εισόδου**



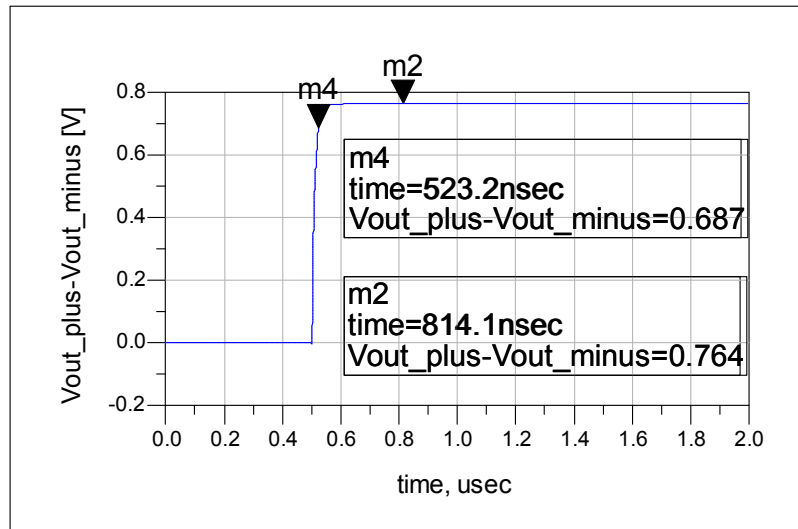
**Εικ. 4.17 Σήμα εξόδου**

Ο δείκτης m1 υποδεικνύει την τελική τιμή που παίρνει το σήμα εξόδου και είναι ίση με 777mV. Ο δείκτης m3 υποδεικνύει το 10% της τελικής τιμής του σήματος εξόδου που είναι ίση με 687mV. Ο χρόνος που απαιτείται για να πάρει η έξοδος αυτό το ποσοστό είναι ο χρόνος εγκαθίδρυσης (settling time) του ενός σήματος εξόδου και είναι ίσος με  $t_{set} = 521\text{nsec}$ . Στην παρακάτω εικόνα φαίνονται και τα δύο σήματα εξόδου του ενισχυτή:



**Σήματα εισόδου-εξόδου**

Ο χρόνος εγκαθίδρυσης του κυκλώματος φαίνεται στην παρακάτω εικόνα (4.18):



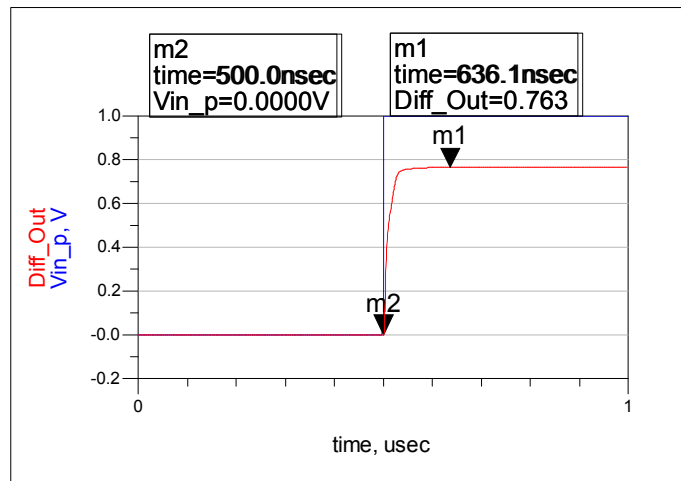
**Εικ. 4.18 Διαφορικό σήμα εξόδου**

Ο δείκτης m2 υποδεικνύει την τελική τιμή που παίρνει το διαφορικό σήμα εξόδου και είναι ίση με 764mV. Ο δείκτης m4 υποδεικνύει το 10% της τελικής τιμής του διαφορικού σήματος εξόδου που είναι ίση με 687mV. Ο χρόνος που απαιτείται για να πάρει η έξοδος αυτό το ποσοστό είναι ο χρόνος εγκαθίδρυσης (settling time) του ενός σήματος εξόδου και είναι ίσος με  $t_{set} = 523.2nsec$ .

Τελειώνοντας την ανάλυση της συμπεριφοράς και λειτουργίας του ενισχυτή στο πεδίο του χρόνου, θα πρέπει να γίνει και μία λεπτομερής αναφορά στο ρυθμό ανόδου (Slew Rate) της εξόδου, ο οποίος ορίζεται ως ο μέγιστος ρυθμός στον οποίο η έξοδος αλλάζει όταν το σήμα εισόδου είναι μεγάλο. Όταν εφαρμόζεται ένα μεγάλο διαφορικό σήμα στην είσοδο του ενισχυτή, το στάδιο εισόδου έρχεται στον κορεσμό με αποτέλεσμα να δίνει το μέγιστο δυνατό ρεύμα εξόδου  $I_{max}$  στο δεύτερο στάδιο. Το σταθερό αυτό ρεύμα περνά μέσα από τον πυκνωτή αντιστάθμισης συχνότητας του δεύτερου σταδίου και προκαλεί γραμμική άνοδο της εξόδου με κλίση  $I_{max}/C_c$ . Αυτός ο μεγαλύτερος δυνατός ρυθμός αλλαγής της τάσης

εξόδου, είναι ο ρυθμός ανόδου του τελεστικού ενισχυτή  $SR = I_{max}/C_c$  ακολουθώντας μία θεωρητική προσέγγιση [3], [4].

Η προσομοίωση του κυκλώματος με στόχο να υπολογιστεί και πρακτικά ο ρυθμός ανόδου γίνεται με την εφαρμογή ενός παλμού με μέγιστο και ελάχιστο πλάτος 1 Volt και 0 Volt αντίστοιχα. Στην εικόνα (4.19) που ακολουθεί, φαίνονται ο παλμός εισόδου  $V_{in\_p}$  και η απόκριση  $Diff\_Out = V_{out\_plus} - V_{out\_minus}$  του ενισχυτή, όπου  $Diff\_Out$  είναι η διαφορική έξοδος.



**Εικ. 4.19 Σήματα εισόδου-εξόδου (υπολογισμός SR)**

Ο δείκτης m1 υποδεικνύει την μέγιστη τιμή του σήματος, ενώ ο δείκτης m2 την ελάχιστη τιμή. Όπως αναφέρθηκε πιο πάνω, ο ρυθμός ανόδου είναι ο μέγιστος ρυθμός στον οποίο η έξοδος αλλάζει όταν το σήμα εισόδου είναι μεγάλο και είναι ίσος με  $SR = \left. \frac{dv_o}{dt} \right|_{\max}$ . Η διαδικασία υπολογισμού του ρυθμού ανόδου στο **ADS** περιλαμβάνει την κατασκευή τριών εξισώσεων: 1) αυτής που υπολογίζει τη διαφορά της μέγιστης και ελάχιστης τιμής των Volts, 2) αυτής που υπολογίζει τη διαφορά των αντίστοιχων χρονικών στιγμών, με τη βοήθεια της συνάρτησης **indep()** και 3) αυτής που υπολογίζει το slew rate.

$$\text{Eqn Delta\_Volts}=m1-m2$$

$$\text{Eqn Delta\_Time}=indep(m1)-indep(m2)$$

$$\text{Eqn SR}=(1E-6/Delta\_Time)*Delta\_Volts$$

Με την παραπάνω διαδικασία, ο ρυθμός ανόδου υπολογίζεται στην τιμή  $SR = 5.610V/\mu\text{sec}$ . Η αντίστοιχη θεωρητική είναι ίση με:

$$SR = \frac{I_{\max}}{C_c} = \frac{I_{D1} + I_{D4}}{C_c} = \frac{86.7\mu A}{15pF} = 5.78V/\mu\text{sec}, \text{ όπου } I_{D1}, I_{D4} \text{ είναι τα ρεύματα}$$

πόλωσης των τρανζίστορ M1 και M4 του πρώτου σταδίου και  $C_c$  ο πυκνωτής Miller αντιστάθμισης του δεύτερου σταδίου.

Τέλος, με βάση το υπολογισμένο slew rate και τη μέγιστη τιμή της εξόδου, το εύρος ζώνης πλήρους ισχύος, το οποίο αναλύθηκε παραπάνω είναι ίσο με

$$f_M = \frac{SR}{2 \cdot \pi \cdot v_{o,\max}} = \frac{5.610V/\mu\text{sec}}{6.28 \cdot 0.763V} = \frac{5.610}{4.958 \cdot 10^{-6}} = 1.17MHz.$$

## Σχεδίαση ελλειπτικού χαμηλοπερατού φίλτρου 5<sup>ης</sup> τάξης

Σε αυτό το κεφάλαιο μελετάται η σχεδίαση και η συμπεριφορά ενός ενεργού ελλειπτικού χαμηλοπερατού φίλτρου 5<sup>ης</sup> τάξης σε τάση τροφοδοσίας 1 Volt. Η προσπάθεια αυτή προβάλλει τις ικανότητες και τα αποτελέσματα σχεδίασης σε χαμηλή τροφοδοσία.

### 5.1 Θεωρία ελλειπτικών φίλτρων

Ένα ελλειπτικό φίλτρο είναι ένα φίλτρο, του οποίου η απόκριση παρουσιάζει κυμάτωση (ripple) και στη ζώνη διέλευσης (pass-band) και στη ζώνη φραγής (stop-band). Αποτελεί, δηλαδή, ένα φίλτρο ίσου κυματισμού (equiripple). Το πλάτος του κυματισμού σε κάθε ζώνη συχνοτήτων (διέλευσης και φραγής) είναι ανεξαρτήτως προσαρμοζόμενο, ενώ κανένα άλλο φίλτρο ίδιας τάξης δεν μπορεί να έχει μια γρηγορότερη μετάβαση στο κέρδος μεταξύ της ζώνης διέλευσης και της ζώνης φραγής (ζώνη μετάβασης).

Το ελλειπτικό φίλτρο συμπεριφέρεται είτε ως Butterworth είτε ως Chebyshev ανάλογα με συγκεκριμένες συνθήκες. Όταν η κυμάτωση στη ζώνη φραγής τείνει προς το μηδέν, το φίλτρο μετατρέπεται σε τύπου I Chebyshev. Όταν η κυμάτωση στη ζώνη διέλευσης τείνει προς το μηδέν, το φίλτρο μετατρέπεται σε τύπου II Chebyshev. Από την άλλη, όταν και οι δύο κυματώσεις, στις ζώνες αυτές, τείνουν στο μηδέν, το φίλτρο συμπεριφέρεται ως Butterworth.

Τέλος, η μετάδοση ενός χαμηλοπερατού φίλτρου καθορίζεται από τις παρακάτω σχεδιαστικές παραμέτρους:

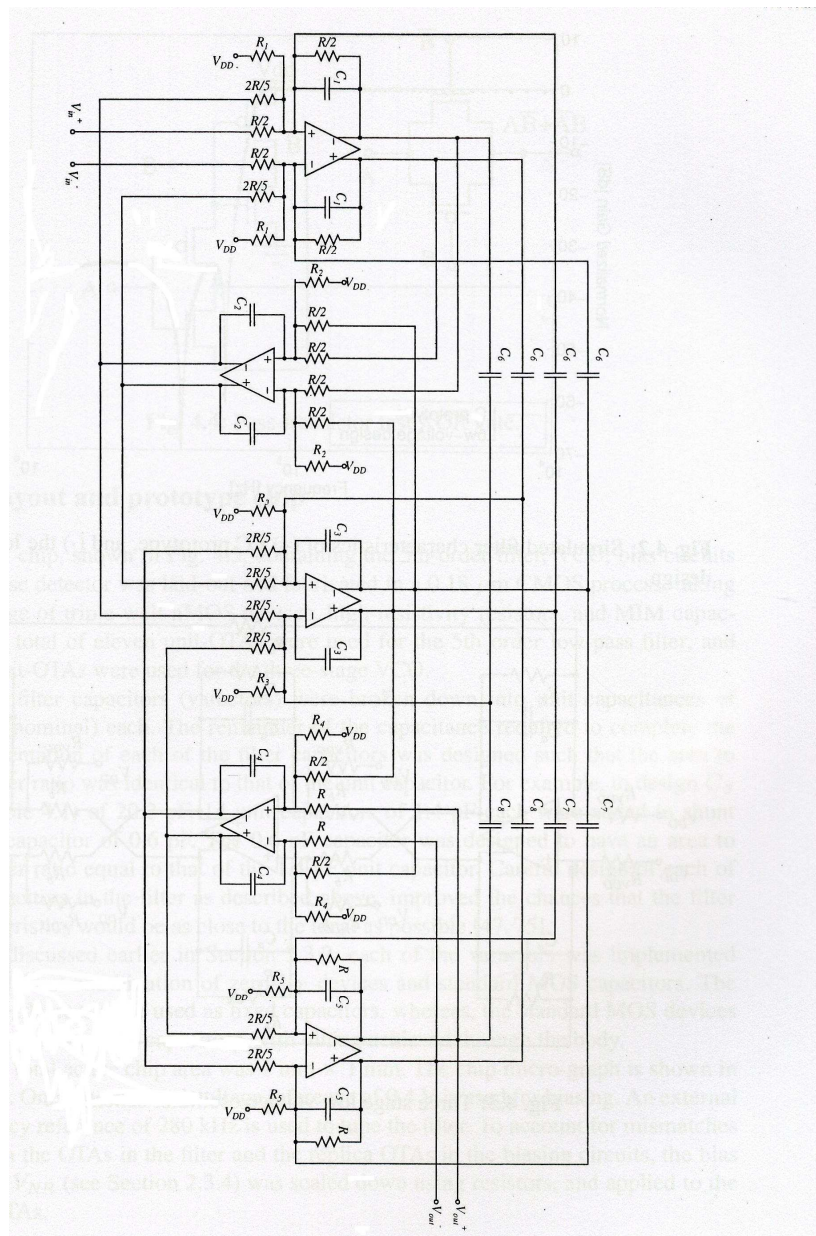
- Το άκρο της ζώνης διέλευσης  $f_p$  [Hz]
- Τη μέγιστη επιτρεπόμενη μεταβολή στη μετάδοση της ζώνης διέλευσης  $A_{\max}$
- Το άκρο της ζώνης φραγής  $f_s$  [Hz]
- Την ελάχιστη απαιτούμενη απόσβεση στη ζώνη φραγής  $A_{\min}$

Ο λόγος συχνοτήτων  $f_p/f_s$  χρησιμοποιείται συνήθως ως ένα μέτρο οξύτητας της απόκρισης συχνότητας του χαμηλοπερατού φίλτρου και καλείται **βαθμός επιλεκτικότητας** [4].

Όσο πιο αυστηρές είναι οι προδιαγραφές ενός φίλτρου, δηλαδή μικρότερο  $A_{\max}$ , μεγαλύτερο  $A_{\min}$  και/ή λόγο επιλεκτικότητας πλησιέστερα στη μονάδα, τόσο πιο κοντά στην ιδανική θα είναι η απόκρισή του. Ωστόσο, το φίλτρο που προκύπτει από τη διαδικασία αυτή είναι μεγαλύτερης τάξης και επομένως, η κυκλωματική του υλοποίηση είναι ακριβότερη και πιο περίπλοκη [4].

## 5.2 Τοπολογία φίλτρου

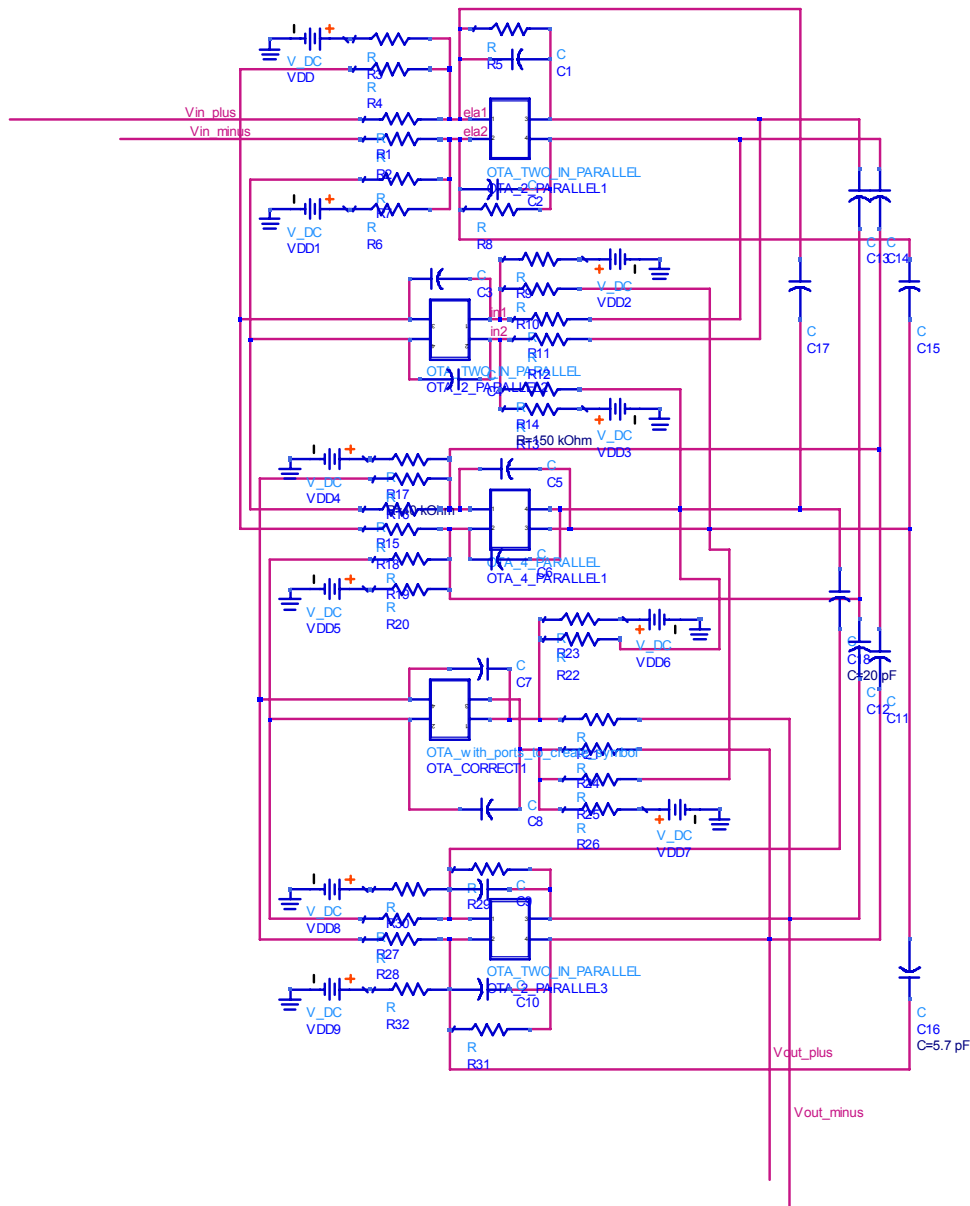
Στην εικόνα (5.1) που ακολουθεί φαίνεται το block diagram του χαμηλοπερατού φίλτρου το οποίο αποτελείται από πέντε στάδια, κάθε ένα το οποίο δομείται από πλήρως διαφορικούς τελεστικούς ενισχυτές διαγωγιμότητας.



Εικ. 5.1 Block-diagram ελλειπτικού φίλτρου

Το πρώτο και το δεύτερο στάδιο αποτελείται από δύο αντίγραφα του ενισχυτή διαγωγιμότητας που σχεδιάστηκε στο προηγούμενο κεφάλαιο, τα οποία συνδέονται παράλληλα. Το τρίτο στάδιο αποτελείται από τέσσερα τέτοια αντίγραφα. Τέλος, το τέταρτο στάδιο δομείται από έναν μόνο ενισχυτή, ενώ το πέμπτο και τελευταίο πάλι από δύο τελεστικούς ενισχυτές. Όλα αυτά αντίγραφα

του κάθε block (σταδίου) συνδέονται παράλληλα με αρνητική ανάδραση [1]. Στην εικόνα (5.2) παρακάτω φαίνεται το 5<sup>ης</sup> τάξης φίλτρο σχεδιασμένο στο ADS.



Εικ. 5.2 Σχηματικό διάγραμμα ελλειπτικού φίλτρου

Οι αντιστάτες και οι πυκνωτές του φίλτρου υπόκεινται σε κλιμάκωση (scaling) τέτοιου βαθμού, έτσι ώστε η συνολική συνεισφορά θορύβου από τους τελεστικούς ενισχυτές διαγωγιμότητας και τις αντιστάσεις, που ενσωματώνονται στη ζώνη διέλευσης, να είναι στα ίδια επίπεδα. Η διαστασιολόγηση των ξεχωριστών ενισχυτών εξαρτάται από τις απαιτήσεις του οδηγούμενου φορτίου και κλιμακώνεται συνδέοντας πολλαπλές μονάδες (blocks) ενισχυτών παράλληλα με όλους τους εσωτερικούς κόμβους να ενώνονται μεταξύ τους. Αυτό επιτρέπει τη



συγκρίσιμη υλοποίηση θορύβου και παραμόρφωσης και για τα πέντε στάδια του φίλτρου. Στον πίνακα 5.1 που ακολουθεί συνοψίζονται οι τιμές των αντιστάσεων και των χωρητικότητων που χρησιμοποιούνται για τη σχεδίαση του φίλτρου [1].

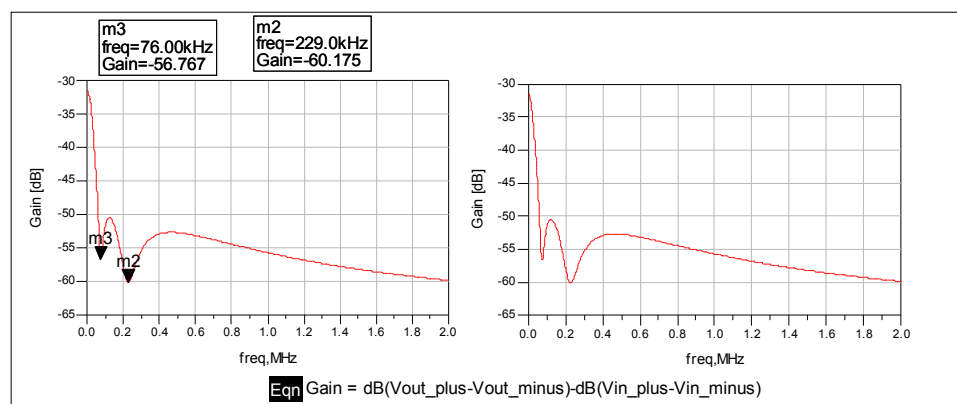
| Χωρητικότητες (pF) | Τιμή | Αντιστάτες | Τιμή (kΩ) |
|--------------------|------|------------|-----------|
| $C_1$              | 10   | $R$        | 300       |
| $C_2$              | 13   | $R_1$      | 30        |
| $C_3$              | 1    | $R_2$      | 50        |
| $C_4$              | 40   | $R_3$      | 40        |
| $C_5$              | 50   | $R_4$      | 66.7      |
| $C_6$              | 1.8  | $R_5$      | 57.2      |
| $C_7$              | 5.7  |            |           |
| $C_8$              | 20   |            |           |

**Πίνακας 5.1 Ενεργά-Παθητικά στοιχεία κυκλώματος**

Οι χωρητικότητες μπορούν να αντικατασταθούν από MOS varactors ασθενούς αναστροφής χαμηλής τροφοδοσίας, κάτι το οποίο δύναται να αποτελέσει μελλοντική επέκταση της παρούσας εργασίας.

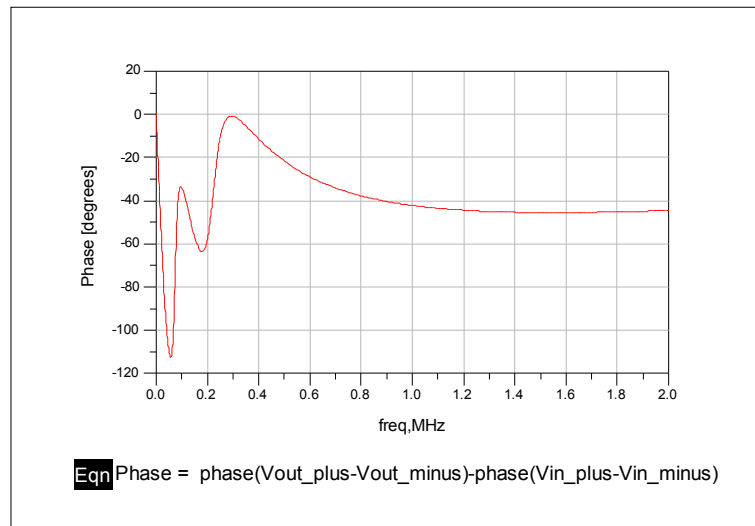
### 5.3 Απόκριση συχνότητας φίλτρου – Χαρακτηριστικά της σχεδίασης

Στην εικόνα (5.3) παρακάτω φαίνεται η απόκριση συχνότητας του ελλειπτικού φίλτρου. Το φίλτρο έχει μία συχνότητα αποκοπής  $\approx 30\text{KHz}$  και δύο μηδενικά στη ζώνη φραγής στις συχνότητες  $76\text{KHz}$  και  $226\text{KHz}$ . Οι δείκτες m3 και m2 υποδεικνύουν αντίστοιχα αυτές τις δύο συχνότητες.



**Εικ. 5.3 Κέρδος φίλτρου συναρτήσει συχνότητας**

Η κυμάτωση στη ζώνη διέλευσης είναι περίπου ίση με **0.1 dB**, ενώ αυτή στη ζώνη φραγής είναι ίση με **51dB**. Τέλος, στην εικόνα (5.4) φαίνεται η απόκριση φάσης του ελλειπτικού φίλτρου.

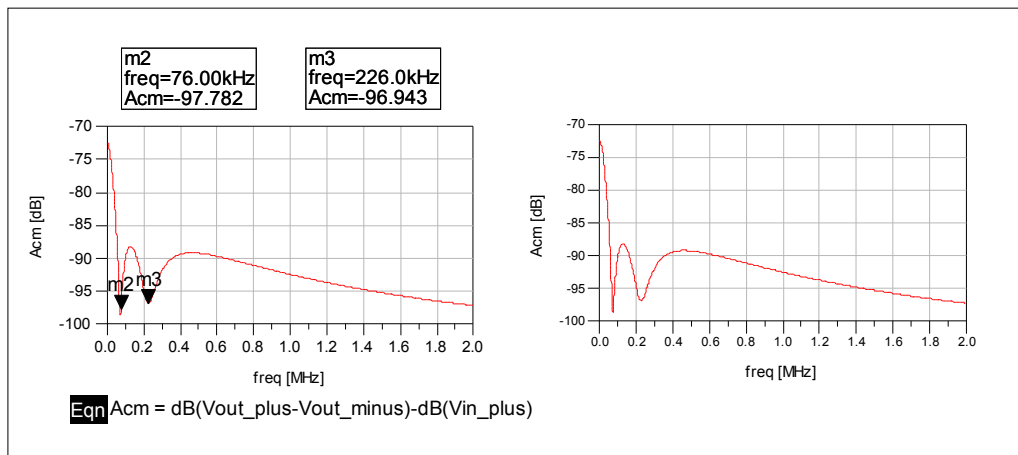


**Εικ. 5.4 Φάση φίλτρου συναρτήσει συχνότητας**

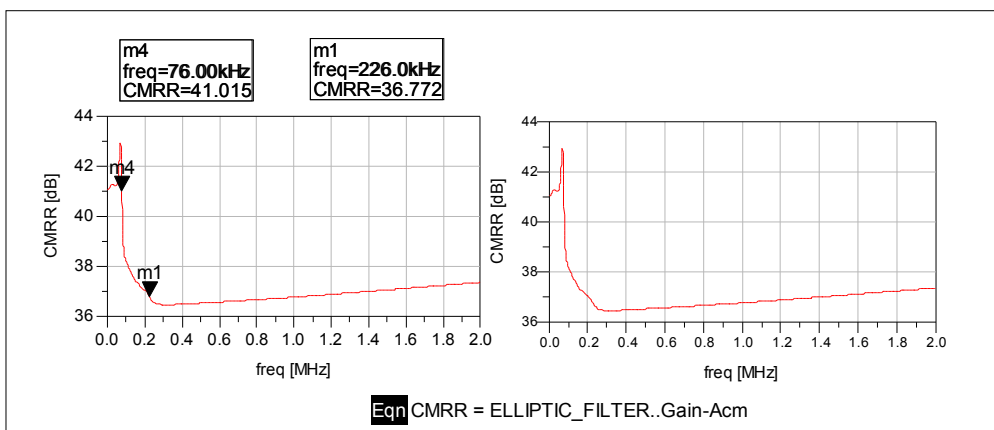
Οι ενισχυτές που δομούν το φίλτρο έχουν ένα worst-case κέρδος στα **226KHz** ίσο με **30.031 dB**.

Όπως είναι γνωστό από τη θεωρία, ένα αναλογικό φίλτρο είναι ένα παθητικό κύκλωμα, το οποίο σημαίνει ότι δεν είναι δυνατή η επίτευξη υψηλού κέρδους. Τα παραπάνω αποτελέσματα δείχνουν ότι το φίλτρο συμπεριφέρεται μεν ως ελλειπτικό 5<sup>ης</sup> τάξης, αλλά δεν έχει σταθερή απόκριση στις χαμηλές συχνότητες έτσι ώστε να δικαιολογήσει κάποιος ότι όντως το κύκλωμα είναι βαθυπερατό. Αυτό δημιουργεί την ανάγκη σχεδίασης των τελεστικών ενισχυτών που να συμβαδίζουν με πιο αυστηρές προδιαγραφές και λαμβάνοντας υπόψη μία επιθυμητή απόκριση πλάτους του φίλτρου.

Τέλος, στις εικόνες (5.5) και (5.6) που ακολουθούν φαίνονται η απόκριση συχνότητας του κοινού σήματος και του λόγου απόρριψης κοινού σήματος του ελλειπτικού φίλτρου αντίστοιχα.



Εικ. 5.5 Κέρδος κοινού σήματος φίλτρου συναρτήσει συχνότητας



Εικ. 5.6 Λόγος απόρριψης κοινού σήματος φίλτρου συναρτήσει συχνότητας

## Συμπεράσματα – Μελλοντικές επεκτάσεις

Σε αυτό το κεφάλαιο αναφέρονται τα συμπεράσματα της προσομοίωσης και κάποιες ιδέες για επεκτάσεις της υλοποίησης όσον αφορά τη σχεδίαση των ενισχυτών και του φίλτρου σε συνθήκες τροφοδοσίας χαμηλής τάσης .

### 6.1 Συμπεράσματα

Η εργασία αυτή ασχολείται με τη μελέτη μεθοδολογιών σχεδίασης σε τροφοδοσίες χαμηλής τάσης. Πρωταρχικός στόχος είναι η υλοποίηση ενός gate-input OTA, ο οποίος δομείται, κυρίως από απλά CMOS ενισχυτικά στάδια κοινής πηγής (common source). Τέτοια ενισχυτικά στάδια προσφέρουν το μέγιστο δυνατό εύρος ταλάντευσης για τα σήματα εξόδου. Το διαφορικό κέρδος δε χρειάζεται μόνο να είναι σημαντικά μεγαλύτερο από το κέρδος κοινού σήματος, αλλά το τελευταίο πρέπει να είναι αρκετά μικρότερο της μονάδας. Η διαδικασία σχεδίασης του ενισχυτή ακολουθεί συγκεκριμένα βήματα που αφορούν στην επιλογή των ρευμάτων και τάσεων πόλωσης και του δείκτη αναστροφής για τα τρανζίστορ κάθε δομικής βαθμίδας.

Τέλος, ο ενισχυτής που σχεδιάζεται με τις παραπάνω προϋποθέσεις θα πρέπει να ανταποκρίνεται στις αρχικές προδιαγραφές και χρησιμοποιείται κατάλληλα για την υλοποίηση ενός 5<sup>ης</sup> τάξης χαμηλοπερατού ελλειπτικού φίλτρου. Στους πίνακες (6.1) και (6.2) που ακολουθούν παρουσιάζονται συγκεντρωτικά τα αποτελέσματα της σχεδίασης του ενισχυτή και του ελλειπτικού φίλτρου αντίστοιχα.

| <u>Παράμετρος</u>                  | Gate-input<br>OTA |
|------------------------------------|-------------------|
| Τάση τροφοδοσίας [V]               | 1                 |
| Κατανάλωση ισχύος [ $\mu$ W]       | 494.587           |
| DC κέρδος [dB]                     | 30.936            |
| GBW [MHz]                          | 36.70             |
| Ρυθμός ανόδου (SR) [ $V/\mu sec$ ] | 5.78              |
| CMRR [dB]                          | 102.002           |
| Κέρδος κοινού σήματος [dB]         | -71.067           |
| $f_{-3dB}$ [KHz]                   | 470               |
| Phase Margin [degrees]             | 68.259            |

**Πίνακας 6.1 Αποτελέσματα σχεδίασης OTA**

Όπως φαίνεται και στον παραπάνω πίνακα, ο ενισχυτής που σχεδιάστηκε έχει ένα αρκετά υψηλό κέρδος ενίσχυσης τάσης αλλά ταυτόχρονα ένα πολύ χαμηλό κέρδος κοινού σήματος, κάτι το οποίο είναι επιθυμητό. Το περιθώριο φάσης των 68.259° εξασφαλίζει την ευστάθεια του συστήματος, ενώ το **GBW** των 36.70 MHz

αποτελεί σημαντική παράμετρο σχεδίασης, αν πρόκειται ειδικά για wide-band εφαρμογές. Τέλος, ο ρυθμός ανόδου κυμαίνεται σε τυπικά επίπεδα τιμών για τελεστικούς ενισχυτές.

| <u>Παράμετρος</u>           | Elliptic Filter |
|-----------------------------|-----------------|
| Τάση τροφοδοσίας [V]        | 1               |
| Συχνότητα αποκοπής [KHz]    | 30              |
| Συχνότητα μηδενικού 1 [KHz] | 76              |
| Συχνότητα μηδενικού 2 [KHz] | 226             |
| Stop-band ripple [dB]       | 51              |
| Pass-band ripple [dB]       | 0.1             |

**Πίνακας 6.2 Αποτελέσματα σχεδίασης φίλτρου**

Το ελλειπτικό φίλτρο έχει συχνότητα αποκοπής ίση με 30 KHz και κυμάτωση στη ζώνη διέλευσης ίση με 0.1 dB. Στη ζώνη φραγής, το κέρδος κοινού σήματος στις δύο κρίσιμες συχνότητες είναι ίσο με -97.782 dB και -96.943 dB αντίστοιχα.

## 6.2 Μελλοντικές επεκτάσεις

Η σχεδίαση και υλοποίηση τόσο του ενισχυτή διαγωγιμότητας όσο και του ελλειπτικού φίλτρου μπορεί μπορούν να υποστούν αλλαγές με σκοπό τη βελτίωση της απόδοσης ανάλογα με τις απαιτήσεις της εκάστοτε εφαρμογής.

Σημαντικές αλλαγές ή επεκτάσεις μπορούν να είναι:

- Υλοποίηση του βασικού ενισχυτή διαγωγιμότητας με τη χρήση τρανζίστορ χαμηλής τάσης κατωφλίου χωρίς πρόσβαση στο υπόστρωμα.
- Υλοποίηση του βασικού ενισχυτή εισόδου χωρίς το μονοπάτι απόρριψης κοινού σήματος.
- Υλοποίηση του βασικού ενισχυτή διαγωγιμότητας σε τάση τροφοδοσίας μικρότερης του ενός Volt με τη χρήση της διαδικασίας πρόσβασης στο υπόστρωμα με σκοπό τη μείωση της τάσης κατωφλίου.
- Χρήση εξισώσεων του μοντέλου EKV για την εκτίμηση παραμέτρων όπως, πυκνότητα φάσματος θερμικού θορύβου, mismatch τρανζίστορ.
- Αντικατάσταση των χωρητικοτήτων με MOS varactors σε ασθενή αναστροφή στην υλοποίηση του ελλειπτικού φίλτρου.
- Εξαγωγή layout και κατασκευή φυσικού σχεδίου.



## Βιβλιογραφία

---

- [1] Shouri Chatterjee, K.P. Pun, Nebojša Stantić, Yannis Tsividis, Peter Kinget, Analog Circuits And Signal Processing : “Analog Circuit Design Techniques”, Springer, 2007
- [2] Behzad Razavi, “Design of Analog CMOS Integrated Circuits”, McGRAW-HILL INTERNATIONAL EDITION, 2001.
- [3] Γιάννης Χαριτάντης, “Αναλογικά Ηλεκτρονικά”, Εκδόσεις Παπασωτηρίου, Ιούνιος 2001.
- [4] Sedra/Smith, “Μικροηλεκτρονικά Κυκλώματα, Τόμος Α΄ και Β΄ ”, Εκδόσεις Παπασωτηρίου, 1991.
- [5] David M. Binkley, “Tradeoffs and Optimization in Analog CMOS Design”, Wiley, 2008.
- [6] N. H. Weste, K. Eshraghian, “Σχεδίαση Ολοκληρωμένων Κυκλωμάτων CMOS VLSI ”, Εκδόσεις Παπασωτηρίου, 1993.
- [7] Richard C. Dorf, Robert H. Bishop, “Σύγχρονα Θέματα Αυτόματου Ελέγχου”, 9<sup>η</sup> έκδοση, Εκδόσεις Τζιόλα, 2001.
- [8] Gray, Hurst, Lewis, Meyer, “Ανάλυση και Σχεδίαση Αναλογικών Ολοκληρωμένων Κυκλωμάτων”, Τέταρτη Αμερικανική Έκδοση, Εκδόσεις Κλειδάριθμος, 2001.
- [9] Maher Kayal, Tutorial: Nanoscale CMOS Analog Design From Devices To System, European Solid-State Circuit Conference (ESSCIRC) 2009, Athens, Greece.